HZ BOOKS 华章教育

McGraw Hill Education

国外电子与电气工程技术丛书

模拟电路设计

分立与集成

[美] 赛尔吉欧·弗朗哥（Sergio Franco）著

雷鑑铭 余国义 邹志革 邹雪城 等译

Analog Circuit Design

Discrete & Integrated

Analog Circuit Design

Discrete & Integrated

Sergio Franco

机械工业出版社

China Machine Press

本书是针对电子工程专业中致力于将模拟电子学作为自身事业的学生和集成电路设计工程师而准备的。前三章介绍二极管、双极型晶体管和MOS场效应管，注重较为传统的分立电路设计方法，有助于学生通过物理洞察力来掌握电路基础知识；后续章节介绍模拟集成电路子模块、典型模拟集成电路、频率和时间响应、反馈、稳定性和噪声等集成电路内部工作原理（以优化其应用）。本书涵盖的分立与集成电路设计内容，有助于培养读者的芯片设计能力和电路板设计能力。

本书特色

- 涵盖双极型和CMOS工艺。数字电子技术中CMOS工艺占主导地位，模拟电子技术则同时采用CMOS和双极型工艺，而后者是BiCMOS工艺的基本组成部分和高质量模拟芯片的工艺选择。
- 涵盖分立和集成电路设计。当前模拟系统的终极形式依然是集成电路化，而测试和应用常需要诸如ad-hoc分立设计的辅助功能来实现调节和接口功能。在众多的应用选择中，双极型晶体管（BJT）仍是使用广泛且可满足各种需求的分立器件。
- 涵盖深度半导体理论知识。模拟功能总是植根于物理现象，模拟工程师（特别是集成电路设计工程师和产品/工艺/可靠性工程师）需要精通半导体物理知识以优化电路功能。

作者简介

赛尔吉欧·弗朗哥（Sergio Franco）出生在意大利，1980年开始在美国旧金山州立大学电气工程系授课，期间获得了伊利诺伊大学香槟分校博士学位，成为该系荣誉教授。在就任现职之前，Franco博士拥有广泛的行业经验，在诸如固态物理学、模式识别、集成电路（IC）设计、医学电子、日用电子和汽车电子等领域工作过，发表论文颇丰，Franco博士还是《Design with Operational Amplifiers and Analog Integrated Circuits》（McGraw-Hill Education，2014）和《Electric Ciruit Fundamentals》（Oxford University Press，1995）两本教科书的作者。







www.mheducation.com

投稿热线：(010) 88379604
客服热线：(010) 88378991 88361066
购书热线：(010) 68326294 88379649 68995259

华章网站：www.hzbook.com
网上购书：www.china-pub.com
数字阅读：www.hzmedia.com.cn

上架指导：模拟电路设计

ISBN 978-7-111-57781-2



定价：119.00元

封面设计·锡 彬

国外电子与电气工程技术丛书

模拟电路设计

分立与集成

[美] 赛尔吉欧·弗朗哥（Sergio Franco）著
雷鑑铭 余国义 邹志革 邹雪城 等译

Analog Circuit Design
Discrete & Integrated

Analog Circuit Design
Discrete & Integrated
Sergio Franco



机械工业出版社
China Machine Press

图书在版编目（CIP）数据

模拟电路设计：分立与集成 /（美）赛尔吉欧·弗朗哥（Sergio Franco）著；雷鑑铭等译．—北京：机械工业出版社，2017.9
（国外电子与电气工程技术丛书）
书名原文：Analog Circuit Design：Discrete & Integrated

ISBN 978-7-111-57781-2

I. 模… II. ①赛… ②雷… III. 模拟电路－电路设计 IV. TN710.02

中国版本图书馆 CIP 数据核字（2017）第 203380 号

本书版权登记号：图字：01-2014-7262

Sergio Franco. Analog Circuit Design: Discrete & Integrated.
ISBN 978-0-07-802819-9

本书以半导体物理理论为基础，注重阐述模拟电路技术和 BiCMOS 技术，注重物理概念的诠释，强调模拟电路的分立和集成设计。全书主要内容有：pn 结二极管、双极型晶体管、MOS 场效应晶体管，以及模拟集成电路的组成、频率响应、时间响应、反馈、稳定性和噪声。本书适合作为电类专业本科生和相关专业本科生的模拟电路教材。

出版发行：机械工业出版社（北京市西城区百万庄大街 22 号 邮政编码：100037）
责任编辑：王 颖 谢晓芳　　责任校对：李秋荣
印　刷：北京市荣盛彩色印刷有限公司　　版　次：2017 年 9 月第 1 版第 1 次印刷
开　本：185mm×260mm 1/16　　印　张：34
书　号：ISBN 978-7-111-57781-2　　定　价：119.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换
客服热线：（010）88378991 88361066　　投稿热线：（010）88379007
购书热线：（010）68326294 88379649 68995259　　读者信箱：hzjsj@hzbook.com

出版者的话

文艺复兴以来，源远流长的科学精神和逐步形成的学术规范，使西方国家在自然科学的各个领域取得了垄断性的优势；也正是这样的传统，使美国在信息技术发展的六十多年间名家辈出、独领风骚。在商业化的进程中，美国的产业界与教育界越来越紧密地结合，信息学科中的许多泰山北斗同时身处科研和教学的最前线，由此而产生的经典科学著作，不仅擘划了研究的范畴，还揭示了学术的源变，既遵循学术规范，又自有学者个性，其价值并不会因年月的流逝而减退。

近年，在全球信息化大潮的推动下，我国的信息产业发展迅猛，对专业人才的需求日益迫切。这对我国教育界和出版界都既是机遇，也是挑战；而专业教材的建设在教育战略上显得举足轻重。在我国信息技术发展时间较短的现状下，美国等发达国家在其信息科学发展的几十年间积淀和发展的经典教材仍有许多值得借鉴之处。因此，引进一批国外优秀教材将对我国教育事业的发展起到积极的推动作用，也是与世界接轨、建设真正的世界一流大学的必由之路。

机械工业出版社华章公司较早意识到“出版要为教育服务”。自 1998 年开始，我们就将工作重点放在了遴选、移译国外优秀教材上。经过多年的不懈努力，我们与 Pearson、McGraw-Hill、Elsevier、John Wiley & Sons、CRC、Springer 等世界著名出版公司建立了良好的合作关系，从他们现有的数百种教材中甄选出 Alan V. Oppenheim、Thomas L. Floyd、Charles K. Alexander、Behzad Razavi、John G. Proakis、Stephen Brown、Allan R. Hambley、Albert Malvino、Peter Wilson、H. Vincent Poor、Hassan K. Khalil、Gene F. Franklin、Rex Miller 等大师名家的经典教材，以“国外电子与电气技术丛书”和“国外工业控制与智能制造丛书”为系列出版，供读者学习、研究及珍藏。这些书籍在读者中树立了良好的口碑，并被许多高校采用为正式教材和参考书籍。其影印版“经典原版书库”作为姊妹篇也越来越多被实施双语教学的学校所采用。

权威的作者、经典的教材、一流的译者、严格的审校、精细的编辑，这些因素使我们的图书有了质量的保证。随着电气与电子信息学科、自动化、人工智能等建设的不断完善和教材改革的逐渐深化，教育界对国外电气与电子信息类、控制类、智能制造类等相关教材的需求和应用都将步入一个新的阶段，我们的目标是尽善尽美，而反馈的意见正是我们达到这一终极目标的重要帮助。华章公司欢迎老师和读者对我们的工作提出建议或给予指正，我们的联系方法如下：

华章网站：www. hzbook. com

电子邮件：hzjsj@hzbook. com

联系电话：(010)88379604

联系地址：北京市西城区百万庄南街 1 号

邮政编码：100037



华章科技图书出版中心

译 者 序

本书是 Sergio Franco 博士所著的《Analog Circuit Design：Discrete & Integrated》的中文翻译版。

集成电路已经发展到系统级芯片(SoC)阶段，模拟集成电路及模拟 IP 是 SoC 中不可缺少的部分。本书是作者多年以来在旧金山州立大学任教经验的成果，基于本书潜心培养了成百上千位被硅谷高薪聘用的学生。受机械工业出版社华章公司委托，对《Analog Circuit Design：Discrete & Integrated》进行翻译，意在为我国正在蓬勃兴起的集成电路设计人才培养提供可直接使用的教材或参考书，或者为采用该原版教材进行双语教学的师生提供对照阅读的中文版本。本书同时也可以作为模拟集成电路设计及射频集成电路设计研究生及工程师的参考书。

本书由华中科技大学光学与电子信息学院及武汉国际微电子学院雷鑑铭老师组织翻译，余国义高级工程师完成了全书的审校工作，参与本书翻译工作的还有华中科技大学光学与电子信息学院邹雪城教授、邹志革副教授，以及陈壮、黄伟、胡贝贝、孙帆及梅胜坤等。另外，文华学院外语学部英语系肖艳梅老师也对本书进行了审校。

模拟集成电路涉及的专业面广，鉴于译者水平有限，书中难免有不足及疏漏之处，敬请广大读者批评指正和谅解，在此表示衷心的感谢。

雷鑑铭

前　言

这本教材是为那些学习电子工程专业且以模拟电子学为自身事业的学生而准备的。模拟集成电路设计者、产品/工艺/可靠性工程师、测试/测试-开发工程师，以及模拟应用/市场/用户支持工程师的需求量总是很大的。本书是我多年以来在旧金山州立大学任教经验的成果，在那里我潜心培养了成百上千位被硅谷高薪聘用的学生，他们分散在各个不同的模拟电路岗位上。这里介绍本书的三个重要特点。

- 同时包括双极型和 CMOS 技术。虽然数字电子学中 CMOS 技术占据主导地位，模拟电子学同时依靠 CMOS 和双极型，但后者是高性能模拟电路的选择以及 BiCMOS 技术的基础。
- 同时包括分立和集成设计。虽然现今一个模拟系统的最终形式有可能是集成电路类型，但测试和应用通常要求一些辅助功能，例如调节和界面互连，这些最好用专门的分立设计方法来实现。(任何熟悉这项工作且被公认为模拟应用/测试/测量领域领导者的人，都将赞同这一点，例如 Jim Wlilliams 和 Robert Pease。)在这方面，BJT 有很多现成的分立类型，以适应各种不同的需求，包括实验室内的实用性试验。另外，出于教学需要，在处理复杂集成电路之前先介绍简单的分立电路是明智的。
- 适当深度地介绍了半导体理论，以满足工业生产中工程师对这些知识的日常需求。每一种模拟功能总离不开一个物理现象，所以模拟工程师，特别是 IC 设计者和产品/工艺/可靠性工程师，需要精通半导体物理知识以使电路在最佳状态运行。

本书结构

本书分为两部分。

- 第一部分主要介绍二极管(见第 1 章)、BJT(见第 2 章)和 MOSFET(见第 3 章)。就这部分而言，它适合作为初级电子学的第一门课。这些内容是按照电子行业科技进展的顺序排列的。然而，由于第 2 章和第 3 章是分开的，希望交换 BJT 和 MOSFET 教学顺序的教师也可以轻易实现。无论顺序如何，第 3 章都可以比第 1 章和第 2 章更快地讲授完毕，因为学生已经学习了直流偏置和大/小信号模型的内容。
- 第二部分包括模拟 IC 单元电路(见第 4 章)、典型模拟 IC(见第 5 章)、频率和时间响应(见第 6 章)以及负反馈、稳定性和噪声(见第 7 章)。这部分适合作为模拟 IC 分析设计的本科生/研究生级的课程。在这部分，BJT 和 MOSFET 通常一起讨论，以区分两者的异同点。

每一章提供了与其主题相关的相当广泛的覆盖范围，所以每一章需要较长篇幅。全部内容超过了通常情况下两学期或者四学期的课程，这为教师在选讲内容上留有余地。而且，作者认为学生在学习第 6 章中更具挑战性的频率和时间响应之前，需要熟练掌握低频电路。然而，教师可以通过跳过第一部分中的合适主题来更改选讲范围，以更充分地讲授第 6 章的选定主题。

正如提到的那样，第一部分集中讲授基本晶体管电路，侧重于传统的分立设计方法。从教育学角度来看，先学习单管电路再学习多管系统是合理的，如果在实验室中完成这一部分效果将会更好，因为在那里更容易研究简单电路。实际上，在这个水平的学习中，与

计算机仿真相比，实验室可以提供更加有价值的学习环境。分立电路有一个众所周知的缺点，就是需要用到耦合/旁路电容，这就增加了一个使学生分散注意力的因素，因为学生想要充分掌握这些电容的功能是很花费时间的。认识到这点，我尝试通过具体例子来阐述电容(见图 2.55 和图 3.60)。

在分立电路之后，本书进入集成电路部分。集成和分立方法在 4.1 节中进行对照；同时，两者的直观区别在习题 4.3 中进行了讨论。第二部分先介绍模块的复杂性，再讨论典型模拟 IC，再讨论 IC 动态特性，最后讲述工作在负反馈下的 IC，以及稳定性考虑、频率补偿和噪声。这部分是为 IC 设计者所准备的，但同时适用于所有与制造、测试和应用相关的其他种类工程师。目前数量最多的应用工程师，需要同时精通技术(以做出有根据的选择)和 IC 内部工作原理(以优化其应用)。本书的目的是在芯片设计能力和印制电路板设计能力之间促成一个平衡。

书中配套的网站为教师提供了习题答案手册和 PPT ⊖，以及一系列有用的网站链接和勘误表。对于任何可能的勘误提醒，作者表示感激。

可从 www.CourseSmart.com 上得到本书电子版。利用 CourseSmart 网站可以节省可观的纸版教材打印费用，减少对环境的影响，并获得强大的网络学习工具。电子书允许读者进行全文搜索、添加重点和标注，以及与他人分享笔记。CourseSmart 所精选的电子书数量是最多的。访问 www.CourseSmart.com 以了解更多内容并尝试学习一个样章。

动机

在试用了一些其他的教材后，我决定自己撰写一部，一方面用于回答学生关注的问题，另一方面将自己对怎样更好地为研究生服务的想法付诸实践，这些学生通常都会继续从事电子行业。接下来列出的是学生关注最多的问题。

- 需要参照众多的示例，特别是在工作中工程师们每天都会遇到的那些。我精心编写了每一个例题和章后习题，以满足两个大概的需求：一是帮助学生在学习过程中获得对数量级的直观印象(例如例 1.8)，二是通过一个电路在不同情形或不同复杂度等级下的变化，来加深学生的理解(参见图 1.18～图 1.20)。在这个方面，我努力强调通过思考和物理直觉来获得一个系统的问题求解方法，而非进行生搬硬套的计算。因为这是物理层面上的理解，而非数学上的处理或是计算机上的仿真，这种理解植根于学生的设计创造力，而这点又是工作中所需求的。本书还包括一些工程师每天都要用到的很有价值的经验法则(参见 1.8 节和 1.9 节)。在任意可能的时候，都应该提醒学生运用直觉和物理洞察力来预测数学计算或计算机仿真得到的值，并检测是否与物理实际相符合(关于物理洞察力参见例 6.5 和图 7.93)。
- 书中应包含 SPICE 仿真。本书集成的 SPICE 部分，既作为教学目标以使学生更直观地理解新概念(参见图 4.66)，也作为验证工具以处理复杂计算。如果计算结果和仿真结果有显著差别，学生就需要说明可能的原因(见例 5.2)。最后，SPICE 可用来显示那些对于手工计算而言过于复杂的细微差别(见例 6.11)。现在能获得的 SPICE 版本非常多。与其指定某个特定版本，不如使电路的原理图设计足够简单，这样学生就可以花数分钟在他喜欢的 SPICE 版本上将电路建立起来。
- 对基本半导体概念进行介绍。我所在学校(一所州立大学)的多数毕业生从事各种各样的职位，从 IC 设计者到产品和可靠性工程师、测试和测试-开发工程师，以及应

⊖ 关于本书教辅资源，只有使用本书作为教材的教师才可以申请，需要的教师可向麦格劳·希尔教育出版公司北京代表处申请，电话：010-5799 7618/7600，传真：010-5957 5582，电子邮件：instructorchina@mheducation.com。——编辑注

用和用户支持工程师，在这种情况下一个广阔的知识背景远比一种有限的知识专精要重要得多。对半导体物理原理的基本理解是这个背景中的一个整体模块，特别是对将来的产品工程师和可靠性工程师而言。

- 顺应现今形象化地面向读者的学习趋势，本书包含了众多的图。多数图由并行排列的两个或多个部分组成，通过不同的电路情况、模型、时间帧或因果关系，来直观显示同一概念的不同方面(参见图 1.59)。并且，分析过程中涉及的最为相关的公式都直观地列举出来，这对学生准备课堂测验和考试时尤为有用。在合适的时候，一整组公式会列为表格，以便于比较(参见图 3.50)。

我尝试使用原汁原味的教材格式来解决上述这些问题。每一章的开头都有简短的历史背景和动机框架，紧接着是对本章所包含主题的简要概述，其后就是章节本身。每章以各种精挑细选的强调直觉和物理洞察力的习题作为结尾。

内容一瞥

第 1 章开头介绍理想二极管，以此为工具介绍非线性电路和应用。其后是对运算放大器的复习，作为学习各种二极管器件及后面晶体管的铺垫。接着介绍对二极管结进行近似时最通用的物理器件 pn 结。在对半导体知识进行直观复习后，再详细讨论 pn 结，并运用经验法则来强调一些工程师在日常工作时会用到的实用知识。熟练掌握 pn 结对理解随后两章的晶体管物理学是至关重要的。最后，讨论各种常见的二极管应用，通常用 PSpice 作为辅助教学工具来加深理解。

第 2 章介绍双极型晶体管(BJT)，这是 pn 结在科技上(和历史上)的发展。像第 1 章那样，先介绍 BJT 的物理结构，其后推导出其 i-v 特性，再介绍大/小信号模型和直流偏置，最后是单晶体管放大器和缓冲器的分析与设计。该章介绍的共射极结构通常用作电压放大，而共集电极和共基极结构通常分别用作电压和电流缓冲器。该章的重点是研究 BJT 作为电阻转换器件时的作用(这也是 BJT 这样命名的基础)。这种等效转换可以很方便地列成表格，以便后续章节的查阅。

第 3 章介绍 MOSFET，与第 2 章介绍 BJT 类似。然而，这两章是互相分开的，所以若有需要两章的顺序可以互换。该章开头详细介绍本征阈值的物理基础，这对那些以后想成为产品、工艺和可靠性工程师的学生很有益。紧接着推导 MOSFET 的 i-v 特性，再介绍大/小信号模型和直流偏置，最后是单晶体管放大器和缓冲器的分析与设计。该章介绍的共源极结构通常用作电压放大，而共漏极和共栅极结构通常分别用作电压和电流缓冲器。该章还包含了 CMOS 反相器和基本 CMOS 逻辑门，计算机工程专业的学生同样能够受益于此(参见图 3.44 对 PSpice 噪声容限的解释)。

第 4 章介绍现今应用最广的 IC 模块，电路的复杂度上升了一个等级。按照后续章节使用的需要，详略不同地介绍共源共栅结构、差分放大器、全类型电流镜、有源负载和推挽式输出级。在任何可能的时候，同时讨论 BJT 和 MOSFET 以呈现这种统一处理的思想，同时也节省了空间和工作量。

第 5 章运用第 4 章中的模块来设计典型的双极型、CMOS 混合模拟 IC，即高增益放大器(如运放)、电压比较器和全差分运放；参考电压源、电流源(如带隙基准源)；电流型 IC (如跨导体、运算跨导放大器和电流反馈放大器)；最后还有开关电容电路。

第 6 章讨论分立器件的频率和时间响应，再一直延伸至第 5 章的 IC 模块等复杂电路。频率分析基于米勒近似以及开环时间常数的知识。pn 二极管和 BJT 的转换时间虽然在工业生产中很重要，但在本书中依然忽略了对它们的具体讨论，转而通过对电荷控制的分析来大致了解一下相关知识。该章还包括了 CMOS 逻辑门的转换时间讨论，计算机工程专业的学生会从中获益。在这一章中，PSpice 被频繁用作验证手工运算的工具。

第 7 章开头以浅显易懂的方式介绍了前面章节电路中包含的负反馈，从单晶体管的情

形一直讨论到运放。而后介绍了二端口网络法和反馈比法，并用各种精心准备的例题对它们进行比较。同时以实用的方式介绍了布莱克曼阻抗公式和注入方法。其后开始介绍运放的稳定性和频率补偿，同时讨论双极型和 CMOS 型(此处 PSpice 再次成为最有用的教学工具)。该章还包括对集成电路噪声的学习。在介绍基本噪声特性、分析工具和噪声类型后讨论了二极管和晶体管的噪声模型。最后，运用噪声分析方法分析了典型电路的噪声特性。

对同学们的建议

你所学习的电子学课程为你从事电子工程行业打下了基础。这些课程的目的并不仅仅是介绍诸如二极管、晶体管这样的器件，也是为了帮助你建立一个新的思维模式和问题解答方法，这是充满挑战但又有趣的电子工程领域所特有的。大部分的电子工程专业毕业生最终从事工业化生产方面的工作，认识到这一现实，我着重介绍了那些与当今工业化环境最为相关的实用知识。无论你最后成为一个 IC 设计者、产品工程师、测试/测试-开发工程师，还是应用或用户支持工程师，你最开始学到的这些电子学课程将会常常在各种情况下派上用场，所以相比于那些常见课程，你最好在这门课程上投入更多的时间和精力，你会受益终身。

虽然二极管和晶体管是高度非线性的器件，但仍有特殊的技巧来分析它们，这些技巧大多在线性电路的课程中就已介绍。在这些预备课程中学习的分析工具在电子学的学习中有着重要的作用，学习它们绝非浪费时间。特别是，在探讨电子学领域时，欧姆定律、基尔霍夫定律(KVL 和 KCL)、节点/环路分析方法、戴维南/诺顿定理、叠加原理和运放定律等将继续作为重要的分析工具。

和其他工程学分支一样，电子学解决的是器件和系统这类的物理实体。我们将数学作为理解及预测工作状态和设计新器件的工具，将计算机仿真作为验证工具。任何概念的推导和预测最终都必须经过物理实体的验证，绝不能理所当然地运用。借助数学推导或计算机仿真，运用物理推论来论证概念过程，在整个课程的学习中是最为核心的。

除了精通线性电路分析技巧外，学生应具备基本的微积分知识，例如斜率和曲线包含的面积，以及基本的静电学知识，例如高斯定理以及电场与电势间的关系。同时，在验证人工分析结果时，在预备课程中学习的通过 PSpice 搭建电路的能力是非常有用的。

致谢

许多读者提供了详细的评论和众多有价值的建议。我尽量采纳这些建议，但在出现意见相左的情况下，我只能继续采用自己的想法。对所有提供反馈的读者，我深表感激。我在此特别感谢克莱姆森大学的 Stephen Hubbard、艾奥瓦州立大学的 Santosh Pandey、北卡罗来纳州立大学的 Doona Ginger Yu。最后，我要感谢我的妻子 Diana May 对我的鼓励和坚定不移的支持。

Sergio Franco
旧金山州立大学

目　录

第1章
二极管和pn结

二极管是最基本的电子器件，它诞生于一个世纪之前。事实上，二极管的发明开创了一个电子时代。与电阻相似，二极管有两个端口；但是不同的是，电阻双向导电，二极管只能单向导电。为了对二极管怎么导电有一个定性的理解，可以分析早期的真空管二极管。一个真空二极管包含一个白炽灯丝，称为阴极，是可发射大量自由电子的电子源；包含一金属板，称为阳极，是可控制电流流动的。在阳极上加上一个相对于阴极的正向电压，阳极就会吸引带负电荷的电子，这样电子从阴极向阳极流动；相反，在阳极上加上一个反向电压，阳极就会排斥电子，从而抑制电子流动。从水动力学的角度来看，二极管可以看成一个单向阀。

真空二极管是由约翰 A. 弗莱明(John A. Fleming)于1904年发明的。两年后，格林利夫 W. 皮卡德(Greenleaf W. Pickard)于1906年发明了一种替代型的二极管，该二极管是在硅坯上制作的点接触结，它是第一个固态电子器件。然而，半导体器件诞生到投入商用花费了半个世纪的时间，所以真空管电子器件在20世纪的前半叶是占主导地位的。

如今的二极管由半导体材料制成，与真空管器件相比，它们在微型化、可靠性、能量消耗与成本等方面都具有极大的优势。当今最普遍的二极管是硅pn结二级管，尽管还有其他种类材料的结也在使用。pn结在微电子中起着关键性的作用，因为它不仅在各种应用的最底层提供二极管功能，而且是双极型晶体管(BJT)、结型场效应管(JFET)，以及其他半导体器件如晶闸管整流器(SCR)的基础。pn结也在金属-氧化物-半导体场效应晶体管(MOSFET)中出现，MOSFET是当今微电子产品中应用最广的器件。此外，由于其反向偏置的特性，pn结可以用于把同一半导体芯片中的不同器件隔离开来。

学习过线性电路预备课程的学生就会发现，与晶体管一样，二极管都是高度非线性的器件。幸运的是，有许多从线性电路课程范畴新研发出来的方法，可以用来分析非线性器件。这并非浪费时间，因为电路课程中学到的分析工具在电子学的学习中也起着重要的作用。具体来说，欧姆(Ohm)定律、基尔霍夫(Kirchhoff)定律(KCL与KVL)、分压/分流定律、戴维南(Thevenin)/诺顿(Norton)定理，以及叠加原理，在我们探索新的电子器件与系统领域时，它们仍然是宝贵的分析工具。

本章重点

本章开篇介绍理想二极管，提出此概念，建立对二极管行为的基本理解，同时介绍非线性电路的分析方法，这是后续整个电子学的基础。应用包括二极管整流器、二极管逻辑门、电压钳位器、分段线性函数发生器、峰值检波器、直流复位器，以及电压倍增器。

接着，我们将回顾先修课程中基本运算放大器的原理，因为二极管(以及晶体管)给运算放大器提供了广阔的应用。第一个二极管运算放大器将以全波整流器为例来介绍，其他应用会随着我们的学习逐渐提及。

如前所述，当今的二极管用半导体材料制成，所以下一个目标是基本pn结理论的学习。在回顾完先修物理课程中的半导体基础知识以后，本章将对pn结进行直观的讨论，侧重那些与实用相关的知识点(经验法则)，以形成现代工业环境中电子工程师们需要掌握的应用知识。无论学生是想成为电子设计师，还是一个产品、工艺或者可靠性工程师，或是测试、应用工程师，pn结都会在各种情况下凸显其作用，所以我们在适当深度上研究

pn 结是恰当且必需的。在基本物理学中，学生需要学习和掌握高斯(Gauss)定理，以及电场与电势的关系，即

$$\frac{\mathrm{d}E}{\mathrm{d}x}=\frac{\rho(x)}{\varepsilon_{\mathrm{si}}},\quad E=-\frac{\mathrm{d}v(x)}{\mathrm{d}x}$$

pn 结理论的成果就是一个实用的二极管概念，尽管它与理想二极管有所偏差，但仍可以通过合适的线性方法进行分析。这里重点介绍二极管的大信号模型以及小信号模型，将在后面学习晶体管的章节中进一步阐述。

本章最后一部分将 pn 结的各种模型运用于多种实用电路，如整流器、基准电压、基本非线性运算放大电路，以及直流电源等。附录 1A 讨论了 SPICE 中二极管模型所涉及的参数。

作为经典的入门型课程，本章阐述原理性内容可能比可行性分析内容要多。但是，教师可以很方便跳过某些主题，如半导体理论部分，特别是那些在其他课程中有所包含的部分。本人编写这一章节的目标是让所有(或绝大部分)相关的二极管知识呈现于此。

1.1　理想二极管

二极管是一种单向导电的两端器件。与双向导电的电阻不同，二极管只传导从阳极(A)到阴极(C)的电流。其电路图形符号如图 1.1a 所示，用一个箭头代表其方向性。二极管的电压定义阳极为正、阴极为负，从而符合其他常用器件如电阻等所遵守的无源符号惯例。

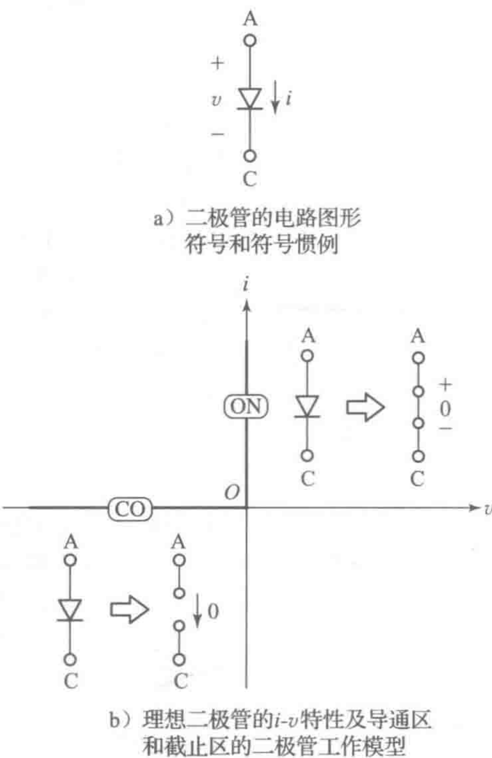
当二极管用于传导与其箭头相同方向的电流($i>0$)时，也称为正(F)向，其将以短路形式迅速地传导给定电流($v=0$)。这种情况的二极管称为正向偏置，或称为导通态(ON)。然而，当我们尝试强制电流变为相反方向时，也称为反(R)向时，二极管将以断路形式($i=0$)顽固地阻挡电流流动。此时二极管状态称为反向偏置，或称为截止态(CO)。当处于截止态时二极管将维持环路施加的任意电压($v<0$)。

图 1.1b 表明了二极管的伏安特性，其数学表达式为：

$$v=0,\quad i>0 \tag{1.1a}$$

$$i=0,\quad v<0 \tag{1.1b}$$

曲线附近画出的是二极管的模型(短路电路和断路电路)，与其两种工作状态所对应。具有图 1.1b 所示伏安特性的器件称为理想二极管。以后我们将看到，实际二极管特性曲线只是与这些理想曲线近似。



a) 二极管的电路图形符号和符号惯例

b) 理想二极管的i-v特性及导通区和截止区的二极管工作模型

图　1.1

二极管可以比作阀门，如图 1.2 所示。这个阀门在上方有一个铰链，在下方有一个塞子。使电流通过二极管流向负载，就像通过一个带有阀门的管道将水抽运到水槽。如果施加正向泵压，阀门会打开并允许水流动，如图 1.2a 所示。然而，如果施加反向泵压，如 1.2b 所示，阀门将会关闭并禁止水流动。为了形成对二极管工作的初步印象，让我们思考一个电路的例题。

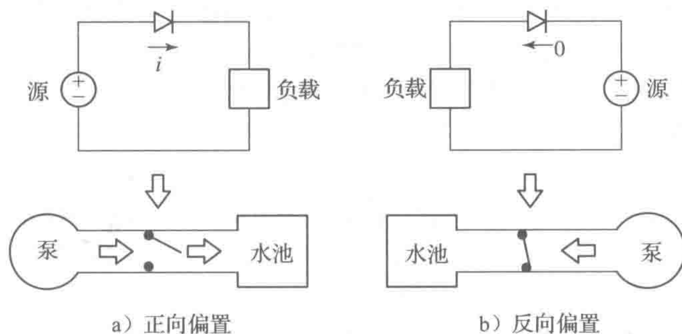


图 1.2　与阀类比的二极管示意图

例 1.1 (a) 在如图 1.3 所示的电路中，$R_1=1\text{k}\Omega$，$R_2=2\text{k}\Omega$。若 $v_S=3\text{V}$，当流过 D 的电流是 1mA 时，求 i_S 的值，并画出最终的电路图。

(b) 若 $i_S=3\text{mA}$，当 D 的压降是 2V 时，求出 v_S 的值，并画出电路图。

(c) 若 $i_S=2\text{mA}$，$v_S=6\text{V}$，当 D 工作在 i-v 平面的原点(即 $v=0$，$i=0$)时，求 R_1、R_2。

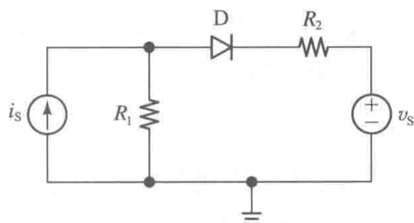


图 1.3　例 1.1 的电路图

解：

(a) 在导通过程中 D 相当于短路，所以 $v_A=v_C$。由欧姆定律及 KVL 可知，$v_A=v_C=(2\text{k}\Omega)\times(1\text{mA})+3\text{V}=5\text{V}$，导致 1kΩ 的电阻分流 $(5\text{V})/(1\text{k}\Omega)=5\text{mA}$，方向向下。由 KCL 得，$i_S=(1\text{mA})+(5\text{mA})=6\text{mA}$，具体的电路如图 1.4a 所示。

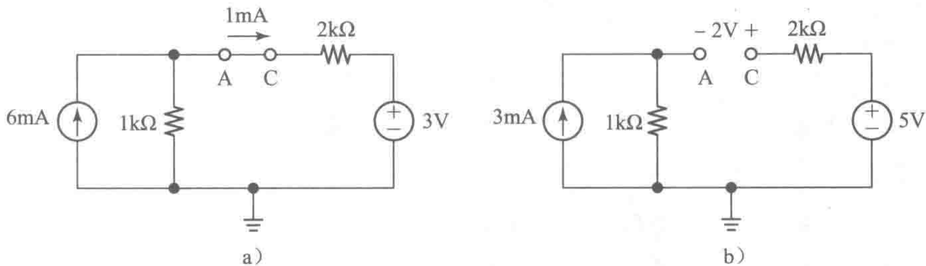


图 1.4　例 1.1 的解答电路图

(b) 在截止时 D 相当于断路，所以 2kΩ 电阻的压降为 0V。由欧姆定律，$v_A=3\times1=3\text{V}$。由 KVL 可得，阴极电压为 $v_C=v_A+2=3+2=5\text{V}$，故 $v_S=v_C=5\text{V}$，如图 1.4b 所示。

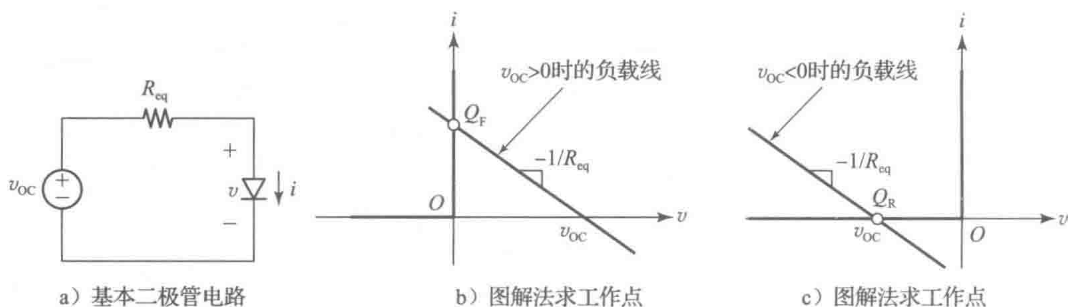
(c) $i=0\Rightarrow v_C=v_S=6\text{V}$；$v=0\Rightarrow \text{v}_A=v_C=6\text{V}$ 和 $R_1=v_A/i_S=6/2=3\text{k}\Omega$。当 D 处于截止状态时，$R_2$ 的阻值是无意义的。R_2 只有在 D 导通时才有效。◀

确定二极管的工作状态

虽然二极管的特性曲线由两段直线部分组成，但它是非线性的(事实上，这称为分段线性)。然而，如例 1.1 所论述的，我们仍然可以用线性电路课程上学到的方法来分析。这是因为在任意给定时间二极管都只工作在其两个可能状态中的一个(导通态或截止态)，此时的工作状态(短路或断路)确实是线性的。因此，要得出分析结果，我们只要判断出在给定时间内二极管工作在两个状态中的哪一个就行。

在很多情况下，二极管嵌入在线性电路中，如果我们将电路其他部分用其戴维南等效电路表示，就可以有效地简化分析。因此，我们最终可以得到图 1.5a 所示的基本情形，其中 V_{oc} 是开路电压，指外部电路在不含二极管的情况下，在阳极和阴极间所维持的节点电压(注意 v_{OC} 的极性定义为与阳极连接的节点为正)。此外，R_{eq} 是从二极管处看，外部电

路的等效阻抗。图 1.5b 与图 1.5c 表示的是二极管及周围电路的伏安特性曲线，后者也称为负载线。正如我们从基本电路理论中了解的那样，负载线是一条直线，在 v 轴上的截距为 $v=v_{OC}$，斜率为 $-1/R_{eq}$。电路的工作点是二极管曲线与负载线的交点，此处二极管与周围电路处于同一电压及电流下。下列结果是显而易见的：



a）基本二极管电路　　b）图解法求工作点　　c）图解法求工作点

图 1.5

- 若 $v_{OC}>0$，工作点(Q_F)落在导通态部分，此时二极管是正向偏置的，因此表现为短路，即

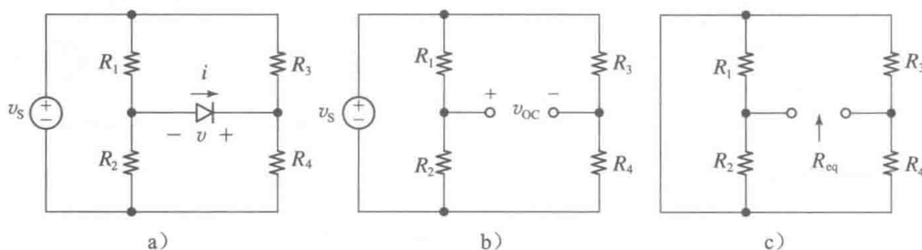
$$v=0,\quad i=-\frac{v_{OC}}{R_{eq}}(>0) \tag{1.2a}$$

- 相反地，若 $v_{OC}<0$，工作点(Q_R)落在截止态部分，此时二极管为反向偏置的，因此表现为开路，即

$$i=0,\quad v=v_{OC}(<0) \tag{1.2b}$$

我们通过一个实例来说明。

例 1.2 如图 1.6a 所示，若 $v_S=12\text{V}$，$R_1=10\text{k}\Omega$，$R_2=30\text{k}\Omega$，$R_3=R_4=15\text{k}\Omega$，求电路中的 v 与 i。



a）　　b）　　c）

图 1.6

若 R_2 从 30kΩ 降低为 2.0kΩ，重做上问。

如果我们将图 1.6a 及图 1.6b 所示二极管的方向倒向，会发生什么？

解：

(a) 移除二极管得到分支电路如图 1.6b 所示，由分压定律可知，$v_{OC}=(R_2/(R_1+R_2)-R_4/(R_3+R_4))v_S$。代入给定的元件值，可得 $v_{OC}=(9-6)\text{V}=3\text{V}$。因为 $v_{OC}>0$，所以二极管将导通，表现为短路状态，$v=0$。为了求 i，需要 R_{eq} 的值。为此，提供一个电压源，得到如图 1.6c 所示的分支电路。经过观察，$R_{eq}=(R_1/\!/R_2)+(R_3/\!/R_4)$。

代入给定的元件值得，$R_{eq}=15\text{k}\Omega$。因此，由题设可知，$i=(3/15)\text{mA}=0.2\text{mA}$。图 1.7a表示了这种情形，可以求出所有其他的电压及电流以作为检验。

(b) 当 R_2 降低至 2.0kΩ 时，我们得到 $v_{OC}=(2-6)\text{V}=-4\text{V}$。因为现在 $v_{OC}<0$，所以二极管截止，表现为断路状态，$i=0$。图 1.7b 画出了这种情况。

(c) 反转二极管的方向，此时阳极在右侧，阴极在左侧，这将导致二极管在图 1.6a 所示电路中呈截止态，在图 1.6b 所示电路中呈导通态。因此，在图 1.6a 所示电路中，二极

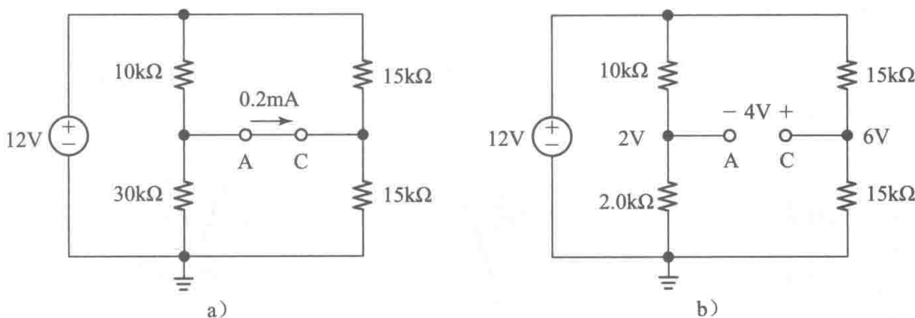


图 1.7　例 1.2 图 1.6a 所示的电路，其中二极管导通；例 1.2 图 1.6b 所示的电路，其中二极管截止

管电流为 0，二极管电压是−3V。在图 1.6b 所示电路中我们得到

$R_{eq}=((10/\!/2)+(15/\!/15))\text{k}\Omega=(55/6)\text{k}\Omega$，$v=0\text{V}$，$i=(4/(55/6))\text{mA}=(24/55)\text{mA}$

此时流向左侧。◀

试验性方法

如果二极管是非线性电路的一部分，在电路含有多个二极管的情况下，通常不能通过戴维南变换实现对周围电路的简化。但是，二极管只能工作在导通态或截止态，因此我们就可以先根据电路假设二极管合理的工作状态，然后验证结果是否与假设相符。如果需要，可以改变开始的假设，直到我们获得一个始终不变的结果。一个含有两个二极管的电路可以作为一个试验性方法的经典例子。

例 1.3　(a) 如图 1.8a 所示的电路由一对±6V 的双直流电源供电，在图 1.8a 所示电路中我们用简明的方法表示(即不画出真实的直流电压源)以降低电路图的复杂度。求每一个二极管的电流 I_D 与电压 V_D。

(b) 两个电阻互相交换，重做上问。

解：

(a) 已知每个二极管必将处于导通态(ON)或截止态(CO)，我们得到四种可能性：(D_1，D_2)=(CO，CO)，(CO，ON)，(ON，CO)，(ON，ON)。然而，考虑到+6V 电压源倾向于向两个阳极输送电流，−6V 电压源倾向于吸收来自 D_2 阴极的电流，假设两个二极管都导通，或表示为(D_1，D_2)=(ON，ON)似乎是较合理的。因此，用短路状态取代两个二极管，我们得到图 1.8b所示的情况，图 1.8b 所示二极管电压为：

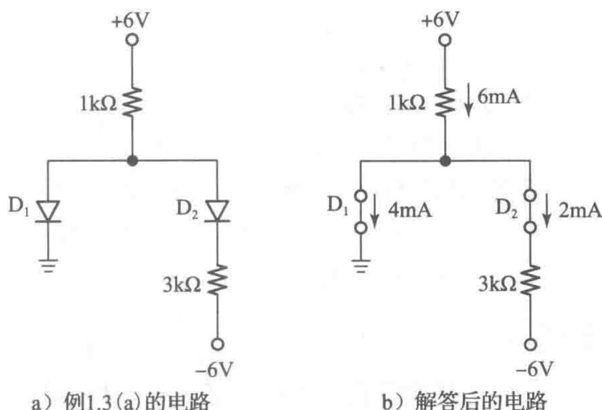


图 1.8

$$V_{D_1}=V_{D_2}=0\text{V}$$

先后运用欧姆定律及 KCL，我们可以得到：

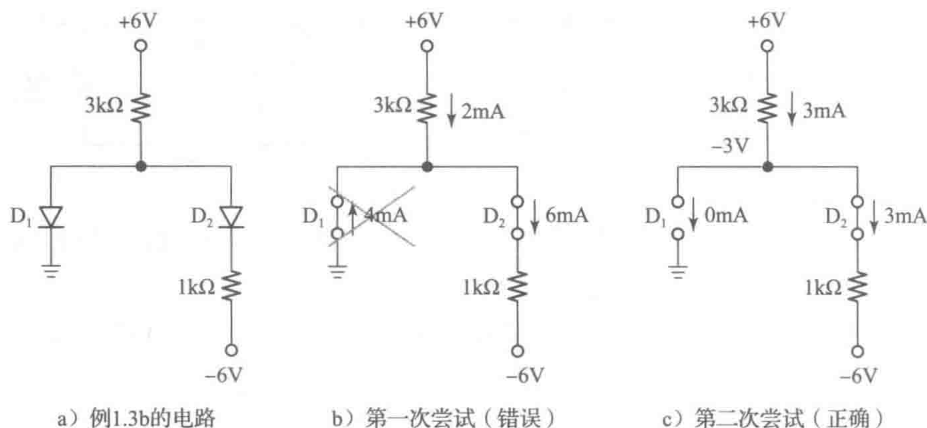
$$I_{D_2}=I_{3\text{k}\Omega}=\frac{0-(-6)}{3}\text{mA}=2\text{mA},\quad I_{D_1}=I_{1\text{k}\Omega}-I_{D_2}=\left(\frac{6-0}{1}-2\right)\text{mA}=4\text{mA}$$

两个二极管都正向传导电流，所以结果与开始的假设是一致的，解答完毕。

(b) 交换电阻得到如图 1.9a 所示的电路。我们可以再一次假设情况是(D_1，D_2)=(ON，ON)，同时参考图 1.9b 所示电路进行计算。由欧姆定律得，$I_{3\text{k}\Omega}=(6/3)\text{mA}=2\text{mA}$，$I_{1\text{k}\Omega}=([0-(-6)]/1)\text{mA}=6\text{mA}$。为满足 KCL，$D_1$ 必须提供 4mA 向上流动的电流，即电流方向反向，这是不可能的，因此假设(D_1，D_2)=(ON，ON)是错误的。但是注意，D_2 必须是导通的，因为负电源从其阴极吸收电流。唯一似乎可信的假设就是(D_1，

D_2)=(CO，ON)，如图 1.9c 所示。则有：

$$I_{D_1}=0, I_{D_2}=\frac{6-(-6)}{3+1}\mathrm{mA}=3\mathrm{mA}$$



a）例1.3b的电路　　b）第一次尝试（错误）　　c）第二次尝试（正确）

图 1.9

由 KVL，两阳极共同节点的电压为(6−(3×3))V=−3V，表示 D_1 实际上是反向偏置的，正如我们第二次尝试中所假设的那样。所以，$V_{D_1}=-3V$，$V_{D_2}=0$。◀

练习 1.1

在如下条件下求出图 1.9a 所示电路中各个二极管的 I_D 与 V_D。

(a) D_1 反向，D_2 不变；

(b) D_2 反向，D_1 不变；

(c) D_1、D_2 均反向。

答案： (a) $I_{D_1}=4mA$，$V_{D_1}=0$，$I_{D_2}=6mA$，$V_{D_2}=0$；

(b) $I_{D_1}=2mA$，$V_{D_1}=0$，$I_{D_2}=0$，$V_{D_2}=-6V$；

(c) $I_{D_1}=I_{D_2}=0$，$V_{D_1}=-6V$，$V_{D_2}=-12V$。

小结

虽然二极管是最简单的电子元件，但是我们简单了解一下它与很多其他复杂器件共有的特性，如我们随后要学习的晶体管。

- 二极管是典型的非线性电路元件。
- 严格来说，在线性电路课程中学习的分析技巧并不能应用在非线性元件中。然而，我们应尝试将伏安特性与分段线性的各部分进行近似，因为这样我们可以给器件创造单独的线性模型，分别对应不同的工作区域。
- 只要我们获知元件在某一给定时间内是工作的，我们就可以运用熟悉的线性分析方法来研究其在特定区域内的状态。

很多时候，需要试验性方法来判断真实的工作状态，这种方法包含以下几个步骤：

- 对于各非线性元件的工作区域，进行有根据的假设。
- 将各个元件用其各区域相关的线性模型进行替换，再对所得电路进行线性分析。
- 确认结果与最初的猜想一致。如果验证是对的，分析结束。如果不对，我们需要改变开始的假设，直到获得一致的结果为止。

我们将在后续研究的过程中遇到大量实例。最后，必须承认计算机仿真(如 PSpice)是强有力的工具，不仅可以验证我们所做的任何假设，还可以提供改进和分段线性近似中需要但常被忽略的细节。

1.2　二极管的基本应用

在介绍了二极管行为的基本理论以及二极管电路分析后，我们已经做好了学习一些最普遍二极管应用实例的准备。

整流器

图 1.10a 描绘了一种最普遍的二极管应用，名为整流器。在 v_I 的正向交替部分，二极管导通，$v_O=v_I$(见图 1.10b)。在 v_I 的反向交替部分，二极管截止，$v_O=0$(见图 1.10c)。图 1.11a 显示出 v_O 对正弦输入 v_I 的响应。电路仅将输入波形的正向部分传递到负载 R，反向部分被禁止。我们观察到，当 v_I 极性的交替改变时平均值为零，v_O 是单极性的，从而显现出一个非零的平均值，即称为一个非零的直流分量。因此该电路称为整流器。其行为也可以通过 v_O 与 v_I 的电压传输曲线(VTC)直观表现出来。

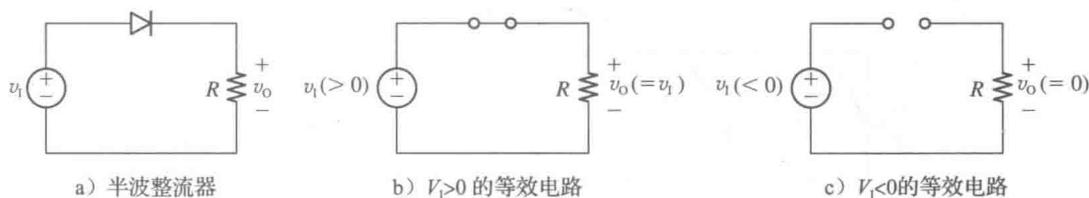


图　1.10

这条曲线的数学表达式如下：

$$v_0 = v_I, \quad v_I > 0 \tag{1.3a}$$

$$v_0 = 0, \quad v_I < 0 \tag{1.3b}$$

如图 1.11b 所示。显然，二极管的存在形成了一个非线性的 VTC。可以轻易地验证，将图 1.10a 所示的二极管倒向连接，就得到了一个只通过输入波形负向部分的整流器。

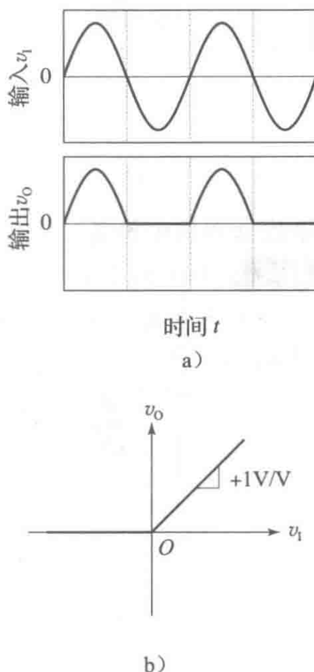


图 1.11　通过(a)输入输出波形及(b)VTC 来介绍半波整流过程

由于只通过输入波形的一半，所以如图 1.10a 所示的电路称为半波整流器。与之相比，全波整流器通过输入波形的两个部分，即：一部分方向不变，另一部分则反向。这也称为绝对值电路，通过 1.12a 所示四个二极管的排列电路(即二极管桥)实现。为了理解其工作状态，先考虑 $v_I>0$ 的情况，再考虑 $v_I<0$ 的情况。

- 当 $v_I>0$ 时，我们认为输入电源 v_I 向 D_1 的阳极输送电流，并从 D_4 的阴极吸收电流，导致这两个二极管都处于导通态，如图 1.12b 所示。在这种情况下，得到 $v_O=v_I(>0)$。而且，注意，D_2 和 D_3 都是被 v_O 反向偏置的，如图 1.12b 所示。电流的循环方向是电流源→D_1→R→D_4→电流源。
- 当 $v_I<0$ 时，我们认为输入电源从 D_3 的阴极吸收电流，并向 D_2 的阳极输送电流，导致这两个二极管都处于导通态，如图 1.12c 所示。现在得到 $v_O=-v_I$，而 $v_I<0$，则 $v_O>0$。而且 D_1 和 D_4 现在都是反向偏置的，图 1.12c 也表明了这点。电流的循环方向是电压源→D_2→R→D_3→电压源。我们观察到在这两种情况下，流过 R 的电流方向都是向右的，证实了前面提及的绝对值电路。

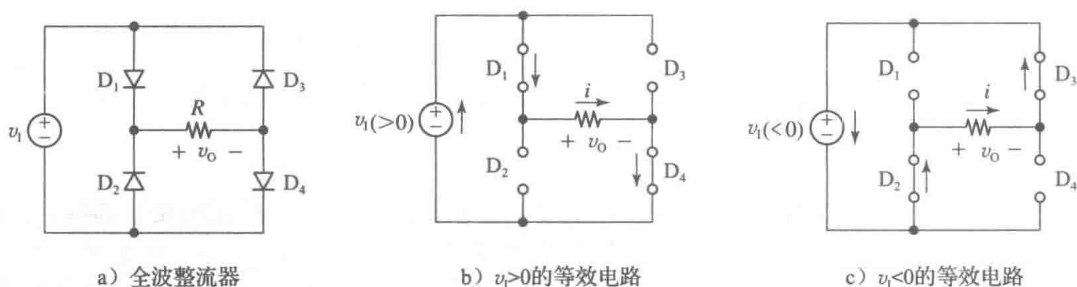


图　1.12

图 1.13a 表明了 v_O 对正弦输入 v_I 的响应，图 1.13b 表明了 VTC，简洁的数学表达为：

$$v_O = |v_I| \tag{1.4}$$

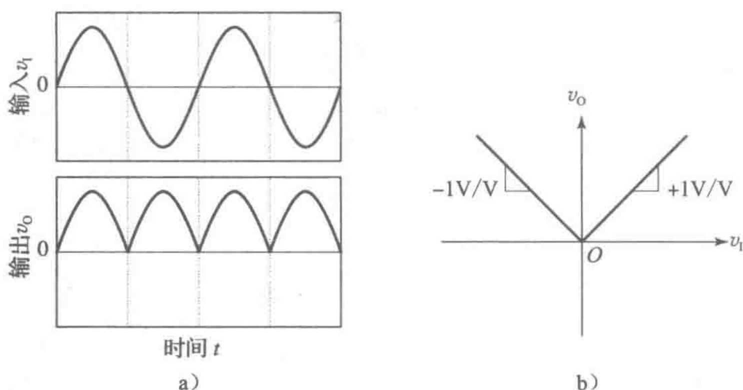


图 1.13　通过 a)输入输出波形及 b)VTC 来介绍全波整流过程

整流器在供电设备、通信设备、测量设备中都有广泛应用。

例 1.4 (a) 图 1.14 所示的是一个简便的(如果不过载)12V 车用电池充电电路。假定 v_S 是一个交流电源，并通过降压转换器从家用交流电源中获得峰峰值 24V 的电源，估算并标注 v_S 和电流 i。

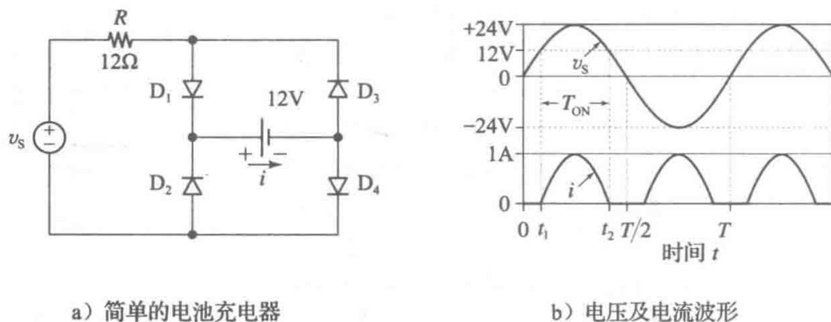


图　1.14

(b) 求出每个交流周期内，电池处于充电状态时间的百分比。

解：

(a) 易知，当 $|v_S| \leqslant 12$V 时，所有的二极管都是截止的，且 $i=0$。然而，一旦 v_S 上升到 12V，D_1 和 D_4 导通，从而建立起电流循环为：

电压源 → R → D_1 → 电池 → D_4 → 电压源

相反，当 v_S 下降到 −12V 以下时，D_2 和 D_3 导通，从而建立起电流循环为：

$$电压源 \rightarrow D_2 \rightarrow 电池 \rightarrow D_3 \rightarrow R \rightarrow 电压源$$

无论哪种情况下，我们都得到

$$|v_S| \leqslant 12\text{V 时}, i = 0; |v_S| > 12\text{V 时}, i = (v_S - 12\text{V})/R$$

电流峰值为((24−12)/12)A=1A。波形如图 1.14b 所示。

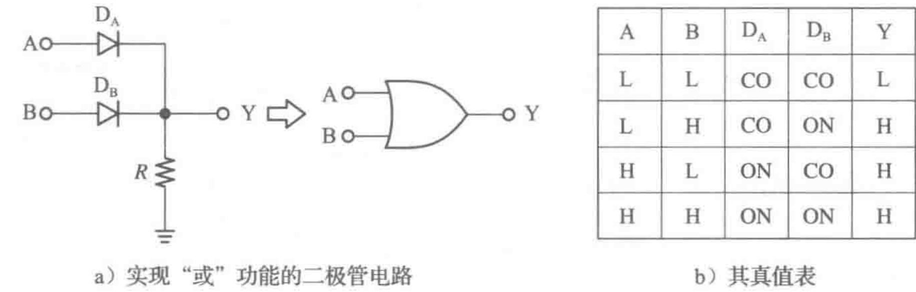
(b) 在第一个周期内，i 在 t_1 时间内流入电池，则有：

$$24\sin(2\pi t_1/T) = 12$$

得到 $t_1 = T/12$，所以在 $t_2 = T/2 - T/12$ 内停止导通。因此，导通时间为 $T_{ON} = t_2 - t_1 = T/3$ 或 $T_{ON} = (2/3) \times (T/2)$，这里 $T/2$ 是电流波形的周期。总而言之，电池充电的时间占了周期的 2/3。 ◀

二极管逻辑门

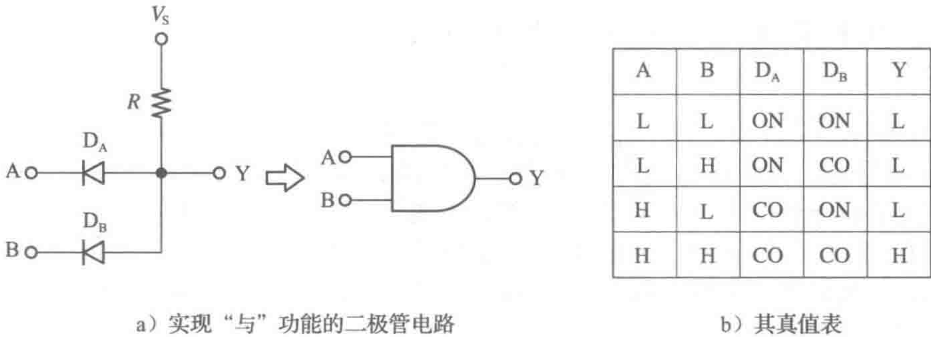
图 1.15a 和图 1.16a 显示了如何应用二极管实现基本的逻辑功能，这也是数字系统的基础。输入 A 和 B 以及输出 Y 是二进制电压值，可以是低电平(L)，如 0V，或者高电平(H)，如电源电压 V_S(通常是 5V)。电路行为可以通过测试表格中相邻的每一行来理解，一次一行。



A	B	D_A	D_B	Y
L	L	CO	CO	L
L	H	CO	ON	H
H	L	ON	CO	H
H	H	ON	ON	H

a) 实现“或”功能的二极管电路　　b) 其真值表

图 1.15



A	B	D_A	D_B	Y
L	L	ON	ON	L
L	H	ON	CO	L
H	L	CO	ON	L
H	H	CO	CO	H

a) 实现“与”功能的二极管电路　　b) 其真值表

图 1.16

- 当图 1.15a 中输入 A 与 B 同时为低电平(0V)时，两个二极管都截止，所以所有的电压和电流都为零，Y 也为低电平。然而，当我们把至少一个输入变为高电平(5V)时，将向对应的二极管阳极输送电流，使其导通，并将输出 Y 拉成高电平，如图 1.15b 所述。我们总结后表达为，当 A 或 B 中有一个为高电平或都为高电平时，Y 为高电平。这个逻辑功能，形象地称作“或”函数，用图 1.15a 所示电路旁的逻辑门图形符号定义。图 1.15b 所示表格总结了它的电路行为，称为真值表。
- 当图 1.16a 中至少有一个输入为低电平(0V)时，对应的二极管将会导通，并从其阴极沉降电流。于是，Y 是低电平。只有当 A 和 B 都为高电平时，两个二极管都将截止，通过 R 的电流值为零。伴随着零电流，R 上的压降也是零，我们称 R 将 Y 拉向 V_S，即拉高，如图 1.16b 所示真值表所说明的。这些情况可以总结为，仅当 A 和 B 都为高电平时，Y 为高电平。这个逻辑功能形象地称为“与”函数，用图 1.16a

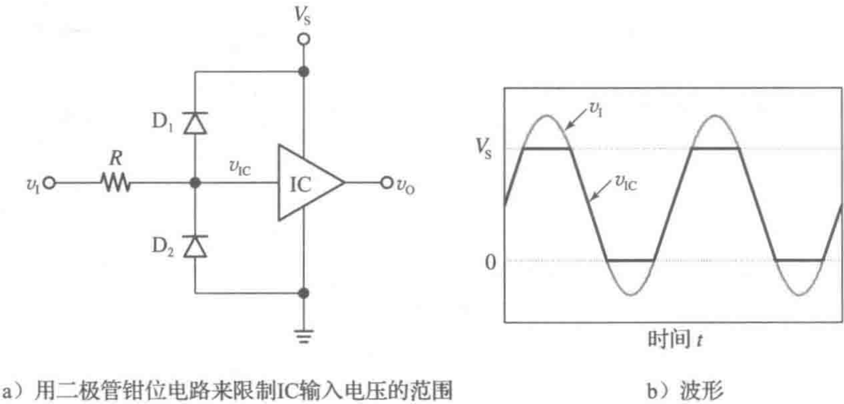
所示电路旁的逻辑门图形符号定义。图 1.16b 所示表格归纳了它的电路行为，称为真值表。

如若需要，每个门都能轻易地被扩充，以解决增加互连二极管而形成的输入多于两个的情况。虽然上面的逻辑门确实实用，但是对于建立一个完整的数字系统还是不够的，因为我们还需要其他的功能，尤其是反向情况。这需要一个晶体管，我们将在接下来的两章学习。

电压钳位器

二极管的单向导电性可以用来将电路中特定电压限制在规定范围，所以它常用在与集成电路(IC)输入相关的情形中，IC 输入必须保持在参考值范围内，以防止 IC 出现故障，甚至造成永久性损坏。通常，IC 的输入电压决不允许超过其电源提供的电压值。

图 1.17a 说明了单电源 IC 的情况，如 COMS 数字电路或者单电源运算放大器。然而，这个原理可以轻易推广至多电源系统，如双电源运算放大器。观察图 1.17a，可以容易得知，只要外部输入 v_I 处在 $0 \leqslant v_I \leqslant V_S$ 的范围内，两个二极管都截止，所以 IC 输入引脚的信号正好是 $v_{ic} \approx v_I$(这里假设 IC 获得了不可忽略的输入电流，这在 CMOS 逻辑电路和运算放大器中是确实存在在的)。



a）用二极管钳位电路来限制IC输入电压的范围　　b）波形

图 1.17

然而，假设 V_I 超过了供电电压，这有可能是用户的疏忽或是干扰噪声对 v_I 的叠加造成的，D_1 将导通，从而使 v_{IC} 与 V_S 间短路。我们说 D_1 将 V_{IC} 钳位在 V_S。同样，假设 V_I 下降到“地”电势以下，D_2 会将 V_{IC} 钳位在 0V。如图 1.17b 所示，二极管通过将输入引脚处电压限制在 $0 \leqslant v_{IC} \leqslant V_S$ 范围，防止 IC 输入受到过驱动的情形出现。

因此，二极管钳位电路也称为限幅器，又因其去除了输入波形中落在规定范围之外的部分，也称为斩波器。

这种防止过电压输入的需求是非常重要且普遍的，以致众多 IC 中已经集成了内部的二极管钳位网络来消除使用者的顾虑。在这个方面，我们必须提及 MOSFET，它是一种对过电压输入十分敏感的器件。因为其栅极是一块极小的平板电容的极板，使用者身体上积累的任何静电都会通过身体接触转移到这个电容上，所以可能出现一个高电压($V=Q/C$)，它可能会损坏栅电容的绝缘性。然而，当存在合适的二极管钳位网络时，使用者身上的电荷将会通过其中的二极管流出，保护器件免受损坏。

练习 1.2

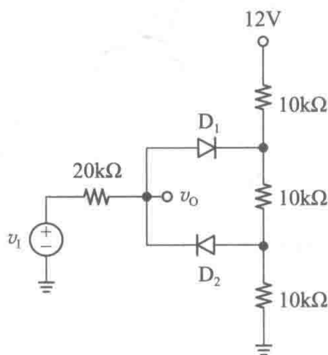
在如图 1.17 的电路中，$R=10\text{k}\Omega$，$V_S=5\text{V}$。假设 IC 并未从其输入端获得电流，在以下所给的 v_I 值下，求出流过 R 的电流(大小及方向)：(a)=1V，(b)8V，(c)−2V，(d)4.5V。(e)如果 R 吸收流向右侧的 0.25mA 电流，求 v_I。(f)如果 R 吸收流向左侧的 0.5mA 电流呢？(g)如果流过 R 的电流为零呢？

答案：(a) 0mA；(b) 0.3mA(→)；(c) 0.2mA(←)；(d) 0mA；(e) $v_I=7.5\text{V}$；

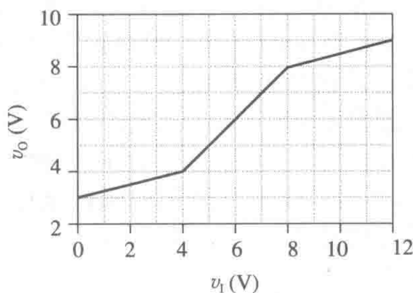
(f) $v_I=-5V$；(g) $0\leqslant v_I\leqslant 5V$。

分段线性函数发生器

可以利用二极管的非线性特性来产生对非线性函数的分段线性近似。一个普遍运用的实例是将三角波变为正弦波的转换器。图 1.18a 显示了一个简单的分段线性函数发生器的实例。接下来观察电路的工作状态。



a）分段线性函数发生器举例

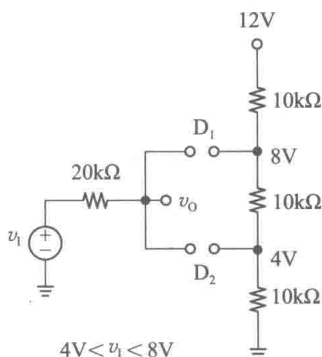


b）其VTC

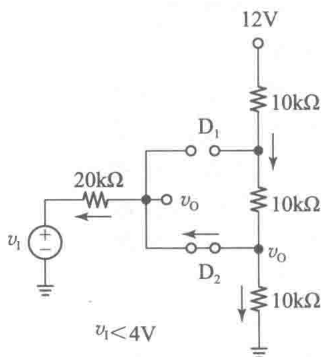
图　1.18

- 由于两个二极管都截止，三个 10kΩ 的电阻将 12V 的供电电压等分为三部分相等的压降，分别为 4V、8V、12V。如图 1.19a 所示，我们可以观察到，只要输入处在 $4V<v_I<8V$ 的范围内，两个二极管就都是截止的。因为没有电流流过 20kΩ 的电阻，其压降为 0V，所以从电路中可得：

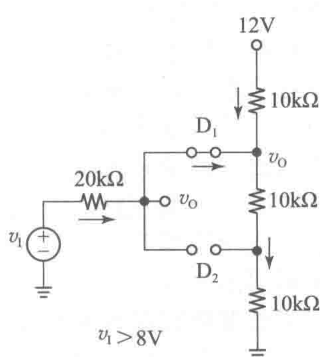
$$4V < v_I < 8V \text{ 时}, v_O = v_I \tag{1.5a}$$



a）



b）



c）

图 1.19　图 1.18 中函数发生器在不同输入下的等效电路

- 如果将 V_I 降低到 4V 以下，D_2 导通，D_1 维持截止，得到图 1.19b 所示的情况。由 KCL 可得：

$$(12-v_O)/(10+10)=(v_O-v_I)/20+v_O/10$$

解得：

$$\text{当 } v_I < 4V \text{ 时}, v_O = 0.25v_I + 3V \tag{1.5b}$$

- 如果将 V_I 提高到 8V 以上，D_1 导通，D_2 维持截止，得到图 1.19c 所示的情况。再由 KCL 可得：

$$(v_I-v_O)/20+(12-v_O)/10=v_O/(10+10)$$

解得：

$$当\ v_I > 8\text{V}\ 时, v_O = 0.25v_I + 6\text{V} \quad (1.5c)$$

图 1.18b 画出了电路的 VTC，从中可以清楚地发现，有三个分开的工作范围。在每一个范围内，VTC 是一条直线，可以通过画出图 1.19 的对应等效电路来获得其解析表达式，并将其归属到基本线性分析的范围内。这在二极管电路中是典型的分析方法。

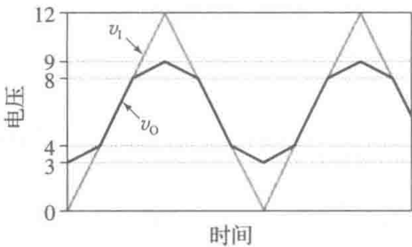


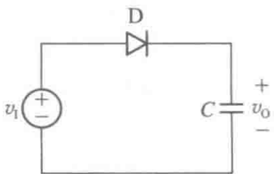
图 1.20　解释图 1.18a 中分段线性函数的削波效应

图 1.20 显示了对图 1.18 所示电路在三角波输入下的波形整形效果曲线。这里，二极管的用途是压缩三角波的顶端与低端，以向正弦波近似。可以清楚地看出，这个例子给出了一个较粗糙的近似，但不难想象我们可以通过增加额外的电路部分来改进，这通常由 pn 结二极管来实现。我们将要了解到，pn 结二极管可以帮助确保电压转换曲线中相邻部分的过渡更加平滑。

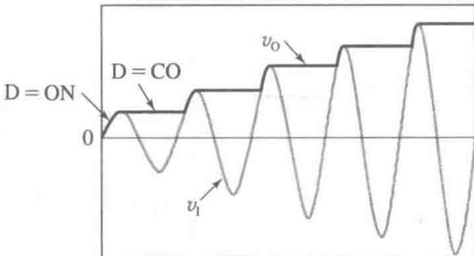
峰值检波器

当二极管 D 与电容 C 联合工作时，会出现更多有趣的应用。图 1.21a 所示电路是我们考虑的第一个例子，这个电路就是峰值检波器。为了理解其工作原理，参考图 1.21b 所示的波形，并假设电容 C 最初是未充电的。当 v_I 上升到正值时，电流将输送到阳极，使 D 导通，并对 C 充电。因为 D 表现为短路状态，v_O将跟随 v_I。

一旦 v_I 超过了峰值，阳极电位将会产生向下的摆动，而阴极电位不变，将会使 D 截止，并使电容 C 保持住先前获得的电压，其值与输入信号在此之前的峰值相等。电容 C 的这种记忆效应会持续到 v_I 再次上升到一个新的更高的峰值。此时，D 再次导通，对 C 充电至新峰值。



a）峰值检波器



b）图解波形

图　1.21

显而易见，二极管的方向性导致了电容的电压只会上升，这也就是称之为正向峰值检波器的原因。将电路中连接的二极管反向，这将会导致电容的电压只会下降，它就是一个反向峰值检波器。峰值检波器是调幅广播接收器中音频信号检测解调器的基础。

钳位型电容或直流复位器

在图 1.22a 所示电路中，二极管提供了一个钳位功能，以防止 v_O 小于零。为了理解电路的工作状态，参考图 1.22b 所示的波形，其输入是在 $+V_m$ 与 $-V_m$ 间变化的正弦波，且假设 C 开始时未充电。在最初的正向阶段，很容易得到 $v_O = v_I$，电容处压降为零，二极管截止。然而，当 v_I 第一次下降到 0V 以下时，输入电源将通过 C 从 D 的阴极吸收电流，D 导通，并给 C 充电。在 $t = t_2$ 时，v_I 到达负向峰值 $-V_m$，C 已经获得了一个与 V_m 等值的电压，右极板为正。经过 $t = t_2$ 后，二极管不再导通，C 将保持最后获得的电压，则有：

$$当\ t \geqslant t_2\ 时, v_O = v_I + V_m \quad (1.6)$$

当 v_I 在 $-V_m$ 与 $+V_m$ 间交替时，其平均值为 0，而由于电容 C 提供的补偿，v_O 在 0 与 $+2V_m$ 间交替。因此，v_O 的平均值为 $+V_m$，正是由于其输出中的非零直流分量，这个电路也称为直流复位器。

电压倍增器与 PSpice 仿真

图 1.22a 所示的钳位电容电路有一个有趣的特性，那就是其提供了电压峰值为输入电压峰值两倍的输出电压。这表明：如果我们将钳位电容电路的输出接入峰值检测器，可以合成值为 $+2V_m$ 的直流电压，这是输入电压振幅的两倍。为了更好理解这种复合电路行为，我们通过 PSpice 进行仿真。图 1.23 所示的电路形象地称为二倍倍压器，其输入是 1kHz、10V 的正弦波。这个电路利用非理想二极管，其 PSpice 模型是通过编辑 PSpice 元件库里已有的二极管模型获得的，将其参数 I_s 与 n 设置成如图 1.23 右侧方框所示的值(更多相关知识参见附录 1A)。

a）钳位电容

b）图解波形

图 1.22

图 1.24 显示了各种不同的波形，从中我们观察到，经过少于 10 周期的短暂状态，输出稳定到直流电压值

$$v_2 \rightarrow 2V_m \tag{1.7}$$

即在本例中有 $v_2=20$V。经过几个周期才能达到希望的稳定状态的原因是，C_2 成为 C_1 的负载。如果电路可以实现 $C_1 \gg C_2$，将可以在 v_1 的第二个正向峰值实现稳定状态。然而，通常实现电路时电容的大小是相同的，C_1 在 v_1 的每个正向峰值时累积的电荷将在 C_1 与 C_2 间再分配，导致 v_1 下降。虽然第一个 v_1 的峰值仍对 v_1 影响重大，但 v_1 与其后峰值的关系是逐渐减弱的。可以证明(见练习 1.3)，在 v_1 每次峰值时，通过 v_2 获得的电压值依次是 5V、12.5V、16.25V、18.125V……

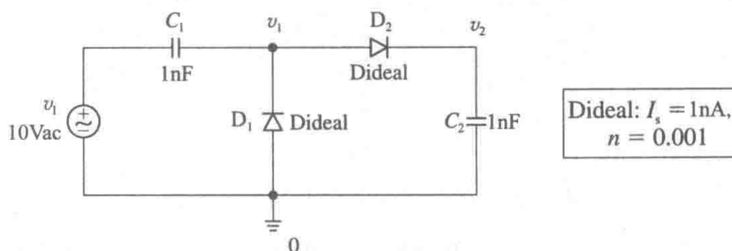


图 1.23 基于非理想二极管模拟二倍倍压器的 PSpice 电路。PSpice 中二极管模型的参数如右边方框所示

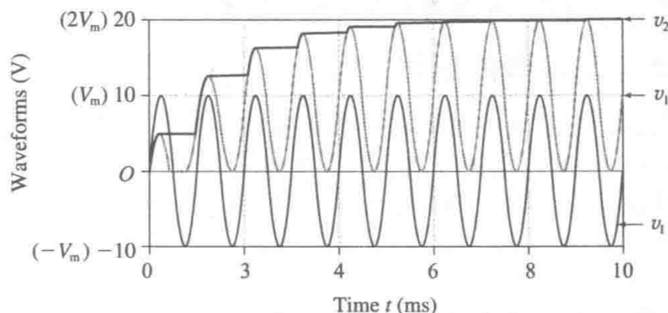


图 1.24 图 1.23 所示 PSpice 电路的波形

练习 1.3

记 v_2 在 V_I 第 k 次峰值时的电压值为 $v_2(k)$，运用电荷守恒定理可知，$v_2(k)$ 与之前峰

值时的 $v_2(k-1)$ 的值是相关的，并可以表达为：

$$v_2(k) = 0.5v_2(k-1) + 10V$$

$k=2, 3, 4, \cdots$，且 $v_2(1)=5V$。在 v_I 的哪个峰值 v_2 的电压值在 20V 的 10%内？20V 的 1%内呢？

答案：对于 10%，$k=3$。对于 1%，$k=6$。

倍压器的基本原理可以推广，以实现更高的倍增电压。图 1.25 表示了一个四倍倍压器，其波形如图 1.26 所示。我们再次观察到，经过持续几个周期后，输出 v_4 最终稳定的直流电压值为：

$$v_4 \rightarrow 4V_m \tag{1.8}$$

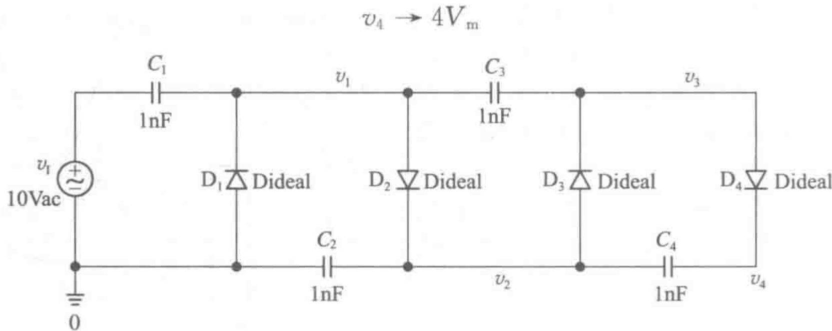


图 1.25 四倍倍压器

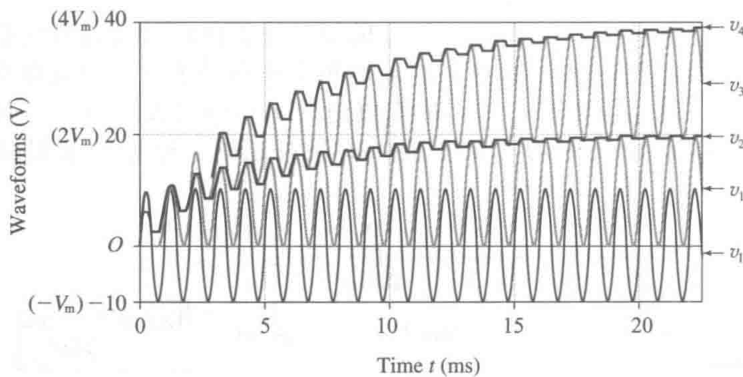


图 1.26 图 1.25 中四倍倍压器的波形

即在本例中有 $v_4=40V$。读者可以详细分析每个波形，去领悟这个巧妙的电路是如何工作的。

电压倍增器在集成电路中有广泛的应用，因为集成电路中需要产生特定的电压对芯片内的不同电路提供偏置，而这些电压都是从可充电电池一类的单电源电压中获得的。

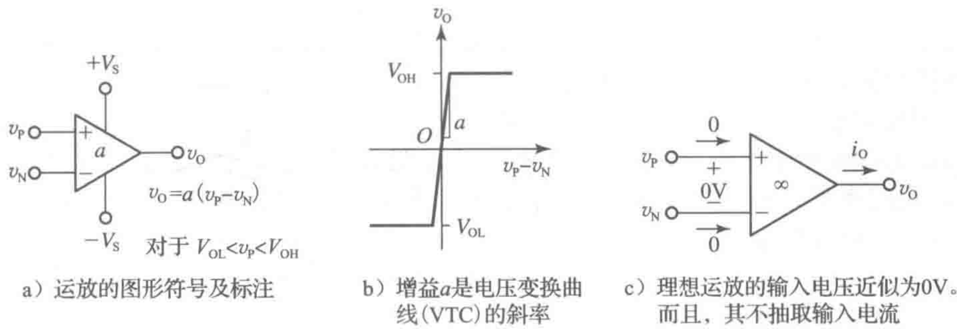
1.3 运算放大器与二极管的应用

随着学习的深入我们会发现，如果将二极管及将要学习的晶体管与运算放大器(简称运放)结合起来，可以将其应用范围显著扩大。回顾必备的电路课程，我们知道运放是高增益电压放大器，其含有两个输入端，称为反相端 v_N 与同相端 v_P，并产生一个输出 v_O，可表示为：

$$v_O = a(v_P - v_N) \tag{1.9}$$

式中：a (V/V) 是电压增益（见图 1.27a）。必须给运放供电，它才能正常工作。图 1.27a 所示的是一个由双电源 $\pm V_S$ 供电的运放，但单电源的也同样普遍(为了简化，通常不画出电源的具体结构)。从物理角度考虑，一个运放不能让输出摆幅超过 $+V_S$ 或低于 $-V_S$。过驱动将导致 v_O 在 $+V_S$ 附近到达饱和值 V_{OH} 或在 $-V_S$ 附近到达饱和值 V_{OL}，所以

式(1.9)仅在 $V_{OL}<v_O<V_{OH}$ 范围内才成立，形象地称为线性输出范围。图 1.27b 所示是运放的 VTC。



a）运放的图形符号及标注　　b）增益a是电压变换曲线(VTC)的斜率　　c）理想运放的输入电压近似为0V。而且，其不抽取输入电流

图 1.27

随着学习的深入，我们将发现电压增益 a 越高越好(例如，古老的 μA741 运放的 a=200 000V/V,也可表示为 a=0.2V/μV)。

由于运放的增益很大，其只需要输入一个趋近于零的 v_P-v_N 的差值，就可以得到所给定的输出电压(例如，为了得到 1V 的输出，μA741 只需要 5μV 的输入)。将式(1.9)重新写为$(v_P-v_N)=v_O/a$，可以得到，对于增益无限大的理想运放，有：

$$\lim_{n\to\infty}(v_P-v_N)=\lim_{n\to\infty}\frac{v_O}{a}=0$$

运放需要设计一个负反馈，这种结构允许运放通过反馈网络影响其反向输入 v_N。考虑到这点，可以将上面的关系式表示为：

$$\lim_{a\to\infty}v_N=v_P \tag{1.10}$$

这就是工程师们用于分析运放电路的重要基本规则。

运放定律：如果运放能通过负反馈影响其自身输入 v_N，那么一个理想运放在输出任意所需电压 v_O及电流 i_O时，负反馈都会迫使 v_N跟随 v_P。并且负反馈实现运放这个功能时，不会在任一输入端产生电流(见图 1.27c)。

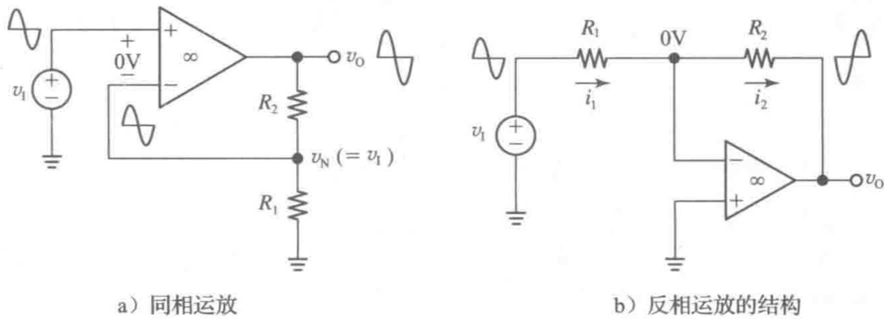
我们应用这个定律来复习最常用的运放电路。

基本运放电路

最常用的运放电路有同相放大器、反相放大器、求和放大器，以及电压缓冲器。

- 同相放大器：如图 1.28a 所示的电路中，运放通过 R_1 和 R_2 组成的电压分压来影响 v_N，有：

$$v_N=\frac{R_1}{R_1+R_2}v_O=\frac{v_O}{1+R_2/R_1}$$



a）同相运放　　b）反相运放的结构

图 1.28

由运放定律，有 $v_P=v_N(=v_I)$。因此，将上式的 v_N用 v_I代替，并求解比率 v_O/v_I

得到

$$A=\frac{v_O}{v_I}=1+\frac{R_2}{R_1} \tag{1.11}$$

式中：A 为整个电路的增益(不要与基本放大器的增益 $a(\to\infty)$混淆)。由于 v_O与 v_I极性相同，这个电路称为同相放大器。

- 反相放大器

如图 1.28b 所示的电路中，运放通过反馈电阻 R_2影响 v_N，由运放定律得 $v_N=v_P=0$，我们将节点 v_N称为虚地。所有 v_I通过 R_1注入的电流都被 v_O通过 R_2输出，即 $i_1=i_2$。应用欧姆定律有：

$$\frac{v_I-0}{R_1}=\frac{0-v_O}{R_2}$$

再次求解比率 v_O/v_I得到：

$$A=\frac{v_O}{v_I}=-\frac{R_2}{R_1} \tag{1.12}$$

由于 v_O与 v_I极性相反，这个电路称为反相放大器。

- 求和放大器

由运放定律，图 1.29 所示的反相输入端是虚地的。这个端点称为求和节点，因为其将输入源 v_1与 v_2的电流相加并将这个和转移到输出端 v_O，有：

$$\frac{v_1-0}{R_1}+\frac{v_2-0}{R_2}=\frac{0-v_O}{R_3}$$

求解 v_O，有：

$$v_O=-\left(\frac{R_3}{R_1}v_1+\frac{R_3}{R_2}v_2\right) \tag{1.13}$$

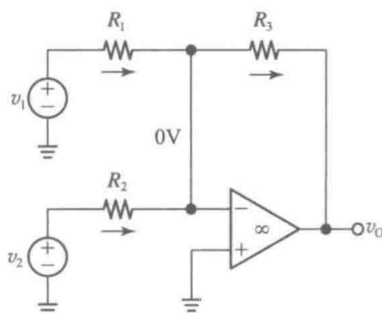


图 1.29　求和放大器

如果 $R_1=R_2$，电路给出 $v_O=-(R_3/R_1)(v_1+v_2)$，这形象地称为求和放大器。

- 电压缓冲器

令图 1.28a 所示的 $R_2=0$，$R_1=\infty$，电路变为一个单位增益放大器($A=1\text{V/V}$)。其主要应用是作为电压缓冲器，以消除级间负载。例如，考虑图 1.30a 所示电路，其中内阻为 R_1的信号源 v_1 带有负载 R_2。

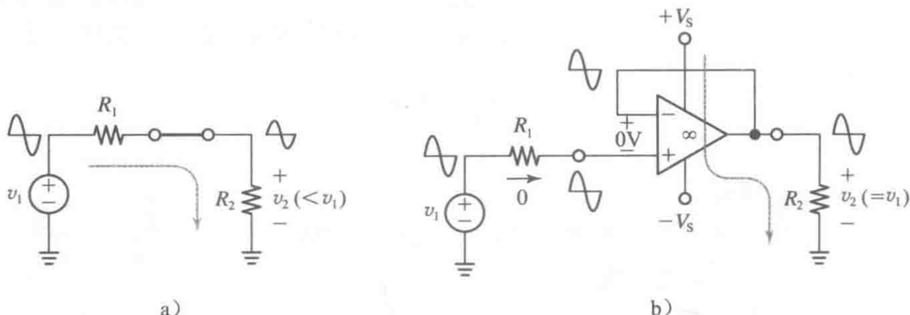


图 1.30　用单位增益电压缓冲器来消除负载效应(显示了 $v_1>0$ 时的电流极性)

如果我们将源与负载通过普通导线连接，R_2将与 R_1一起分压，得到 $v_2=v_1/(1+R_1/R_2)$。很明显，v_2 是小于 v_1的，这种情况称为负载效应，因为负载 R_2要经过 R_1得到电流，故通过 R_1时会有电压损失。

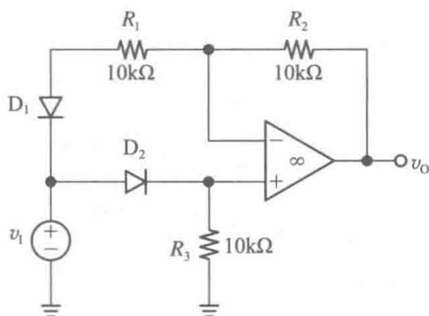
然而，如果我们通过如图 1.30b 所示的缓冲电路将源与负载耦合，通过 R_1时就不会再有压降，这是因为运放不会吸取输入电流。因此缓冲电路消除了负载效应，使得 $v_2=v_1$。当然，R_2确实会吸取电流，但这不是由 v_1提供的，而是通过运放从供

电电源 $+V_S$ 中吸取的（这个解释指的是 $v_I>0$ 的情况；当 $v_I<0$ 时，负载电流将通过运放从 R_2 流向 $-V_S$）。

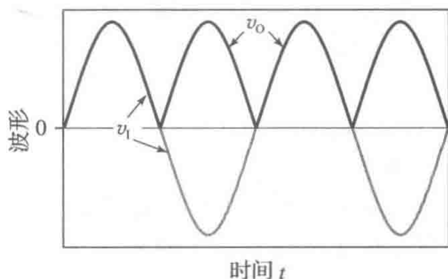
上面介绍的电路结构会经常出现，有的是以其自身形式，有的则是作为更复杂的系统中的分支电路，我们将频繁地运用式(1.10)到式(1.13)。

首个二极管/运放电路

在复习完运放的基本知识之后，我们已经准备好去研究第一个二极管/运放电路，如图 1.31a 所示。我们该从何开始呢？通常，先通过简单的观察，看是否能找到已经熟悉的分支电路，然后一步步地从中建立对整个电路的理解。在这之前，我们观察到图 1.10a 所示的电路类型中，D_2 和 R_3 形成了一个半波整流器，所以我们可以先按照之前的原理，分别分析 $v_I>0$ 和 $v_I<0$ 的情况。



a）第一个二极管/运放电路

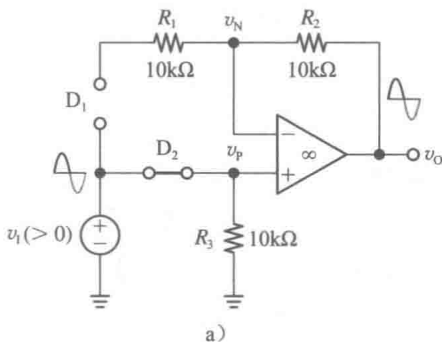


b）其输入输出波形

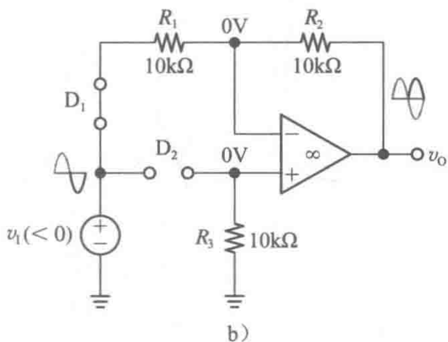
图 1.31

- $v_I>0$ 时，D_2 导通，$v_P=v_I$。但由运放规则得 $v_N=v_P$，于是 $v_N=v_I$。这导致 D_1 截止，如图 1.32a 所示。在没有电流流过 R_2 的情况下，运放有 $v_O=v_N$，于是，有：

$$v_O = v_I \tag{1.14a}$$



a)



b)

图 1.32 在(a)$v_I>0$ 及(b)$v_I<0$ 的情况下重画图 1.31a 所示的电路图

- $v_I<0$ 时，D_2 截止，$v_P=0$，由运放规则得，$v_N=0$。D_1 现在是导通的，如图 1.32b 所示，此时运放相当于一个反向放大器，有：

$$v_O = -\frac{R_2}{R_1}v_I = -\frac{10}{10}v_I = -v_I \tag{1.14b}$$

- 我们将两个表达式合写为：

$$v_O = |v_I| \tag{1.15}$$

说明该电路是全波整流器。其功能与图 1.12a 所示电路相似，并在图 1.13 中画出。然而区别也是存在的：在图 1.12a 所示的电路中，整流后的信号看上去像是穿过了一个悬浮负载，但在图 1.31a 所示的运放类型中，整流后的信号是以地为参考的，所以可以称为接地负载。

练习 1.4

如图 1.31a 所示，在以下情况下求 v_O：(a)R_3 阻值变为原来的 2 倍；(b)R_2 阻值变为

原来的 2 倍；(c)R_1 阻值变为原来的 2 倍；(d)将每个二极管的方向反转；(e)仅反转 D_1 的方向。

答案：(a)$v_O=|v_I|$；(b)$v_I>0$ 时 $v_O=v_I$，$v_I<0$ 时 $v_O=-2v_I$；(c)$v_I>0$ 时 $v_O=v_I$，$v_I<0$ 时 $v_O=-0.5v_I$；(d)$v_O=-|v_I|$；(e)$v_I>0$ 时 $v_O=v_I$，$v_I<0$ 时 $v_O=0$。

1.4 半导体

当今半导体工业应用最广的材料是硅(Si)，其在元素周期表中为第Ⅳ族元素(见表 1.1)。第Ⅳ族元素的原子在其最外层拥有 4 个电子，也称为价带。每个原子与最近的 4 个邻近原子共享这 4 个电子，形成共价键。

表 1.1 元素中期表中部分最常用的半导体及掺杂元素

Ⅲ	Ⅳ	Ⅴ
5	6	7
B	C	N
硼	碳	氮
13	14	15
Ai	Si	P
铝	硅	磷
31	32	33
Ga	Ge	As
镓	锗	砷
49	50	51
In	Sn	Sb
铟	锡	锑

这些共价键让原子束缚在固定的位置，形成有序的空间结构，称为晶格，可以用图 1.33a 所示的二维结构来描述。单位体积中存在的硅原子数目(原子数/cm^3)为：

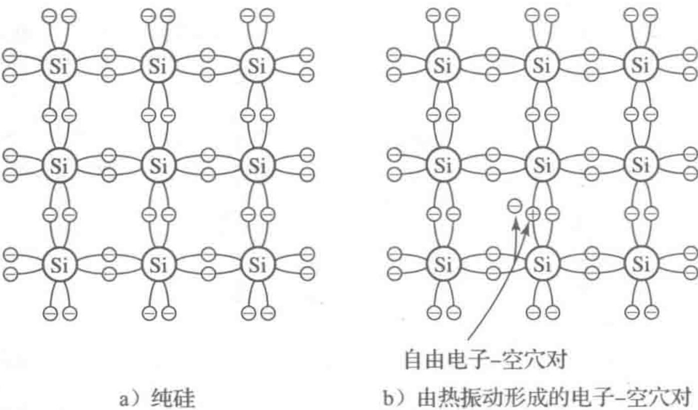
$$N_{Si}=5\times10^{22}\text{ 原子}/cm^3 \tag{1.16}$$

也称为原子密度。

由于热振动，共价键有时可能会断开，形成可以传导电流的自由电子，称母原子被电离。我们知道，一个电子的电荷量是$-q$，其中，

$$q=1.602\times10^{-19}C \tag{1.17}$$

一旦电子远离共价键位置，就会留下一个电荷量为$+q$ 的空位，如图 1.33b 所示。另一个共价键产生的电子可能会填补这个空位，依次在其本身的共价键处留下另一个空位。



a）纯硅　　b）由热振动形成的电子–空穴对

图 1.33

这个过程不断自行重复，我们实际上看到的是带有正电荷的空位，即空穴，在晶体内的移动。

在热振动形成自由电子–空穴对时，一个电子和一个空穴也可能会复合，复合后就会从自由电荷池中消失。复合率与可用的自由电子–空穴对的数目有关，并且会受温度的影响。在热平衡状态下，复合率等于产生率，形成了电子浓度(或密度)n(电子数/cm^3)与空穴浓度(或密度)p(空穴数/cm^3)的平衡，即

$$n=p=n_i \tag{1.18}$$

式中：n_i 为本征浓度。对于硅，n_i 可以表示为：

$$n_i^2(T) = BT^3 e^{-V_{G0}/V_T} \text{ cm}^{-6} \quad (1.19)$$

式中：T 是热力学温度，单位为 K；B 是一个合适的常数；$V_{G0}=1.205\text{V}$ 是硅的带隙电压；

$$V_T = KT/q \quad (1.20)$$

是一个与温度相关的比例因子，单位为 V，常在半导体物理中出现，称为热电压。这里的 q 是电子电荷，k 是玻耳兹曼常量，为 1.381×10^{-23}J/K。在室温下(T=300K)，有 V_T= 25.86mV≈26mV。

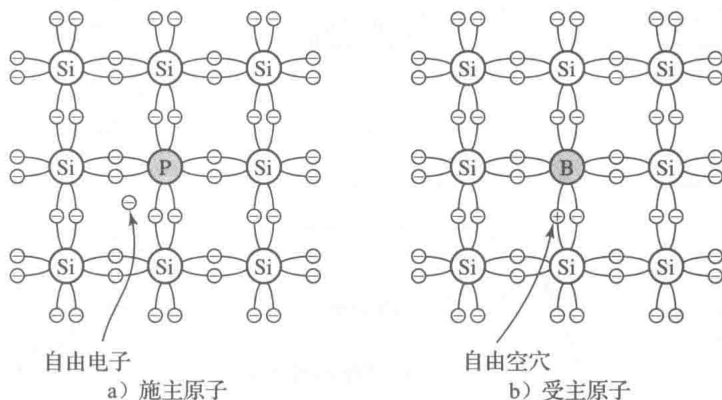
对于硅，式(1.19)有以下形式：

$$n_i^2(T) = 1.5\times10^{33} T^3 e^{-14028/T} \text{ cm}^{-6} \quad (1.21)$$

我们观察到 n_i 与温度相关性很大。在 T=300K 时，我们有 $n_i{}^2=2\times10^{20}\text{cm}^{-6}$，或 $n_i=1.4\times10^{10}/\text{cm}^3$，这表明大约 36×10^{12} 个硅原子中有一个是电离的。相比之下，在良导体中每个原子都会贡献一个或更多的电子参与导电。显而易见，室温下的纯硅并不是很好的导体。

掺杂

当用邻近族(III 族或者 V 族)元素的原子代替第 IV 族元素的部分原子时，其电性能将发生显著的改变。例如，用第 V 族且含有 5 个最外层电子的磷(P)原子取代 1 个硅原子，将会造成如图 1.34a 所示的情况。5 个电子中的 4 个参与形成共价键，跟硅原子相同；第 5 个原子，由于热振动，会在晶体内四处移动，不再属于某个特定的原子，因此称为自由电子并可参与导电。第 V 族元素称为施主，其每个原子都会贡献或者说是捐赠 1 个电子给硅晶体。相比之下，用第 III 族且含有 3 个最外层电子的硼(B)原子取代 1 个硅原子。将会造成如图 1.34b 所示的情况。



a) 施主原子　　b) 受主原子

图 1.34　带有 1 个施主原子与受主原子的硅

对于这种情况，由于缺少第 4 个原子，将会形成 1 个空穴，因为空穴会在复合时吸收电子，所以第 III 族元素称为受主。

这种用施主或受主对硅原子的取代称为掺杂。因为掺杂硅不再是纯硅，施主或受主原子统称为杂质。当用足量的杂质掺杂硅时，可以将其转变为良导体，因此硅称为半导体。掺杂可以通过多种方式实现。在固态扩散法中，掺杂原料被放置在硅晶体的特定区域，然后将其放入高温炉中使杂质原子渗透并扩散进晶格的下层区域。在离子注入法中，用杂质原料离子对硅晶体进行轰击，使其嵌入晶体中。通过硅原子与所需类型的杂质原子进行适当混合，掺杂的硅也可以直接进行生长。

施主与受主浓度(原子数/cm^3)，也称为掺杂浓度，分别用 N_D 与 N_A 表示。根据具体需要，掺杂量可以低至 10^{14} 个原子/cm^3，高至 10^{21} 个原子/cm^3，所以实际上的杂质浓度比室温下的本征电子-空穴对浓度($n_i=1.4\times10^{10}/\text{cm}^3$)高得多。因此，在室温下，被施主杂质掺杂的硅也称为 n 型硅，其中 $n>N_D$；被受主杂质掺杂的硅也称为 p 型硅，其中 $p>N_A$。

无论掺杂的类型与总量，电子与空穴浓度永远满足质量作用定律，即

$$n \times p = n_i^2 \tag{1.22}$$

在室温($T=300\text{K}$)下，有 $n\times p=2\times10^{20}\text{cm}^{-6}$。因此，在 n 型硅中有：

$$n \approx N_D, \quad p \approx n_i^2/N_D \tag{1.23a}$$

在 p 型硅中有：

$$p \approx N_A, \quad n \approx n_i^2/N_A \tag{1.23b}$$

结合数据来分析，假设一些 n 型硅掺杂浓度为 $N_D=10^{16}\text{cm}^{-3}$。于是 $n\approx10^{16}/\text{cm}^3$，$p\approx(2\times10^{20}/10^{16})1/\text{cm}^3=2\times10^4/\text{cm}^3$，表明材料中与本征硅相比，电子更多，空穴更少。因为 $n\gg p$，n 型硅的电子被形象地称为多数载流子，空穴称为少数载流子。相反地，p 型硅中 $N_A=10^{18}/\text{cm}^3$，则有 $p\approx10^{18}/\text{cm}^3$，$n\approx2\times10^2/\text{cm}^3$。此时因为 $p\gg n$，p 型硅中的多数载流子是空穴，少数载流子是电子。

当然，如同本征硅一样，掺杂硅中热激化电子-空穴对也是一直存在的。然而，由于多数载流子的充裕，少数载流子的复合概率更高，这就是它们的浓度降低的原因。实际上，两种电荷类型间的平衡是由质量作用定律决定的。

我们注意到，n 型与 p 型半导体的名称仅表示出了材料中多数载流子的类型。这不应误导读者认为 n 型材料就是带负电荷的，p 型材料就是带正电荷的！无论掺杂类型是何种，材料都将始终为电中性，因为在每个自由电荷的背后都有一个电离原子，并有着相反的极性。图 1.35 画出了三种情况下 n 与 p 的量。

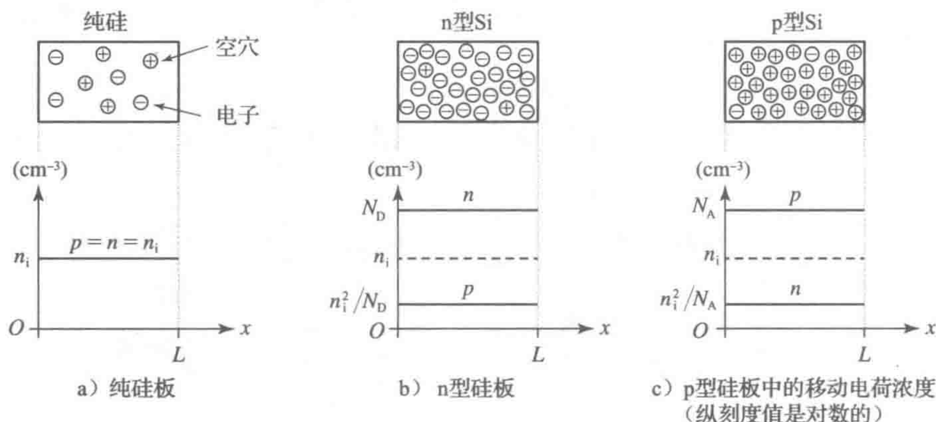


图 1.35　纵刻度值是对数的

漂移与扩散电流

半导体中有两种导电途径，往往同时存在：漂移和扩散。

● 漂移电流

为了讨论漂移的机制，参考图 1.36a 所示的上图，假设一个 p 型材料板被放置在强度为 E(V/cm)的电场中。该电场可以在 p 型材料板上外接一个电池来产生。如果假设 p 型材料板子是均匀掺杂的，电势 $v(x)$是线性变化的，如图 1.36a 的下图所示。

根据基础物理，场强与电势的关系为：

$$E=-\frac{\mathrm{d}v(x)}{\mathrm{d}x} \tag{1.24}$$

即 E 在均匀掺杂材料板中是一个常数。

由于电场 E 加速的影响，空穴将沿电场的方向漂移，并达到平均漂移速率 v_p(cm/s)，它与场强呈线性关系，即

$$v_p = \mu_p E \tag{1.25a}$$

μ_p(cm^2/(V·s))为空穴迁移率，式(1.25a)给出空穴在给定电场中获得的平均漂移速率。当空穴漂移时，它们产生电流 $i_{p(\text{drift})}=\mathrm{d}Q_p/\mathrm{d}t$，其中，$\mathrm{d}Q_p$指 $\mathrm{d}t$ 时间内，迁移

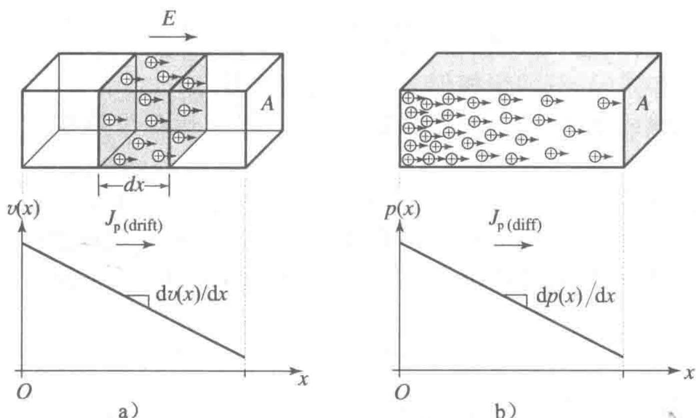


图 1.36 阐释空穴的 a)漂移电流与 b)扩散电流

的电荷总数。假设 dt 时间内，空穴前进的距离 $dx=u_p dt$，产生的空穴电荷 dQ_p 被包含在体积 $Adx=Av_p dt$ 内，其值为 $pAv_p dt$，其中，p 是其浓度(空穴数/cm^3)，A 是硅板横截面面积(cm^2)。将这个数字与空穴所带 $+q$ 电荷相乘得到 $dQ_p=qpAv_p dt$，所以，

$$i_{p(drift)} = \frac{dQ_p}{dt} = qpAv_p = qpA\mu_p E$$

继续研究，我们会发现用单位面积内电流，即电流密度 J(A/cm^2)来计算，这比用电流 i(A)更加方便。空穴的漂移电流密度可以简单地表示为 $J_{p(drift)}=i_{p(drift)}/A$，即

$$J_{p(drift)} = qp\mu_p E \tag{1.25b}$$

对于 n 型硅是类似的，不同的是在这种情况下，移动电荷是电子，其浓度为 n，迁移率为 μ_n。因此，电子的平均漂移速率是：

$$v_n = \mu_n E \tag{1.26a}$$

这里的 μ_n($cm^2/(V\cdot s)$)是电子迁移率，电子漂移电流密度为：

$$J_{n(drift)} = qn\mu_n E \tag{1.26b}$$

式(1.26b)在金属和普通导体等组成的电阻器中也是成立的，只是其可获得的移动电荷只有电子类型的。两个等式都揭示了具有良好传导性的要素：高浓度、高迁移率。

- 扩散电流

半导体中载流子移动的另一种途径是扩散，这种途径在普通导体中是没有的。随着研究深入，我们会发现在半导体器件中，可以建立并持续保持载流子浓度的不均匀分布。图 1.36b 展示了一个线性密度分布的例子，正如正偏双极型晶体管的基区。当空穴由于热振动而四处移动时，其有从高密度区域向低密度区域扩散的趋势，在本例子中是向右移动的趋势。这类似一个房间冒烟处的烟雾颗粒扩散到房间其他区域一样。如果空穴持续注入左侧并从右侧移出，将会产生一个持续的电流流动。空穴的扩散电流密度是：

$$J_{p(diff)} = -qD_p \frac{dp(x)}{dx} \tag{1.27a}$$

式中：D_p 是空穴扩散率(cm^2/s)；负号是由于 p 型中空穴是沿着负梯度方向流动的。同样地，电子扩散电流密度是：

$$J_{n(diff)} = qD_n \frac{dn(x)}{dx} \tag{1.27b}$$

式中：D_n 是电子扩散率(cm^2/s)；现在的符号是正的，因为电子带有负电荷。

我们注意到漂移与扩散电流的表达式有很大的相似之处。实际上，将式(1.24)代入式(1.25b)和式(1.26b)，得到：

$$J_{p(drift)}=-qp\mu_p\frac{dv(x)}{dx},\quad J_{n(drift)}=qn\mu_n\frac{dv(x)}{dx}$$

其形式与式(1.27a)和式(1.27b)很相似。这些等式表明：

- 为了维持一个给定的电流，我们需要一个梯度(电压梯度以维持漂移，电流梯度以维持扩散)。
- 电荷沿梯度降低的方向流动。
- 扩散率 D_p 和 D_n 与迁移率 μ_p 和 μ_n 的作用相同，都是对给定梯度产生的电流量进行表征。实际上，扩散率与迁移率由爱因斯坦(Einstein)关系联系在一起，即

$$\frac{D_n}{\mu_n}=\frac{D_p}{\mu_p}=V_T \tag{1.28}$$

式中：$V_T\approx 26\text{mV}$，是式(1.20)中的热电压。

在纯硅中，迁移率和扩散率是非常大的，但随着掺杂和温度变化而降低。图 1.37 显示了在室温下，μ_n 和 μ_p 随着总掺杂浓度(N_A+N_D)的变化而变化曲线。电子的迁移率比空穴的要高(2 到 3 倍)，这也是 n 型材料比 p 型材料更常用的原因，特别是制造高速应用器件的场合。

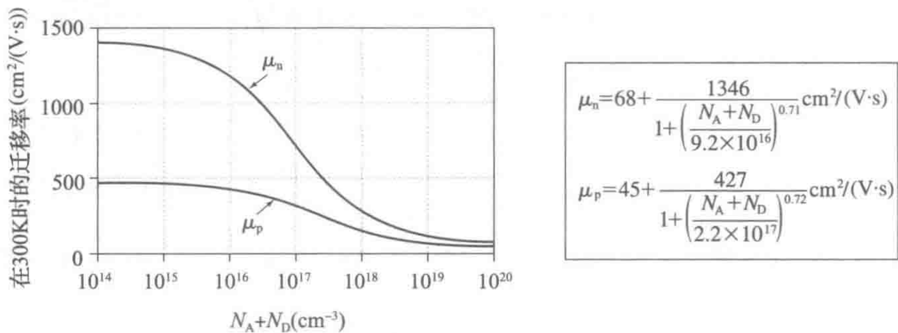


图 1.37　室温下迁移率与总掺杂浓度的关系，及当施主原子为磷、受主原子为硼时的经验计算公式

最后需要指出的是，速率与电场强度的线性关系，即：$v_n=\mu_n E$ 及 $v_p=\mu_p E$，只在超过一定的场强时成立，一般在 5kV/cm 左右。超过了这个限度，电子和空穴的速率会达到饱和，大约为 10^7cm/s。这个现象形象地称为速度饱和，并为诸如 MOSEFT 的半导体器件的工作速度设置了一个上限。

示例：集成电路二极管

图 1.38 画出了制作 pn 结的最基本步骤，pn 结是 IC 器件中最基本的半导体器件。先用一块轻掺杂的 n 型板，如 $N_D=10^{15}/\text{cm}^3$，接着在其局部用硼扩散形成一个 p 型区域。

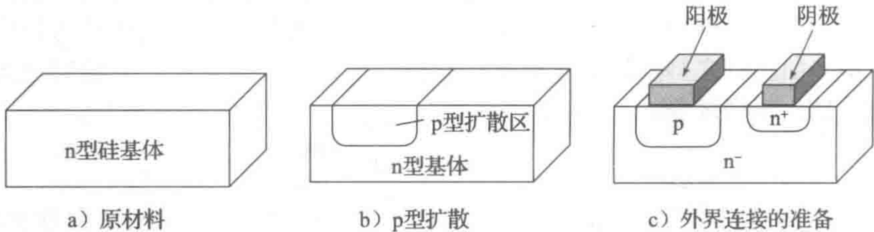


图 1.38　IC 二极管的基本制造步骤

显然，为了克服 n 型板已存在的 n 形态，p 型区的受主密度 N_A 必须超过现有施主密度 N_D。于是在 p 型区域内，有 $p\approx N_A-N_D\quad n\approx n_i^2/(N_A-N_D)$，再用扩散来形成一块重掺杂的 n^+ 型区域，为的是确保在 n 型板与金属间形成欧姆接触(本章稍后要详细介绍)，最后用金属沉积，把 pn 二极管器件与外部电路互连起来。

上述器件的尺寸在微米数量级($1\mu m=10^{-6}m$)。因此，在同一块晶片上可以同时制造大量的这样微小尺寸的器件。为了防止不同的器件间互相干扰，我们必须保证它们是处于电隔离的状态。有趣的是，实现隔离的最流行方法是，通过额外的反向偏置的pn结来实现的，这个主题我们将在以后学习晶体管制造时详尽地说明。感兴趣的同学可以上网搜索介绍集成电路制造技术的视频及文章。

例 1.5 在以下掺杂浓度下，求出图 1.38 所示结构中三个区域的电子-空穴对浓度 n 和 p、迁移率 μ_n 和 μ_p、扩散率 D_n 和 D_p：

(a) n^- 型区：$N_D=10^{15}$ 个磷原子/cm^3；

(b) p 型扩散：$N_A=10^{17}$ 个硼原子/cm^3；

(c) n^+ 型扩散：$N_D=10^{20}$ 个磷原子/cm^3。

解：

(a) 我们得到 $n\approx N_D=10^{15}/cm^3$，$p\approx n_i^2/N_D=2\times10^{20}/(10^{15}cm^3)=2\times10^5/cm^3$。由图 1.37 所示的经验公式，有：

$$\mu_n=(68+1346/(1+(10^{15}/9.2\times10^{16})^{0.71}))cm^2/(V\cdot s)=1362cm^2/(V\cdot s)$$

$$\mu_p=(45+427/(1+(10^{15}/2.2\times10^{17})^{0.72}))cm^2/(V\cdot s)=463cm^2/(V\cdot s)$$

由式(1.28)，得到：

$$D_n=0.026\times1362cm^2/s=35.4cm^2/s,\ D_p=0.026\times463cm^2/s=12cm^2/s$$

(b) 我们现在可得到 $p\approx N_A-N_D=(10^{17}-10^{15})1/cm^3\approx10^{17}/cm^3$，$n\approx n_i^2/(N_A-N_D)\approx2\times10^3/cm^3$。再由经验公式，有：

$$\mu_n=(68+1346/(1+(10^{17}+10^{15}/9.2\times10^{16})^{0.71}))cm^2/(V\cdot s)=719cm^2/(V\cdot s)$$

$$\mu_p=(45+427/(1+(10^{17}+10^{15}/2.2\times10^{17})^{0.72}))cm^2/(V\cdot s)=317cm^2/(V\cdot s)$$

且 $D_n=0.026\times719=18.7cm^2/s$，$D_p=8.3cm^2/s$。

(c) 我们现在可得到：

$n\approx(10^{20}+10^{15})1/cm^2\approx10^{20}/cm^3$，$p\approx2/cm^3$；$\mu_n=78cm^2/(V\cdot s)$，$D_n=2cm^2/s$；$\mu_p=50cm^2/(V\cdot s)$，$D_p=1.3cm^2/s$。 ◀

1.5 平衡态的 pn 结

将p型和n型区域连接在一起，就称它们形成了一个pn结。虽然在现实中它们是毗邻制作的，如图1.38所示，但在教学的视角上，认为两个板子是被分别制造，然后再连接在一起的，这是比较方便的，如图1.39所示。为了对各种所涉及的数据有数字上的理解，我们用以下掺杂浓度的示例来进行研究：

$$N_A=10^{18}/cm^3,\quad N_D=10^{16}/cm^3 \tag{1.29}$$

假设施主原子为磷原子、受主原子为硼原子，这样在需要时我们就可以运用图1.37中的公式。用下标0来表示平衡态浓度，我们由式(1.23b)，求得p型端的空穴与电子浓度分别为：

$$p_{p0}\approx N_A=10^{18}/cm^3,\quad n_{p0}\approx n_i^2/N_A=2\times10^2/cm^3 \tag{1.30a}$$

再由式(1.23a)，求得n型端的电子与空穴浓度分别为：

$$n_{p0}\approx N_D=10^{16}/cm^3,\quad p_{p0}\approx n_i^2/N_D=2\times10^4/cm^3 \tag{1.30b}$$

当两块板相互连接时，空穴会由浓度高($10^{18}/cm^3$)的p型端向浓度低($2\times10^4/cm^3$)的n型端扩散。同样地，电子会沿着相反方向扩散。每个扩散并跨越冶金结的空穴都会留下一个带负电的离子，正如每个扩散的电子都会留下一个带正电的离子一样。这些留下的离子被约束在晶体中固定的位置，不参与导电。这样，它们形成了空间电荷层，也称为耗尽层，因为能扩散的电子-空穴对都跨越了冶金结，区域内耗尽了移动电荷。

空间电荷层反过来又建立起一个电场 E，它的方向与扩散方向相反。当空穴与电子持续扩散时，耗尽层也将持续建立，直到达到平衡条件为止，此时电场 E 恰好抵消了空穴与

电子扩散的趋势。其后，穿过 pn 结的净电流为零。

平衡条件

我们这样表示平衡条件，$J_{p(drift)}+J_{p(diff)}=0$，且 $J_{n(drift)}+J_{n(diff)}=0$。以 x 轴的原点作为 p 型区和 n 型区的接触点，也成为冶金结，由式(1.25)和式(1.27)，有：

$$qp(x)\mu_p E(x)-qD_p\frac{dp(x)}{dx}=0 \quad (1.31a)$$

$$qn(x)\mu_n E(x)+qD_n\frac{dn(x)}{dx}=0 \quad (1.31b)$$

其中我们要强调，p、n、E 都沿着 pn 结方向，是位置 x 的函数。

图 1.39 所示的进一步地阐述了平衡态，其中，x 轴的原点正好落在冶金结上。空间电荷层的边缘分别位于 $-x_{p0}$ 和 $+x_{n0}$。耗尽层 n 型端固定离子的电荷密度 ρ(C/cm^3)是 $+qN_D$，p 型端是 $-qN_A$。用 A 表示 p 型板与 n 型板的交叉横截面，我们得到空间电荷层 n 端的总电荷为 $Q^+=qN_D\times Ax_{n0}$，p 端的总电荷为 $Q^-=-qN_A\times Ax_{p0}$。电中性要求 $Q^+=-Q^-$，即 $qN_D\times Ax_{n0}=qN_A\times Ax_{p0}$。化简，得到：

$$x_{p0}/x_{n0}=N_D/N_A \quad (1.32)$$

这表明在一个不均匀掺杂的 pn 结里，就如我们所举例的($N_A\gg N_D$)，空间电荷层通常会向轻掺杂的一端延伸($x_{n0}\gg x_{p0}$)。于是可以理解，在轻掺杂端需要更多的空间去达到与重掺杂端数目相同的离子。我们已经尝试在图 1.39 所示的上端用绘图来说明这点。

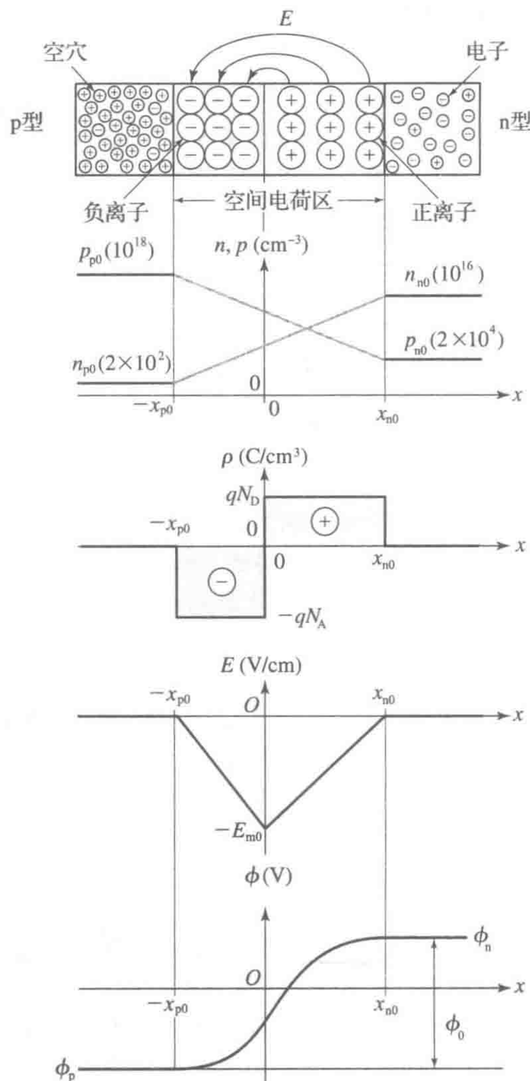


图 1.39　pn 结内的平衡条件

我们很容易通过数电场线条数，将电场强度 E 表达为 x 的函数，这样使其更形象化。每一条电场线开始于右端的正离子，结束于左端的负离子。电场线数目在冶金结($x=0$)时达到最大，当向两端远离时线性减少，最后在空间电荷区的边缘下降为 0。空间电荷层以外的区域，其电场为零，被形象地称为中性区。由于不均匀的掺杂，E 的剖面是一个不等边三角形，电场的负方向也就是 x 轴的负方向。

我们很容易发现，最大场强 E_{m0} 与空间电荷层边界 x_{p0} 及 x_{n0} 可以通过高斯(Gauss)定理联系在一起。在一维情况下，定理可以表示为：

$$dE/dx=\rho(x)/\varepsilon_{si} \quad (1.33)$$

式中：ε_{si} 是硅电容率($\varepsilon_{si}=1.04$pF/cm)。在空间电荷区的右半部分，有 $dE/dx=E_{m0}/x_n$，$\rho/\varepsilon_{si}=qN_D/\varepsilon_{si}$，所以 $E_{m0}/x_{n0}=qN_D/\varepsilon_{si}$。再对空间电荷区的左半部分也同样考虑，得到：

$$E_{m0}=qN_A x_{p0}/\varepsilon_{si}=qN_D x_{n0}/\varepsilon_{si} \quad (1.34)$$

内建电势 ϕ_0

由我们基本的静电学知识得知，一个电场总是伴随着一个电势梯度。对于我们所研究的这种一维情况，电场 E 与电势 ϕ 的关系由式(1.24)给出，$E=-d\phi/dx$。重写为 $\phi=-\int E dx$，我们将 ϕ 形象化为 E 曲线所围绕的负区域。因为 E 是线性轮廓，ϕ 将是二次

曲线轮廓，如图 1.39 的底端所示。我们观察到空间电荷区的外面，ϕ 的外形是平的，这是因为此处 $E=0$。这里的电势分别用 ϕ_p 和 ϕ_n 表示。我们希望能求出 ϕ_p、ϕ_n 和内建平衡电势 ϕ_0 的表达式，ϕ_0 定义为：

$$\phi_0 = \phi_n - \phi_p$$

这个电势是防止空穴与电子进一步扩散的势垒，同时也是电荷再分布的结果，在我们制作出冶金结时，其两端都会自动发生电荷再分布。求解式(1.31)中的 $E(x)$，并运用等式(1.28)的爱因斯坦关系得到：

$$E(x)\mathrm{d}x = V_T \mathrm{d}p(x)/p(x) = -V_T \mathrm{d}n(x)/n(x)$$

再用 $\phi(x) = -\int E(x)\mathrm{d}x$，并从 $-x_{p0}$ 到 $+x_{n0}$ 积分，得到：

$$\int_{\phi_p}^{\phi_n} \mathrm{d}\phi(x) = -V_T \int_{p_{p0}}^{p_{n0}} \frac{\mathrm{d}p(x)}{p(x)} = V_T \int_{n_{p0}}^{n_{n0}} \frac{\mathrm{d}n(x)}{n(x)}$$

式中：积分极限分别是 $x=-x_{p0}$ 及 $x=+x_{n0}$ 时 ϕ、p、n 的值。从而有：

$$\phi_0 = \phi_n - \phi_p = V_T \ln(p_{p0}/p_{n0}) = V_T \ln(n_{n0}/n_{p0}) \tag{1.35}$$

利用式(1.10)，我们还可以将 ϕ_0 写为：

$$\phi_0 = V_T \ln(N_A N_D / n_i^2) \tag{1.36a}$$

$$\phi_n = V_T \ln(N_D / n_i) \tag{1.36b}$$

$$\phi_p = V_T \ln(n_i / N_A) \tag{1.36c}$$

我们注意到，由于现实的结中 N_A 和 N_D 远比 n_i 大得多，则有 $\phi_n > 0$，且 $\phi_p < 0$。而且 N_A 和 N_D 出现在对数函数的参数中，式(1.36)中的 ϕ_s 对掺杂浓度的变化并不那么敏感。

例 1.6 (a) 求出在室温下式(1.29)掺杂结的 ϕ_0、ϕ_n、ϕ_p 的值。

(b) 当掺杂浓度都按一个数量级增加时，求 ϕ_0。

解：

(a) $\phi_n = (26\mathrm{mV})\ln[10^{16}/(1.4\times10^{10})] = 0.350\mathrm{V}$，$\phi_p = -0.470\mathrm{V}$，$\phi_0 = (0.350-(-0.470))\mathrm{V} = 0.820\mathrm{V}$。

(b) 现在 $\phi_0 = 0.940\mathrm{V}$，由于对数函数的存在，ϕ_0 并未发生大的变化。可以认为 ϕ_0 接近 1V，不需考虑特定的掺杂值。◀

电场 E_{m0}、空间电荷区宽度 X_{d0} 及空间电荷区电荷 Q_{j0}

我们现在希望能得到一个其他相关结在平衡态也适用的表达式。最大场强 E_{m0} 可再次通过 $\int \mathrm{d}\phi(x) = -\int E(x)\mathrm{d}x$ 从 $-x_{p0}$ 到 x_{n0} 积分求得。等式的左侧可以简单地写为 ϕ_0，右侧代表了电场三角所包含的负区域。因此，我们得到：

$$\phi_0 = (x_{p0} + x_{n0})E_{m0}/2 \tag{1.37}$$

但是，由式(1.34)，得：

$$x_{p0} = \varepsilon_{si} \cdot E_{m0}/(qN_A), \quad x_{n0} = \varepsilon_{si} \cdot E_{m0}/(qN_D) \tag{1.38}$$

将 x_{p0} 及 x_{n0} 代入式(1.37)，用式(1.36a)表示 ϕ_0，求解 E_{m0}，我们最终得到：

$$E_{m0} = \sqrt{\frac{2q\phi_0}{\varepsilon_{si}} \frac{N_A N_D}{N_A + N_D}} \tag{1.39}$$

如果我们将式(1.39)重新代入式(1.38)中，我们得到空间电荷区边缘的平衡态为：

$$x_{p0} = \sqrt{\frac{2\varepsilon_{si}\phi_0}{qN_A} \frac{N_D}{N_A + N_D}}, \quad x_{n0} = \sqrt{\frac{2\varepsilon_{si}\phi_0}{qN_D} \frac{N_A}{N_A + N_D}} \tag{1.40}$$

两个表达式的和被形象地称为平衡态空间电荷区宽度，即 $X_{d0} = x_{p0} + x_{n0}$。由式(1.40)，有：

$$X_{d0} = \sqrt{\frac{2\varepsilon_{si}\phi_0}{q}\left(\frac{1}{N_A} + \frac{1}{N_D}\right)} \tag{1.41}$$

平衡态结电荷是 $Q_{j0} = Q^+ = qN_D A x_{n0}$，其中，$A$ 是上述结的横截面的面积。利用式(1.40)，得：

$$Q_{j0} = A\sqrt{2\varepsilon_{si} q\phi_0 \frac{N_A N_D}{N_A + N_D}} \tag{1.42}$$

例 1.7 假设 pn 结的掺杂浓度如式(1.29)所示，横截面积 $A=(100\mu m)\times(100\mu m)$，求 E_{m0}、X_{d0}、x_{p0}、x_{n0} 及 Q_{j0}。

解：

由例 1.6 可知，$\phi_0=0.820V$。且由于 $N_A \gg N_D$，我们可以近似 $N_A N_D/(N_A+N_D)\approx N_D=10^{16}cm^{-3}$。则由式(1.39)得到：

$$E_{m0} \approx \sqrt{\frac{2\times 1.602\times 10^{-19}\times 0.820\times 10^{16}}{1.04\times 10^{-12}}}V/cm = 5.03\times 10^4 V/cm$$

由式(1.41)得到：

$$X_{d0} \approx \sqrt{\frac{2\times 1.04\times 10^{-12}\times 0.820}{1.602\times 10^{-19}}\left(\frac{1}{10^{16}}\right)}cm = 3.26\times 10^{-5}cm = 0.326\mu m$$

同样地，由式(1.40)得到 $x_{p0}=0.003\mu m$，$x_{n0}=0.323\mu m$，这证明了空间电荷区通常会向轻掺杂端延伸，在本例中为 n 端。最后，因为结面积 $A=(100\times 10^{-4}cm)^2=10^{-4}cm^2$，由式(1.42)得到 $Q_{j0}=5.23pC$。◀

练习 1.5

给定

$$\phi(0) = \phi_p + \frac{N_D}{N_A+N_D}\phi_0 \tag{1.43}$$

由此证明 $\phi(0)=0$ 仅在均匀掺杂的结中存在($N_D=N_A$)。否则，$N_D>N_A$ 时，$\phi(0)>0$，$N_D<N_A$ 时，$\phi(0)<0$(如图 1.39 的情况)。

1.6 空间电荷区外接偏置的影响

我们现在用如图 1.40 顶部所示的方式，研究在 pn 结上加入一个横穿电压 v 时的影响(注意，电压 v 的极性约定为 p 端为正、n 端为负；$v>0$ 时称 pn 结为正向偏置，$v<0$ 时称 pn 结为反向偏置)。由 KVL 可知，空间电荷区(SCL)的势垒为 ϕ_0-v。由于 ϕ 的外形变化了，电场 E 同样也要发生变化，因为组成 E 的电场线来自空间电荷区中未覆盖的离子；空间电荷区的宽度 $X_d=x_n+x_p$ 同样也要发生变化。具体说来，我们可以表述如下：

- pn 结正向偏置($v>0$)与未偏置的相比，降低了势垒和电场，从而使 X_d 变窄。
- 相反地，pn 结反向偏置($v<0$)增大了势垒和电场，从而使 X_d 变宽。为了视觉上的比较，图 1.40 用灰线表示未偏置的情况。

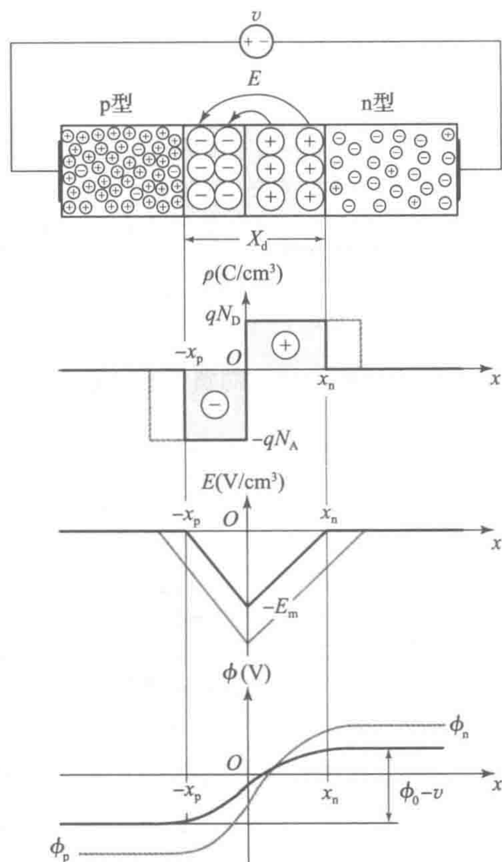


图 1.40　pn 结正向偏置时的影响

为了定量地研究外加偏置的影响，我们在式(1.39)到式(1.42)中用(ϕ_0-v)代替 ϕ_0。从而，用 $E_m(v)$ 代替 E_{m0}、(ϕ_0-v)代替 ϕ_0，重写等式(1.39)，可将最大场强表示为 v 的函数：

$$E_m(v) = \sqrt{\frac{2q(\phi_0-v)}{\varepsilon_{si}}\frac{N_A N_D}{N_A+N_D}}$$

$$= \sqrt{\frac{2q\phi_0}{\varepsilon_{si}} \frac{N_A N_D}{N_A + N_D}} \sqrt{1 - \frac{v}{\phi_0}}$$

可以更简洁地表示为：

$$E_m(v) = E_{m0} \sqrt{1 - \frac{v}{\phi_0}} \tag{1.44}$$

式中：E_{m0}，形象地称为零偏置($v=0$)时 E_m 的值，由式(1.39)得到。采用同样的方法求空间电荷区的宽度，得到：

$$X_d(v) = X_{d0} \sqrt{1 - \frac{v}{\phi_0}} \tag{1.45}$$

式中：X_{d0}是零偏置($v=0$)时 X_d的值，由式(1.41)得到。X_d 与电压的相关性如图 1.41a 所示。最后，结电荷为：

$$Q_j(v) = Q_{j0} \sqrt{1 - \frac{v}{\phi_0}} \tag{1.46}$$

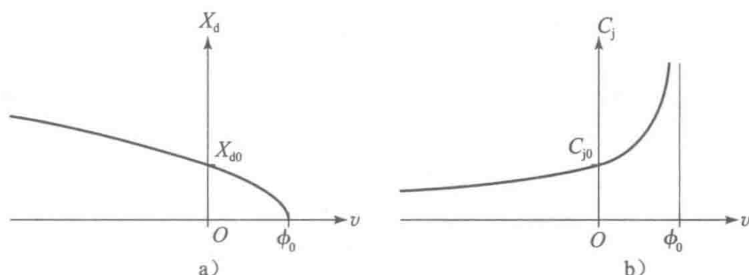


图 1.41　电压与(a)空间电荷区宽度及(b)m=1/2 时的结电容间的关系

式中：Q_{j0}是零偏置($v=0$)时 Q_j的值，由式(1.42)得到。

结电容 C_j

因为在 pn 结两端加上电压会重新分布空间电荷区的电荷，所以结表现出电容行为。结电容 $C_j=dQ_j/dv$。对式(1.46)微分并重新整理得：

$$C_j(v) = C_{j0}/(1 - v/\phi_0)^m \tag{1.47a}$$

式中：

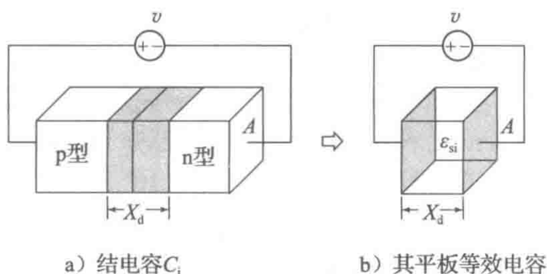
$$C_{j0} = A \sqrt{\frac{\varepsilon_{si} q}{2\phi_0} \frac{N_A N_D}{N_A + N_D}} \tag{1.47b}$$

是零偏置($v=0$)时 C_j的值；m 称为梯度系数，在本例中为 1/2，表示这是一个突变结。实际中的结通常是梯度掺杂分布的，研究表明，在这种情况下 m 的更近似值应为 1/3。m 的真实值可以通过实验的方法获得，先测量不同 v 值时 C_j的值，再运用数据插入，间接求得 m。C_j与电压的相关性如图 1.41b 所示。

结合式(1.41)、式(1.45)与式(1.47)，其中 $m=1/2$，我们可以将 C_j用另一种更有深度的形式表示为：

$$C_j(v) = \varepsilon_{si} \cdot A/X_d(v) \tag{1.48}$$

这与由两个平板组成的平行板电容器类型是相似的，其平板面积为 A，中间填充了电容率为 ε_{si}、厚度为 X_d的电介质。图 1.42 所示的阐释了这种等效。然而，与固定电容器不同的是，这个电容拥有随电压变化而变化的平板间隔 $X_d(v)$，表现出其非线性电容的电气特性，如图 1.41b 所示。我们还能观察



a）结电容C_j　　b）其平板等效电容

图　1.42

到，式(1.47a)中 $v \to \phi_0$ 时，$C_j \to \infty$，这在实际中当然不会发生，表明式(1.47)得到的结论是以若干简化假设为基础的，在 v 趋近 ϕ_0 时不再成立。

例 1.8 求例 1.7 中的结电容 C_{j0}。再假设 $m=1/2$，在以下情况下分别计算 E_m、X_d、Q_j 和 C_j。

(a) $v=+0.65\text{V}$；

(b) $v=-5\text{V}$。

解：

(a) 运用式(1.47b)我们可以很容易地得到 $C_{j0}=3.19\text{pF}$。而且，

$$(1-v/\phi_0)^{1/2} = (1-0.65/0.82)^{1/2} = 0.455$$

表明 E_m、X_d、Q_j＝都降低了，但 C_j＝升高了。的确，在 $v=+0.65\text{V}$ 时，$E_m=5.03\times10^4\times0.455\text{V/cm}=2.29\times10^4\text{V/cm}$，$X_d=0.148\mu\text{m}$，$Q_j=2.38\text{pC}$，$C_j=(3.19/0.455)\text{pF}=7.01\text{pF}$。

(b) 现在 E_m、X_d、Q_j 都会升高，但 C_j 降低$(1-(-5)/0.82)^{1/2}\text{pF}=2.66\text{pF}$，所以 $E_m=13.4\times10^4\text{V/cm}$，$X_d=0.869\mu\text{m}$，$Q_j=13.9\text{pC}$，$C_j=1.20\text{pF}$。

注意：对于低功率结，记住以下参数的数量级是有好处的：

$$\phi_0 \sim 1\text{V},\quad E_m \sim 10^4\text{V/cm},\quad X_d \sim 1\mu\text{m},\quad Q_j \sim 1\text{pC},\quad C_j \sim 1\text{pF}$$ ◀

1.7 pn 结二极管方程

将一个 pn 结正向偏置，不仅仅会影响其空间电荷区的参数，还会显著影响它的中性区内载流子的浓度分布，正如我们将要看到的。式(1.35)提供了这个出发点，我们反过来利用式中的对数关系来求解少数载流子浓度，即

$$p_{n0} = p_{p0}\,e^{-\phi_0/V_T} \tag{1.49a}$$

$$n_{p0} = n_{n0}\,e^{-\phi_0/V_T} \tag{1.49b}$$

这些方程关系式，将无偏置($v=0$)平衡态下空间电荷区两端的空穴与电子浓度联系到一起。如果现在使结正向偏置($v>0$)，E 会下降，从而允许空穴从 p 端穿越空间电荷区扩散到 n 端，同时电子从 n 端扩散到 p 端。我们仍然可以由式(1.49)，将空间电荷区边缘上的浓度(也称为边界浓度)联系起来。将 ϕ_0 用 ϕ_0-v 代替，结果是：

$$p_n(x_n) = p_p(-x_p)\,e^{-(\phi_0-v)/V_T} \tag{1.50a}$$

$$n_p(-x_p) = n_n(x_n)\,e^{-(\phi_0-v)/V_T} \tag{1.50b}$$

所谓的小注入假设，保证了即使是偏置后，空间电荷区两端的少子浓度依然比多子浓度低得多，与未偏置情况相比，多子的传输仍不会被干扰。这表明我们可以使式(1.50)中 $p_p(-x_p)=p_{p0}$，$n_n(x_n)=n_{n0}$。再运用式(1.49)，我们可以写出：

$$p_n(x_n) = p_{n0}\,e^{v/V_T} \tag{1.51a}$$

$$n_p(-x_p) = n_{p0}\,e^{v/V_T} \tag{1.51b}$$

式(1.51)称为结定律，它将边界处少子浓度值与外加电压 v 联系起来。虽然结论是在正向偏置($v>0$)的情况下得出的，但其在反向偏置($v<0$)的情况下也成立。

例 1.9 假设掺杂浓度如式(1.29)所示，pn 结外加 $v=0.65\text{V}$ 的正向偏置电压，求出空间电荷区两端边缘处的少子与多子浓度，并对你的结果进行评论。

解：

由式(1.30)，$p_p(-x_p)=p_{p0}\approx10^{18}/\text{cm}^3$，$n_n(x_n)=n_{n0}\approx10^{16}/\text{cm}^3$，并且，$n_{p0}\approx2\times10^2/\text{cm}^3$，$p_{n0}\approx2\times10^4/\text{cm}^3$。因为 $\exp(0.650/0.026)\approx7.2\times10^{10}$，由式(1.51)给出：

$$p_n(x_n) \approx 2\times10^4\times7.2\times10^{10}/\text{cm}^3 = 1.44\times10^{15}/\text{cm}^3$$

$$n_p(-x_p) \approx 2\times10^2\times7.2\times10^{10}/\text{cm}^3 = 1.44\times10^{13}/\text{cm}^3$$

这些边界值在图 1.43 中用数字表示出来了。我们观察到仅仅 0.65V 的正向偏置会导致 $p_n(x_n)$ 从 $2\times10^4/\text{cm}^3$ 迅速增大到 $1.44\times10^{15}/\text{cm}^3$！但是，这仍然小于此处的多子浓度

($10^{16}/\text{cm}^3$)，证明小注入是成立的。同样地，$n_p(-x_p)$ 也从 $2\times10^2/\text{cm}^3$ 跃变为 $1.44\times10^{13}/\text{cm}^3$。这个值同样也小于此处的多子浓度($10^{18}/\text{cm}^3$)，再次证明小注入是成立的。◀

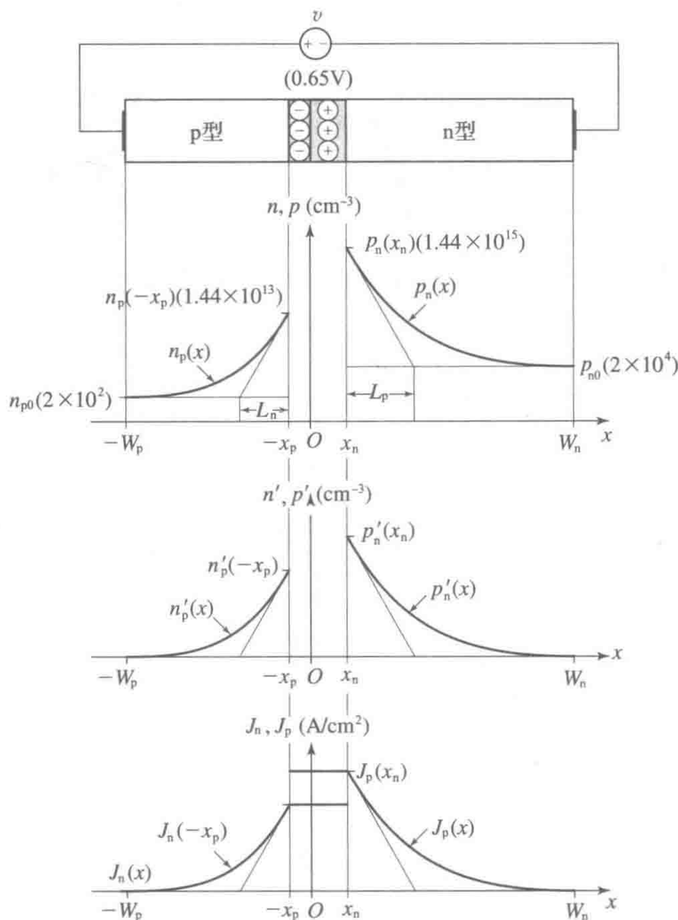


图 1.43　将 pn 结正向偏置会造成本征区少子电荷过量。这些电荷扩散出空间电荷区，增大了扩散电流

过量的少子浓度

显然，将 pn 结正向偏置时，会导致空间电荷区两端的少数载流子过量。过量浓度在右端为 $p'_n(x_n)=p_n(x_n)-p_{n0}$，在左端为 $n'_p(-x_p)=n_p(-x_p)-n_{p0}$。由式(1.51)，过量浓度可以表示为：

$$p'_n(x_n) = p_{n0}(e^{v/V_T}-1) \tag{1.52a}$$

$$n'_p(-x_p) = n_{p0}(e^{v/V_T}-1) \tag{1.52b}$$

只要少子过量建立起来，载流子就会从空间电荷区向更低过量浓度的区域扩散(空穴从 x_n 向右，电子从 $-x_p$ 向左)。在两种情况下，其扩散都在相反极性的多子区域中进行，这也代表了一个高的复合概率。实际上，越远离空间电荷区的边缘，我们能发现的少子及少子过量就越少。

这个扩散-复合的过程由扩散方程所支配，对于过量空穴，其形式为：

$$D_p \cdot d^2 p'_n(x)/dx^2 = p'_n(x)/\tau_p$$

式中：τ_p是平均复合时间，也称为过量空穴的平均寿命。对于过量电子有同样的方程，只是平均复合时间为 τ_n。扩散方程的解，对于空穴，是随着 x 轴指数衰减的，对于电子，是随着 $-x$ 轴指数衰减的，如图 1.43 中段图所阐释。空穴衰减的数学形式表达为：

$$p'_n(x) = p_{n0}(e^{v/V_T}-1)e^{-(x-x_n)/L_p} \tag{1.53}$$

式中：

$$L_p = (D_p\tau_p)^{1/2} \tag{1.54a}$$

称为空穴扩散长度，单位为 cm。其表示当 $p'_n(x)$下降到边界值 $p'_n(x_n)$的 1/e(36.8%)时，空穴位置与 x_n之间的距离。对于 p 端的电子，有个相似的表达式，只是电子扩散长度为：

$$L_n = (D_n\tau_n)^{1/2} \tag{1.54b}$$

长度 L_p和 L_n通常为 10μm 的数量级，所以一般有 $L_p \gg x_n$，$L_n \gg x_p$。

注意在 n 型半导体的右侧末端($x=W_n$)，$p'_n \to 0$，此处过量空穴与金属电极的电子进行了完全复合。同样的，在 p 型半导体的左侧末端($x=-W_p$)，$n'_p \to 0$，此处过量电子被金属电极完全移除。

由式(1.27a)得，过量空穴向右侧的扩散产生了电流密度 $J_p(x) = -qD_p\mathrm{d}p'_n(x)/\mathrm{d}x$。对式(1.53)微分，并代入得：

$$J_p(x) = (qD_p p_{n0}/L_p)\cdot(e^{v/V_T}-1)e^{-(x-x_n)/L_p} \tag{1.55a}$$

过量电子向左侧扩散产生的电流密度有相似的表达方式，不同的是我们需要用 $-x$ 代替指数中的 x，即

$$J_n(x) = (qD_n n_{p0}/L_n)\cdot(e^{v/V_T}-1)e^{(x+x_p)/L_n} \tag{1.55b}$$

我们假设(薄)耗尽区中的复合是可以忽略的，从而 J_p和 J_n在此处都是常数。参考图 1.43 的底部图，我们求得空间电荷区内的总电流密度是 $J_{tot} = J_p(x_n) + J_n(-x_p)$。运用式(1.55)，我们可以容易地得到：

$$J_{tot} = q(D_p p_{n0}/L_p + D_n n_{p0}/L_n)(e^{v/V_T}-1) \tag{1.56}$$

注意图 1.43 所示的底部图只画出了少子扩散电流。若要画完整的导电图，我们必须也画出多子扩散电流。由电荷守恒定理，J_{tot}在 pn 结的各处都必为常数。由此我们可以画出总电流与相应少子电流部分的差值，来获得相应的多子电流部分。对于$-x_p$的左侧，$J_p = J_{tot} - J_n$；对于 x_n的右侧，$J_n = J_{tot} - J_p$。图 1.44 画出的结果显示了 pn 板中的传导特性。

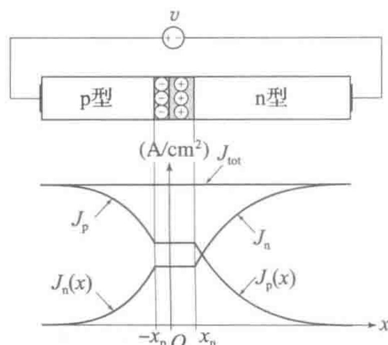


图 1.44　pn 板内少子与多子的电流密度

如果我们对 pn 结从左到右进行观察，对传导的描述如下。

- 在最左边，我们观察到一股主要由空穴扩散形成的电流，其方向向右并将与电子复合。部分空穴在 p 端就复合并消失了，其他的成功通过空间电荷区到达了 n 端，在 n 端它们是少子。在向右前进的过程中，它们进一步地被电子复合消灭了。
- 靠近空间电荷区但仍处于 p 端，我们观察到 J_p减小了一些，这是以 J_n的增加为代价的，这样就能保证 J_{tot}不变。J_p在靠近空间电荷区时减小的事实并不一定意味着此处空穴浓度下降。实际上，例 1.9 揭示出，在 $x=-x_p$ 时每立方厘米有 10^{18} 个空穴挤压着空间电荷区，与此处每立方厘米 1.44×10^{13} 个电子相比这是很大数量的。在右侧每立方厘米 10^{18} 个空穴中，仅有 1.44×10^{15} 个成功通过了空间电荷区。
- 现在进入空间电荷区，我们观察到空穴与电子的双向移动，因为 X_d 远小于扩散长度 L_p 和 L_n，所以它们很少相互复合。由于掺杂的不均匀，空穴和电子扩散性和扩散长度也有差异，空间电荷区内的 J_p 和 J_n 通常不相等。
- 当空穴穿过空间电荷区到达 n 端时，我们观察到过量空穴逐渐消失，被此处的多子电子所复合。我们转而观察到一股由电子移动而形成的逐渐增大的电流，这些电子有些仍在 n 端复合空穴，有些在穿越过空间电荷区到达 p 端时被空穴复合。

二极管方程

通过截面积为 A 的 pn 结的总电流 i 可以用 $i = AJ_{tot}$ 轻易地求出。运用式(1.56)和式

(1.30)，我们可以得到通常称为二极管方程的表达式为：

$$i = I_s(e^{v/V_T} - 1) \tag{1.57}$$

式中：I_s是一个比例因数，称为饱和电流。

$$I_s = A \times n_i^2(T) \times q(D_p/(L_p N_D) + D_n/(L_n N_A)) \tag{1.58}$$

这个因数表明了在给定外加电压v下能够获得多少电流。对于低功率结而言，I_s通常处于飞安数量级($1\text{fA}=10^{-15}\text{A}$)。我们观察到，$I_s$取决于：

- 横截面积A(A越大，电流越大——这与普通电阻相同)。
- 温度T，尤其是$n_i^2(T)$。
- 掺杂浓度N_A、N_D，扩散率D_p、D_n，扩散长度L_p、L_n。

随着研究的深入，我们会发现在大多数结的制作中，一端的掺杂要比另一端重得多。式(1.58)括号中的一项变得可以忽略，此时，I_s主要由分母中掺杂浓度较小的项决定。在我们所举例的pn结中，$N_A \gg N_D$，式(1.58)中起主导作用的是第一项，这源于对轻掺杂n端的空穴注入。我们知道，空间电荷扩展区域的绝大部分也在这一端。因为这些显而易见的原因，不均匀掺杂的结通常也称为单边结。下面的例子很好地解释了这点。

例1.10 (a) 假设例1.7中的pn结处于$v=0.65\text{V}$的偏置下，$D_p=10\text{cm}^2/\text{s}$，$L_p=5\mu\text{m}$，$D_n=7\text{cm}^2/\text{s}$，$L_n=10\mu\text{m}$，估算$i$，评价你的结果。

(b) 对于(a)问中的结，为了在$v=0.65\text{V}$时得到$i=0.15\text{mA}$，求所需的横截面积A。

解：

(a) 将所给数据代入式(1.58)，有：

$$I_s = (10^{-4} \times 2 \times 10^{20} \times 1.602 \times 10^{-19} \times (10/(5 \times 10^{-4} \times 10^{16}) + 7/(10 \times 10^{-4} \times 10^{18})))\text{A} = (6.41 + 0.02)\text{fA} = 6.43\text{fA}$$

这个结正如假设的单边结一样，I_s主要由第一项决定，其代表空穴注入。对于重掺杂p端的电子注入，在此情况下并没什么影响。最后，我们运用式(1.57)，得到：

$$i = 6.43 \times 10^{-15}(e^{650/26} - 1)\text{A} = 463\mu\text{A}$$

(b) 为了将i从0.463mA降低到0.15mA，我们需要按比例减小A，从10^{-4}cm^2减小到$(0.15/0.463)\times 10^{-4}\text{cm}^2$，即$0.324\times 10^{-4}\text{cm}^2$。这需要一块$57\mu\text{m}\times 57\mu\text{m}$的方形区域。◀

短基区二极管

在图1.43所示的二极管中，本征区是足够长的，提供了充足的距离以供从空间电荷区扩散出来的少子与多子复合。按照$W_n \gg L_p$且$W_p \ll L_n$的尺寸制造的器件，被形象地称为长基区二极管。当我们继续研究时，将会发现pn二极管也可以按照$W_n \ll L_p$或$W_p \ll L_n$或两个条件都满足的尺寸制造。一个普遍的例子是双极结晶体管中的基射结，这也是这种结构称为短基区二极管的原因。

当$W_n \ll L_p$时，注入n端的空穴在向右扩散时没有太多复合的机会，表明n端的J_p会是个常数。

由式(1.27a)，这又意味着$p_n(x)$有固定的斜率，如图1.45所示。如果条件$W_p \ll L_n$成立，对于p端的J_n和$n_p(x)$也有相似的考虑。为了求得短基区二极管的i-v特性，我们从$J_p = -qD_p\,dp_n'(x)/dx$开始，其中，$p_n'(x)$是n端的过量空穴浓度。图1.45所示三角形的斜率易求得如下：

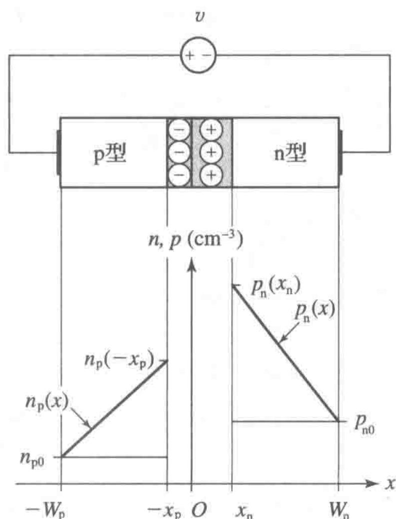


图1.45　正向偏置短基区二极管($W_n \ll L_p$且$W_p \ll L_n$)中的少子浓度

$$\frac{\mathrm{d}p_n'(x)}{\mathrm{d}x}=-\frac{p_n(x_n)-p_{n0}}{W_n-x_n}\approx-\frac{p_{n0}(\mathrm{e}^{v/V_T}-1)}{W_n}$$

其中，我们利用了 $x_n \ll W_n$ 这一事实。对于 p 端，斜率 $\mathrm{d}n_p'(x)/\mathrm{d}x$ 也有相似的考虑。按照式(1.58)所得的结论，易知短基区二极管仍然遵守式(1.57)，但其饱和电流的表达式为：

$$I_s \approx An_i^2 q\left(\frac{D_p}{W_n N_D}+\frac{D_n}{W_p N_A}\right) \tag{1.59}$$

这与式(1.58)相同，只是做了 $L_p \to W_n$ 和 $L_n \to W_p$ 的替换。考虑到在短基区二极管中，W 远比 L 小，因此这种结构为了达到相同的电流值 I_s，需要更小的横截面积 A。另一个优势是，工作在同一电流下时，存储在正向偏置短基区二极管中的过量电荷总数远比长基区器件的要少。正如我们将在第 6 章中看到的一样，这使得其拥有更快的转换时间。

例 1.11 重复例 1.10，但其中的二极管在制作时，$W_p=0.5\mu\mathrm{m}$，$W_n=1\mu\mathrm{m}$。比较并评论结果。

解：

由于我们研究的单边结 $N_A \gg N_D$，我们认为式(1.59)括号内的首项起主导作用，正如式(1.58)的对应部分一样。考虑到这里 W_n 的值是例 1.10 中 L_p 值的 1/5，我们认为 I_s 会增大为原来的 5 倍，即 $I_s \approx 6.41\times5\mathrm{fA}\approx33\mathrm{fA}$。对于相同的外加电压 v，电流 i 也会增大为原来的 5 倍，

$$i \approx 33\times10^{-15}\mathrm{e}^{650/26}\mathrm{A}\approx2.4\mathrm{mA}$$

为了将 i 从 2.4mA 降低到 0.15mA，我们需要按比例减小 A，从 $10^{-4}\mathrm{cm}^2$ 减小到 $(0.15/2.4)\times10^{-4}\mathrm{cm}^2$，即 $0.063\times10^{-4}\mathrm{cm}^2$。这可以通过一块 $25\mu\mathrm{m}\times25\mu\mathrm{m}$ 的方形区域实现。◀

1.8 反向偏置的 pn 结

将 pn 结反向偏置会进一步增大内建势垒，从而抑制了空穴和电子穿过冶金结的扩散。考虑到正向偏置时强烈的传导倾向，pn 结表现出二极管行为，所以从现在开始，词语“pn 结”和“二极管”可以交换使用。

当外加电压 v 有足够大的负值(例如，$v<-4V_T\approx-0.1\mathrm{V}$)，式(1.57)预测到 i 会在 $-I_s$ 时饱和(因此称为饱和电流)。我们知道，对于低功率二极管，I_s 通常是 fA 数量级的。然而，pn 结中的实际反向电流通常比 I_s 高几个数量级，处在 pA 到 nA 的范围内，我们将其记作 I_R。这来源于空间电荷区中空穴-电子对的热生成，在我们分析的过程中被忽略了。实际上，虽然我们将空间电荷区也称为耗尽区，此处空穴-电子对的热生成仍在持续发生，且一旦生成，空穴和电子会被局部强电场从相反方向抽取，形成了一股从 n 端穿过空间电荷区到达 p 端的混合漂移电流。我们直观地认为，I_R 与空间电荷区的体积 AX_d 成比例，因为 X_d 会随着反向偏置量的增加而增加，如式(1.45)所示，I_R 也会以平方根的样式，随着反向电压的增加而增加。由于制造品质的不同，漏电流可能也会流过 pn 结的表面，进一步促成 I_R。

总的反向电流 I_R 与温度有很强的函数关系，工程师们通过下面的重要经验法则来牢记其温度表现：温度每上升大约 10℃，pn 结的反向电流 I_R 翻倍。

只要我们知道了某个参考温度 T_0 下的 I_R，就可以用下式估算任意其他温度 T 下的 I_R：

$$I_R(T)\approx I_R(T_0)\times2^{(T-T_0)/10} \tag{1.60}$$

例 1.12 如果在 25℃ 时 $I_R=1\mathrm{pA}$，估算 I_R 在(a)125℃和(b)−25℃下的 I_R。

解：

(a) 由式(1.60)，$I_R(125℃)\approx10^{-12}\times2^{(125-25)/10}\mathrm{A}\approx1\mathrm{nA}$。(b)同样地 $I_R(-25℃)\approx 0.03\mathrm{pA}$。◀

反向击穿

如果我们逐渐增加 pn 结的反向偏置，当达到击穿电压(BV)时，I_R会从可忽略的值按数量级地增大到一个很高的值。击穿电压的命名来源于 i-v 曲线急剧弯曲这一实情，即击穿。这并不一定意味着一个破坏性的过程——实际上，通常会在驱动电压源和反向偏置结之间串联一个合适的电阻，来限制反向电流。图 1.46 画出了典型 pn 结的完整 i-v 特性曲线。

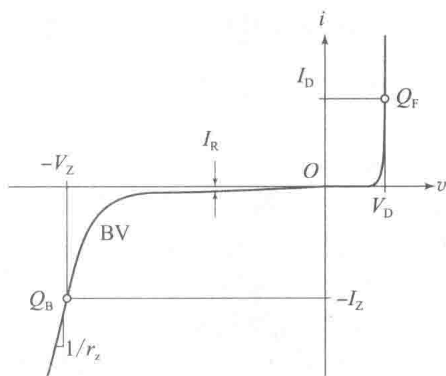


图 1.46　pn 结的完整 i-v 曲线

i-v 击穿曲线表明：大量突如其来的可移动电荷会产生急速增加的电流等级。这种突如其来的结果是两种独立的齐纳(Zener)击穿与雪崩击穿机制形成的，前者在重掺杂结中发生，后者在轻掺杂结中发生。

- 在重掺杂结中，空间电荷区的电场已相当强，反向偏置的加入会进一步增大其值，使其能够将电子从共价键中拉扯出来，从而制造了电子-空穴对。该电场会再将新产生的自由电荷抽离空间电荷区(空穴进入 p 端，电子进入 n 端)，于是维持了较高的电流，这比只有热振动情况下的电流大的多。这个现象被称为齐纳效应，在击穿电压近似 6V 或更低时发生。
- 在轻掺杂结中，电场并未强到能直接破坏共价键。然而，随着空间电荷区宽度的增大，电场恰好有更大的空间可以加速任意自由电子。电子被给予足够动能，其在撞击晶格原子时会创造出新的电子-空穴对。第二次产生的电子又可以产生额外的自由电子，这被形象地称为雪崩效应。这种效应在击穿电压近似 6V 或更高时发生。在 6V 附近，齐纳效应和雪崩效应可能同时存在。

当二极管被有意设计成在击穿区工作时，其称为齐纳二极管，不论实际的击穿机制是齐纳击穿还是雪崩击穿。击穿区工作点 Q_B的坐标可以方便地分别用$-I_Z$和$-V_Z$重新标注。击穿区二极管曲线的斜率记为 $1/r_Z$，在击穿点左端其近似为常数。由于制造细节的不同，r_Z大约为 $10^1\Omega$ 到 $10^3\Omega$。

在给定的击穿区工作点 $Q_B(I_Z, V_Z)$处温度系数定义为：

$$TC(V_Z) = \left.\frac{\partial V_Z}{\partial T}\right|_{I_Z}$$

同样要区分如下两种情况。

- 在齐纳击穿的情况下，温度增高将会增加热振动从而促进共价键的解体，所以如果想在更高的温度下维持相同的电流强度 I_Z，则需要稍微降低外加电压 V_Z。因此齐纳击穿的情况下，$TC(V_Z)<0$。
- 在雪崩击穿的情况下，热振动会增加自由电子与晶格原子碰撞的频率，这样一来电子加速且获得足够的动能以触发雪崩机制将会变得更加困难。现在我们如果想在更高的温度下维持相同的电流强度 I_Z，则需要稍微增大外加电压 V_Z，因此雪崩击穿的情况下，$TC(V_Z)>0$。

将两种机制总结如下：

齐纳效应在重掺杂结中发生，击穿电压约小于 6V，$TC(V_Z)<0$。

雪崩效应在轻掺杂结中发生，击穿电压约大于 6V，$TC(V_Z)>0$。

通过改变工艺过程中的杂质浓度，制造商可以将结击穿电压控制在特定值。两个典型例子是用于构成双极结晶体管(BJT)的发射结(BE)和集电结(BC)。BE 结是重掺杂的，所以其齐纳效应的击穿电压在 6V 附近。如此低的击穿电压使得 BJT 工作在正向放大区(FA)时不会有任何问题，此时 BE 结是正向偏置的。然而，正向放大区的 BC 结是反向偏

置的。为了防止其进入击穿状态，集电区是轻掺杂的，这也表明 BC 结的击穿是雪崩类型的。

1.9 正向偏置二极管的特性

在有足够高的正向电压(实际中 $v>4V_T\approx0.1V$)时，我们可以忽略式(1.57)中的 1，写为：

$$i_D = I_s e^{v_D/V_T} \tag{1.61}$$

这里我们用下标 D 来表示工作状态进入正向区。这个方程表明了一个标准的指数 i-v 特性。这也称为理想二极管方程，实际中的 pn 结在很大一个电流范围内也满足这个方程，通常在 60mA 左右，这也使得该方程成为最有用的电学定律之一。指数定律有一些很有趣的特性，我们马上将会看到。

式(1.61)可以很容易地变换为：

$$v_D = V_T \ln\left(\frac{i_D}{I_s}\right) \tag{1.62}$$

在这个形式下，我们可以求出维持给定电流 i_D所需的压降 v_D。

指数特性的性质

正向偏置区内，给定工作电流 I_D处的二极管曲线斜率记为 $g_d=di_D/dv_D|_{I_D}$，这也称为二极管的微变电导。对式(1.61)进行微分，得到：

$$g_d = \frac{I_D}{V_T} \tag{1.63}$$

这表明斜率是与工作电流 I_D成线性比例的。g_d的倒数称为二极管的动态电阻，即 $r_d=1/g_d=V_T/I_D$。g_d和 i_d都在一定范围内变动，具体由工作电流决定。记住以下一些重要的值：

$$r_d(1mA) = 26\Omega, r_d(1\mu A) = 26k\Omega, r_d(1nA) = 26M\Omega$$

参数 r_d和 g_d形成了小信号二极管电路分析的基础，这将在后面学习。

假设流过二极管的电流为 I_D，我们希望求得当 I_D变为 mI_D时，电压的变化值 ΔV_D。运用式(1.62)，我们求得电压变化为：

$$\Delta V_D = V_T\ln(mI_D/I_s) - V_T\ln(I_D/I_s) = V_T\ln[(mI_D/I_s)/(I_D/I_s)]$$

即

$$\Delta V_D = V_T\ln m$$

两种较为常见的情况是，电流按 2 的倍数变化($m=2^{\pm1}$)或 10 的倍数变化($m=10^{\pm1}$)，则电压变化分别为 $\Delta V_{D(oct)}=(26mv)\times(\pm\ln2)\approx\pm18mV$，$\Delta V_{D(dec)}=(26mv)\times(\pm\ln10)\approx\pm60mV$。这些结果是以下这些重要的经验法则的基础，同时图 1.47a 也有所解释：

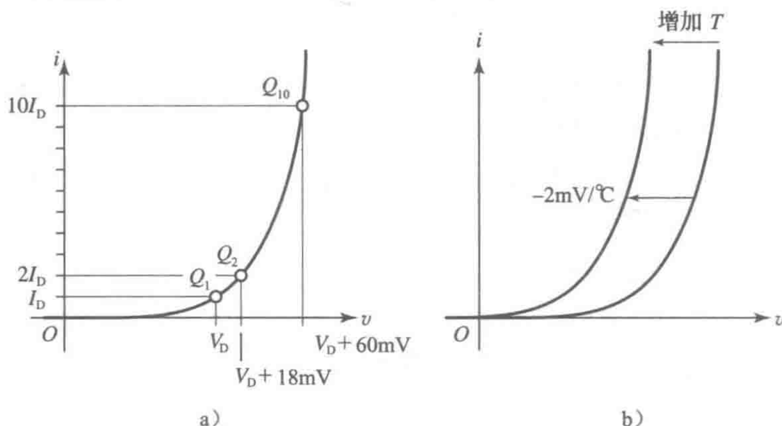


图 1.47 图解一些 pn 结中重要的经验规则

I_D按2的倍数变化时，V_D 变化18mV。

I_D按10的倍数变化时，V_D 变化60mV。

上述规则的方便之处在于其与二极管曲线上特定的静态工作点 Q_F 无关，只与此处的变化有关。例如，假设一个二极管工作在静态电流为10μA的状态下。如果我们想使电流翻倍，达到20μA，我们只需增大电压 $\Delta V_D=18\text{mV}$。为了使电流有10倍的变化，从10μA达到100μA，我们只需增大电压 $\Delta V_D=60\text{mV}$。同样地，10μA到1μA的变化需要减小电压 $\Delta V_D=-60\text{mV}$。

如果想将 I_D从10μA变为50μA，假设是先将其从10μA上升到100μA($\Delta V_D=60\text{mV}$)，再从100μA降低到50μA($\Delta V_D=-18\text{mV}$)，净变化量 $V_D=(60-18)\text{mV}=42\text{mV}$。

温度特性

不管我们运用式(1.61)还是式(1.62)，很明显的是，二极管的特性通过 V_T和 I_s与温度建立关系。一种表现这种热相关性的简便方法是，通过给定工作电流 I_D下正向压降的温度系数，定义为：

$$TC(V_D)=\left.\frac{\partial V_D}{\partial T}\right|_{I_D} \tag{1.64}$$

对式(1.62)微分，我们得到：

$$TC(V_D)=\left.\frac{\partial[V_T\ln(I_D/I_s)]}{\partial T}\right|_{I_D}=\frac{V_D}{T}-V_T\left(\frac{\mathrm{d}I_s/\mathrm{d}T}{I_s}\right) \tag{1.65}$$

根据式(1.58)和式(1.59)有，$I_s\propto n_i^2(\mathrm{T})D(\mathrm{T})$，其中，$n_i$ 是本征浓度，D 是扩散率，都是温度 T 的函数。由式(1.21)，$n_i^2(T)\propto T_3\mathrm{e}^{-V_{G0}/V_T}$，其中，$V_{G0}=1.205\text{V}$ 是硅的带隙电压。由式(1.20)和式(1.28)，$D(\mathrm{T})=(\mathrm{kT/q})\mu(\mathrm{T})$，其中，$\mu(\mathrm{T})$是迁移率，也是温度的函数，关系式为 $\mu(\mathrm{T})\propto T^m$，其中，$m\approx-1.5$。将上述所有结合到一起，有：

$$I_s\propto T^{4+m}\mathrm{e}^{-V_{G_0}(q/kT)}$$

$$\frac{\mathrm{d}I_s/\mathrm{d}T}{I_s}=\frac{(4+m)T^{4+m-1}\mathrm{e}^{-V_{G_0}(q/kT)}+T^{4+m}\mathrm{e}^{-V_{G0}(q/kT)}\times V_{G0}(q/kT^2)}{T^{4+m}\mathrm{e}^{-V_{G0}(q/kT)}}=\frac{4+m}{T}+\frac{V_{G0}}{TV_T}$$

代入式(1.65)并化简，最终得到：

$$TC(V_D)=\frac{V_D-(4+m)V_T-V_{G0}}{T} \tag{1.66}$$

假设 $T=300\text{K}$ 时 $V_D=0.65\text{V}$，由式(1.66)得 $TC(V_D)\approx-2.1\text{mV/℃}$。工程师通过以下的经验法则记住pn结的热性能，同时图1.47b也有所解释。

室温下，pn结二极管的正向压降按−2mV/℃变化。

一旦我们知道某个参考温度 T_0下的 V_D，我们就可以用下式估算其他任意温度 T 下的 V_D：

$$V_D(T)\approx V_D(T_0)-(2\text{mV})\times(T-T_0) \tag{1.67}$$

例1.13 如果一个二极管在 $T=25℃$，$I_D=0.1\text{mA}$ 时，$V_D=650\text{mV}$，估算下列情况下的 V_D：

(a) $T=70℃$，$I_D=0.1\text{mA}$。

(b) $T=0℃$，$I_D=0.1\text{mA}$。

(c) $T=50℃$，$I_D=0.02\text{mA}$。

(d) $T=40℃$，$I_D=4\text{mA}$。

解：

运用已学的经验公式我们得到：

(a) $V_D\approx(650-2\times(70-25))\text{mV}=(650-90)\text{mV}=560\text{mV}$。

(b) $V_D\approx(650-2\times(0-25))\text{mV}=(650+50)\text{mV}=700\text{mV}$。

(c) 首先假使 I_D从0.1mA降低到0.01mA($\Delta V_D=-60\text{mV}$)，再使其翻倍($\Delta V_D=+18\text{mV}$)最终达到0.02mA，电压净变化值 $V_D\approx(650-60+18)\text{mV}=608\text{mV}$。最后，假使先将温度

从25℃上升到50℃，有额外的电压变化 $\Delta V_D=(-2\times(50-25))\text{mV}=-50\text{mV}$。最终电压变化值为 $V_D\approx(608-50)\text{mV}=558\text{mV}$。

(d) 参照(c)问中的过程，求得 $V_D=(650+60+18+18-2\times(40-25))\text{mV}=716\text{mV}$。

如果将一个正向偏置的二极管与另一个有着相反温度系数且反向偏置的齐纳二极管串联，即 $TC(V_Z)=-TC(V_D)\approx+2\text{mV}$，两个器件的热变化将相互抵消，产生一个具有零温度系数的合成电压降 $V_{REF}=V_Z+V_D$。这个技巧用于制造热稳定的参考电压。在 $V_Z\approx 6.2\text{V}$，即得到 $V_{REF}\approx(6.2+0.7)\text{V}=6.9\text{V}$ 时，$TC(V_{REF})\to 0$，这时的稳定性最好。◀

偏离理想态

将式(1.62)重新写为：

$$v_D = V_T(\ln i_D - \ln I_s)$$

即

$$\ln i_D = \left(\frac{1}{V_T}\right)v_D + \ln I_s$$

这表明：如果我们在单对数坐标纸上画出 i_D 相对于 v_D 的图形（v_D 在线性轴，i_D 在对数轴），将会得到以下类型的曲线：

$$y = (1/V_T)x + y(0)$$

这是一条直线，其斜率为 $(1/V_T)$，在0V时的截距 $i_D=I_s$。这个特征在研究二极管特性时非常简便。给定一组测量数据后，我们可以方便地求出最佳拟合直线；紧接着，我们可以求出其斜率，从而获得 V_T 的实验值，再推断在 $V_D\to 0$ 时直线在 i_D 轴上的截距，从而获得 I_s 的实验值。

单对数坐标图上，实际低功率pn结二极管的特性如图1.48所示。曲线在很宽的电流范围内都是直线，具有代表性的是从1nA到1mA，但会在范围的最高和最低处偏离理想态。

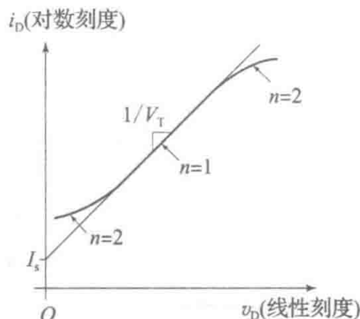


图1.48　阐释在低电流和高电流的情况下，发射系数 n 的影响

这些误差来自导出理想二极管方程的过程中所进行的各种近似。具体说来，电流范围最高处的误差是由本征区体电阻的存在及大注入效应引起的，最低处的误差是因为损失了参与空间电荷区(SCL)内复合的那部分移动电荷。我们现在想要更详细地验证这些假设。

- 在推导过程中，我们假设空间电荷区的两端区域内电场为零，所以我们通过末端施加的电压被完全地传递到了空间电荷区的边缘。然而，跟其他导体一样，所有的这些区域都有一个虽然小但不为零的欧姆电阻，称为体电阻。将所有电阻(p端和n端体电阻之和)记为 r_s，我们观察到相对于外加电压 v_D，真正到达结的电压 V_J，通过KCL有：

$$v_J = v_D - r_S i_D \tag{1.68}$$

当二极管工作在低电流下时，体电阻压降可以忽略，$v_J\approx v_D$。但在电流范围的最上端时，这个压降就变得有影响了，并使真实的 i-v 特性偏离了理想的指数关系。在半对数坐标纸上，这表现为，在 i_D 接近1mA或更高时，i_D 值呈现出一个曲率变化。

- 如果穿过pn结的外加电压增加到某一点，且该点处在空间电荷区边缘产生的少子密度跟此处的多子浓度是可比较的，则小注入的假设不再成立，二极管方程变为以下的形式：

$$i_D = I_s e^{v_D/(nV_T)} \tag{1.69a}$$

这里的 n 称为发射系数（不要与电子浓度 n 混淆），在小注入条件下 $n\to 1$，但当这些条件不成立时 $n\to 2$。其逆方程为：

$$v_D = nV_T \ln\left(\frac{i_D}{I_s}\right) \tag{1.69b}$$

重写为：

$$\ln i_D = \left(\frac{1}{nV_T}\right)v_D + \ln I_s$$

这表明半对数曲线的斜率现在是 $1/(nV_T)$。显然，$n=2$ 时的斜率只有 $n=1$ 时的一半。我们可以通过测量半对数图中的斜率值，求得 nV_T 的实验值。

- $n \to 2$ 时，式(1.69)仍然在电流范围的最低端成立，但产生显著区别的原因是，损失了那部分在空间电荷区内复合(被俘获)的移动电荷。显然，我们对空间电荷区内电流密度不变的假设是不成立的。值得一提的是这种复合损失与 i-v 曲线的工作点无关，但是，其影响仅在最底端是值得注意的，此处正向偏置电流跟所损失的电流相当，甚至小于所损失的电流。在半对数坐标纸上，这表现为在 i_D 接近 1pA 或更低时，i_D 值呈现出一个曲率变化。

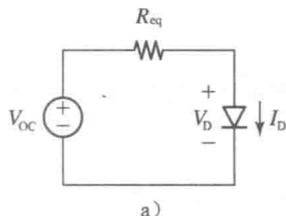
例 1.14 若一 pn 结 $I_s=1\text{fA}$，在 $V_D=725\text{mV}$ 时有 $I_D=1\text{mA}$，求 r_S。

解：

由式(1.62)得，实际的结电压是 $V_J=(26\text{mV})\ln(10^{-3}/10^{-15})=718.4\text{mV}$。由式(1.68)得，$r_S=((725-718.4)/1)\Omega=6.6\Omega$。 ◀

1.10 pn 结二极管电路的直流分析

在分析二极管电路时，贯穿始终的任务是求得二极管的静态工作点 $Q=Q(I_D, V_D)$。我们知道，如果将二极管嵌入线性电路中，我们可以将周围电路通过用其戴维南等效替换来简化问题，最终得到如图 1.49a 所示的情况。这里，V_{OC} 是将二极管移除后，外部电路在阳极和阴极对应节点之间产生的开路电压，R_{eq} 是外部电路的等效电阻，即从二极管看去的电阻。



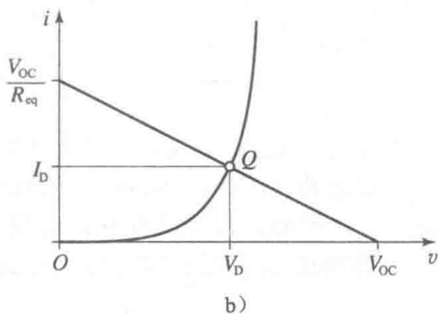


图 1.49 求解嵌入在线性电路内二极管的静态工作点 Q

负载线分析

工作点可以图视化为二极管曲线与负载线的交点，在图 1.5b 所示负载线中已经看过理想二极管的情况。图 1.49b 显示的是正向偏置 pn 结二极管的情况。虽然图解分析让我们对电路工作有了视觉上的感觉，但我们通常需要计算出静态工作点 Q 的数值，接下来我们来解决这一问题。

迭代分析

参考图 1.49a 所示曲线，由欧姆定律我们得到二极管电流为：

$$I_D = \frac{V_{OC} - V_D}{R_{eq}} \tag{1.70}$$

再由式(1.69b)得到二极管电压为：

$$V_D = nV_T \ln\frac{I_D}{I_s} \tag{1.71}$$

式中：n 是发射系数，$1 \leqslant n \leqslant 2$。为了简化问题，以下我们假设 $n=1$，但接下来的分析可以很容易被推广至 $n \neq 1$ 的情况，只需用 nV_T 代替 V_T 即可。将式(1.70)代入式(1.71)，有：

$$V_D = nV_T \ln\frac{V_{OC} - V_D}{R_{eq} I_s} \tag{1.72}$$

这是一个超越方程，因为它在 V_D 未知时并不能提供一个封闭式的表达式。然而，我们可以用迭代方法解答它。为此，我们先对 V_D 做一个合理的初始估计，再将其代入式(1.72)的右端，并解出更接近的估算值，再将新得到的估算值代入等式的右端并解出更接近的估算值，如果需要就重复这个过程，直到结果落在预期范围内为止。

例 1.15 在图 1.49a 所示的电路中，令 $R_{eq}=1\text{k}\Omega$，二极管的参数 $n=1$，$V_T=26\text{mV}$，$I_s=1\text{fA}$。在以下情况下，估算 V_D、I_D 到 mV、mA 数量级，如果(a) $V_{OC}=1.5\text{V}$，(b) $V_{OC}=3\text{V}$，以及(c) $V_{OC}=0.75\text{V}$。

解：

(a) 在我们目前遇到的各种 pn 结例子中，V_D 通常处在 0.6～0.7V 的范围内，所以我们从初始猜测值 $V_D(0)=0.65\text{V}$ 开始计算。代入式(1.72)得到新估算值为：

$$V_{D(1)} = nV_T \ln \frac{V_{OC} - V_{D(0)}}{R_{eq} I_s} = 0.026 \ln \frac{1.5 - 0.65}{10^3 \times 10^{-15}} \text{V} = 0.714\text{V}$$

用这个新值作为初始猜测值，求得：

$$V_{D(2)} = nV_T \ln \frac{V_{OC} - V_{D(1)}}{R_{eq} I_s} = 0.026 \ln \frac{1.5 - 0.714}{10^{-12}} \text{V} = 0.712\text{V}$$

再迭代一次，求得：

$$V_{D(3)} = nV_T \ln \frac{V_{OC} - V_{D(2)}}{R_{eq} I_s} = 0.026 \ln \frac{1.5 - 0.712}{10^{-12}} \text{V} = 0.712\text{V}$$

因为结果在预先要求的 0.001V(=1mV)数量级已不再变化，所以有 $V_D=712\text{mV}$。最后，由式(1.70)得到电流为：

$$I_D = \frac{1.5 - 0.712}{10^3} \text{A} = 0.788\text{mA}$$

(b) 这次我们从初始猜测值 $V_D(0)=0.7\text{V}$ 开始计算。于是，有：

$$V_{D(1)} = 0.026 \ln \frac{3 - 0.7}{10^{-12}} \text{V} = 0.740\text{V}$$

再迭代一次，证实了这确实是要求的值，即在 mV 数量级下，$V_D=740\text{mV}$。再有 $I_D=((3-0.74)/1)\text{mA}=2.26\text{mA}$。

(c) 再次从 $V_D(0)=0.65\text{V}$ 开始计算，求得：

$$V_{D(1)} = 0.026 \ln \frac{0.75 - 0.65}{10^{-12}} \text{V} = 0.659\text{V}$$

再进行三次迭代，证实了最终值为 $V_D=657\text{mV}$。因此，$I_D=((0.75-0.657)/1)\text{mA}=93\mu\text{A}$。◀

注意点 1：从(a)问到(b)问我们得到了翻倍的 V_{OC}，从(a)问到(c)问我们得到了减半的 V_{OC}；然而，I_D 并没有翻倍或减半，表明二极管使电路变为了非线性的。

注意点 2：我们也可以运用二极管方程来求 I_D。例如，在(a)问部分我们计算如下：

$$I_D = I_s e^{V_D/nV_T} = 10^{-15} e^{712/26} \text{A} = 0.782\text{mA}$$

这与通过式(1.70)求出的值 0.788mA 不同。诚然两种计算都存在着四舍五入的误差，但哪个结果更可靠呢？这里需要记住重要的一点：因为指数函数对指数中很小的变化都很敏感，所以为了使结果精确，指数中 V_D 的值必须已知且非常精确。相反地，式(1.70)中的 V_D 值并不需要那么精确，但也可以得到可靠的 I_D 值。因此，例题中的 0.788mA 是更精确的结果。

注意点 3：当然，如果我们用更精确的 V_D 值代入指数形式中，得到的 I_D 值也会更精确。实际上，只要用一个更有意义的数字，即三次迭代结果，其为 $V_D(3)=0.712\,2\text{V}$（而非进位后的值 0.712），就可以得到：

$$I_D = 10^{-15} e^{712.2/26} \text{A} = 0.788\text{mA}$$

这与通过式(1.70)算出的值相同。如果由于某种原因你需要运用二极管方程的指数形式，你必须确保知道合适精确度的 V_D 值！

分段线性近似和大信号二极管模型

负载线分析将二极管在电路中功能形象化了，同时迭代分析将二极管工作点具体计算出来。实际操作时，无论是分析已存在的二极管电路，还是设计一个新电路，我们都需要更快的近似分析方法。而且，当我们应用这些技巧时，我们需要借鉴在预备线性电路课程中学到的知识。当对如图1.46的实际pn结特性进行分段线性近似时，如图1.50所示，上述两个要求都得到满足。具体说来，用阴影表示的真实曲线被近似为三段直线，每一段对应着不同的工作区域，分别是导通(ON)区、截止(CO)区和击穿(BD)区。我们作出如下的观察：

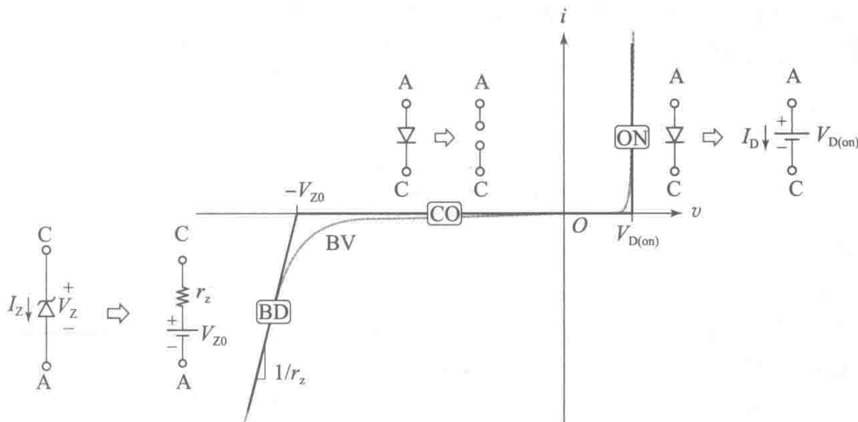


图1.50 pn结二极管三个工作区：导通(ON)区、截止(CO)区和击穿(BD)区的分段线性近似及大信号模型。

- 当pn结正向偏置时，其特性曲线是指数型的，其在短暂弯曲后急速上升，与我们选定的电流范围无关。为了在讨论中能更好地观察细节，图1.47和图1.49b所示的曲线进行了一些小的修改，实际曲线如图1.46所示——非常陡峭。由经验法则之一可知，将V_D增大大约60mV时I_D会变为原来的10倍，将V_D减小大约60mV时I_D会变为原来的1/10，这表明在V_D变化范围是±60mV时，I_D在100－1之间变化！

实际上，当一个结只传导正常电流的1/100时，可以认为其是截止的(在数字应用中，甚至1/10的比例就可以认为是截止了)。考虑到典型的低功耗硅pn结工作在mA范围时，其室温压降大约为0.7V，我们将$v=0.7V$处的指数曲线近似为一条竖直线段。对应的二极管模型是值为$V_{D(on)}$的电源，如图1.50所示。自然地，这个模型称为恒压降模型。认为这个近似不可靠的读者们，会马上意识到这个模型在给我们提供二极管工作的直观感觉时非常有用。在接下来的二次或多次分析时，我们也可以用迭代技巧或诸如PSpice的计算机仿真来使分析更加精确，并得到更真实的结果。

- 从指数上升的拐点到击穿下降的拐点间，电流小到可以忽略，这表明在实际中，我们可以认为这个结是截止(CO)的。对应的二极管模型是开路，如图1.50所示。注意到截止区向原点右侧延伸了，一直延伸到指数增长的拐点处。虽然在$v>0$时pn结是正向偏置的，但从0V到指数增长的拐点间的实际电流太小了，对于pn结而言不能认为是导通的。所以，我们将微弱正向偏置的结视作等效截止。
- 现在进入击穿(BD)区，特性曲线接近线性，所以我们用直线段去近似它，如图1.50所示。在图1.46中我们可以看到，曲线的斜率被表示为$1/r_z$，截止区工作点被表示为$Q_B=Q_B(-I_Z, -V_Z)$。为了表示二极管工作在截止区，其电路符号被修改如图1.50左下所示。同时器件也被上下颠倒，此时上端(阴极)处V_Z为正，从阴极流向阳极的电流I_Z为正。这种巧妙的方法使我们避开了负电压、负电流的计算。击穿区的二极管模型是值为V_{Z0}的电源与电阻r_z相串联，其中，$-V_{Z0}$代表近似的线性曲线在v轴的截距位置。

初学者可能会再次认为分段线性近似太过粗糙，特别是在截止区到击穿区的拐点附近。然而，pn结在拐点区域被证明几乎是不工作的。通常来说，pn结一般作为整流开关或者是基准电压应用。

- 当作为整流器使用时，二极管被设计为在导通态和截止态间交替，并不会进入击穿区。实际上，为了安全考虑，整流器中二极管的击穿电压(BV)，远超过于给定电路中可获得的最大反向电压，即最大反向电压(PIV)。
- 当作为基准电压使用时，有意使其工作在击穿区，并有足够低的击穿曲线以防止工作点太靠近拐点。这个问题将在1.12节中详尽解释。

例 1.16 用二极管恒压降模型再解答例1.15。评论你的结果。

解：

式(1.70)现在近似为：

$$I_D = \frac{V_{OC} - V_{D(on)}}{R_{eq}} \tag{1.73}$$

或写为 $I_D=(V_{OC}-0.7)/1$。

(a) 我们现在有 $I_D=(1.5-0.7)/1\text{mA}=0.8\text{mA}$，这与例1.15中的0.788mA很接近。

(b) 现在 $I_D=(3-0.7)/1\text{mA}=2.3\text{mA}$，这与例1.15中的2.26mA更接近了。

(c) 如果我们尝试 $I_D=(0.75-0.7)/1\text{mA}=50\mu\text{A}$，这与前面得到的93μA相差很大。显然式(1.73)只能在 $V_{OC}\gg V_{D(on)}$ 时能给出可靠结果。如果这个条件不满足，迭代方法就成为了手工计算时唯一可选择的合理方法。◀

注意：我们要再次强调 V_D 与 $V_{D(on)}$ 的不同，重复如下：

- V_D 是二极管的实际压降，其可以用于 $I_D=I_s\exp(V_D/V_T)$ 这样的精确计算，前提是知道合适精确度下的值，例如毫伏数量级以内。
- $V_{D(on)}$ 是一个近似的假定值(~0.7V)，我们只能在不那么精确的计算中运用，例如 $I_D=[V_{OC}-V_{D(on)}]/R_{eq}$，前提是 $V_{OC}\gg V_{D(on)}$。

一个可能发生的大错误就是写出 $I_D=I_s\exp(V_{D(on)}/V_T)$，确保你永不会这样写！

运用分段线性近似进行电路分析

下列过程是用来判断线性电路中插入pn结二极管器件时，二极管工作点的步骤：

- 首先，求得移除二极管后，外部电路产生的开路电压 V_{OC}(谨记 V_{OC} 的极性被定义为，与正极连接的节点为正。)
- 然后，按如下方法确定二极管工作区：
  - 如果 $V_{OC}>V_{D(on)}$(对于硅，$V_{D(on)}\approx 0.7\text{V}$)，二极管工作在导通区。
  - 如果 $-V_{Z0}<V_{OC}<V_{D(on)}$，二极管截止。
  - 如果 $V_{OC}<-V_{Z0}$，二极管工作在击穿区。
- 最后，如图1.50所示，用对应工作区模型代替二极管，再用已熟悉的分析技巧来分析得到的线性电路。

让我们用实例来说明。

作为整流器的pn结二极管

为了研究作为整流器的二极管，我们用常用的且在元件库中能获得的1N4148低功耗pn结二极管，对半波整流器做PSpice仿真。参考图1.51a，我们观察到：

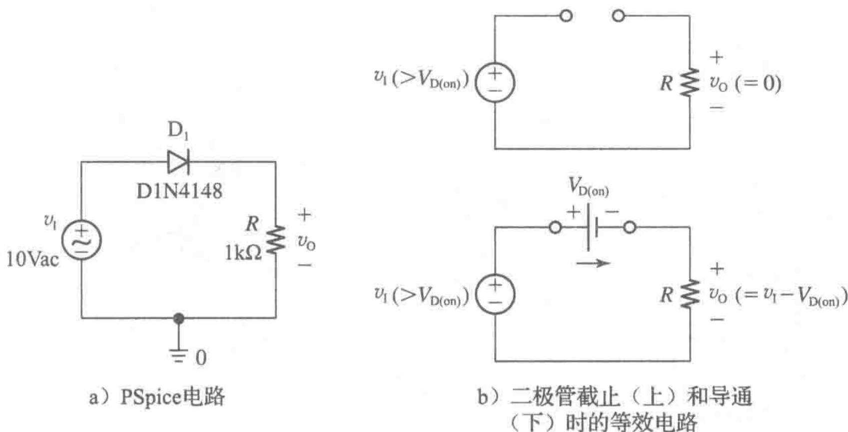
- 当 $v_I<V_{D(on)}$ 时，二极管截止，电路表现如图1.51b上方所示，有：

$$v_O = 0, \quad v_I < V_{D(on)} \tag{1.74a}$$

- 当 $v_I>V_{D(on)}$ 时，二极管参与导电，表现为一个 $V_{D(on)}=0.7\text{V}$ 的电池，如图1.51b底部所示。由KVL可知，此时输出跟随输入，但有−0.7V的偏移。因此

$$v_O = v_I - V_{D(on)} \qquad v_I > V_{D(on)} \tag{1.74b}$$

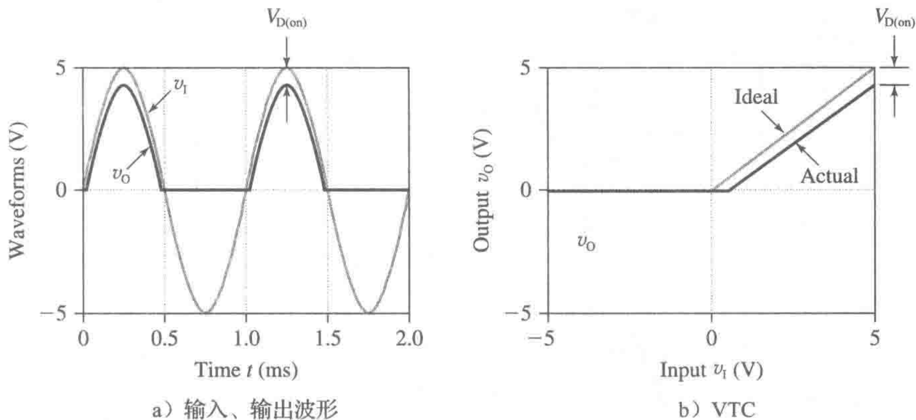
图1.52a所示的输入、输出波形及图1.52b所示的VTC进一步地阐明了电路行为。与



a）PSpice电路　　b）二极管截止（上）和导通（下）时的等效电路

图 1.51 用 1N4148 pn 二极管研究半波整流器：

$V_{D(on)}=0V$ 的理想二极管相比，硅二极管需要 0.7V 外加电压来导通，这一旦导通，将在输出端引入一个 −0.7V 的偏移误差。这个偏差成不成为问题，取决于对所用器件的性能要求。进一步观察两张图可以发现，二极管从导通转为截止的过程不是突然实现的(反之亦然)，而是逐渐完成的，正如分段线性近似中指数曲线的拐点所表明的那样。这个特性对于线性函数发生器十分有利，因其保证了从 VTC 一部分到下一部分的转换是平滑的。



a）输入、输出波形　　b）VTC

图 1.52 图 1.51a 中电路的 PSpice 图

既然我们知道了一个硅二极管是怎么成为一个半波整流器的，我们就更容易验证 1.2 节研究的所有其他的理想二极管电路，例如全波整流器、电压钳位、分段线性函数发生器、钳位电容及电压倍乘器，只是这一次要采用真实的二极管。

例如，图 1.53 画出了一个全波整流器。由于现在负载上有两个串联二极管，所以输出偏移误差为 $2V_{D(on)}$($\approx$1.4V)。

练习 1.6

(a) 下列二极管都是硅型的，$V_{D(on)}=0.7V$。假设图 1.15 所示“或”门的输入逻辑电平为 0V 和 5V，求输出的逻辑电平。

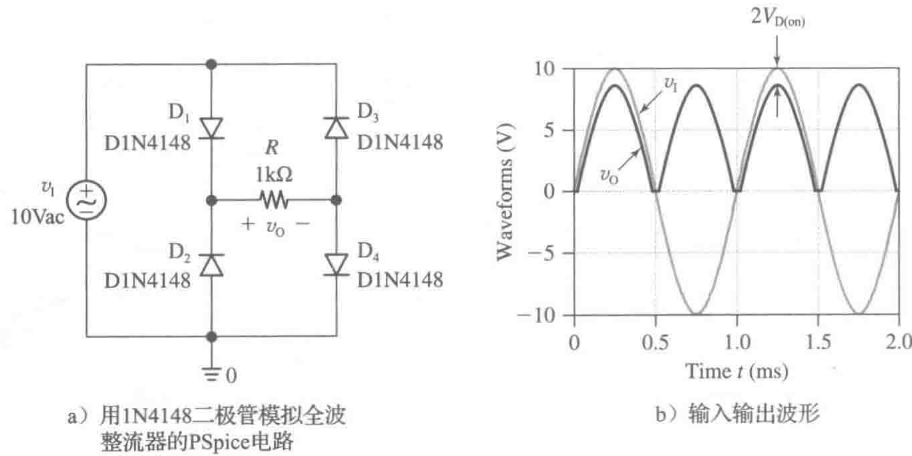
(b) 对图 1.16 所示的“与”门，重复上题。

(c) 假设图 1.17 所示 IC 电路的 $V_s=5V$，求 v_{IC} 值的范围。

答案： (a)0V，4.3V。(b)0.7V，5V。(c)$-0.7V\leqslant V_{IC}\leqslant 5.7V$。

超级二极管

有些应用，如精密测量仪表中整流器 0.7V 的输出偏移是不能接受的，必须通过某种方式消除掉。在图 1.51 所示的半波整流器例子中，能保证这点的唯一途径是使阳极电压

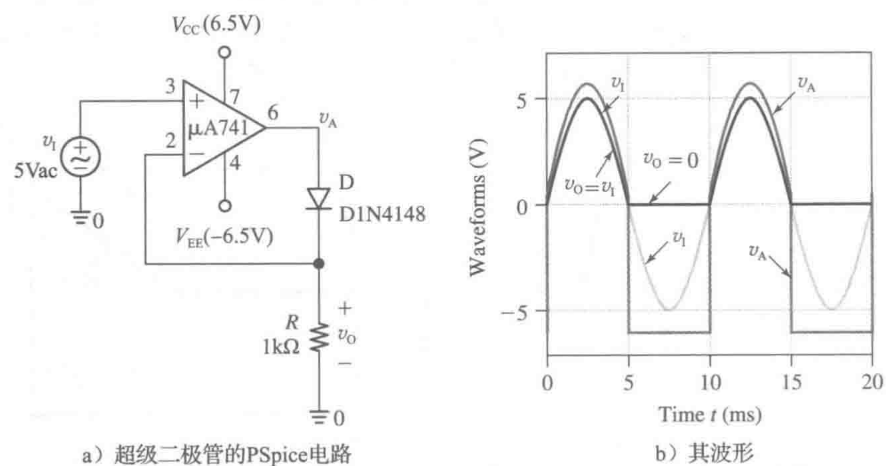


a）用1N4148二极管模拟全波整流器的PSpice电路

b）输入输出波形

图 1.53

比 v_I高大约 0.7V，这样阴极的电压就等于 v_I了。将二极管放入运放的负反馈路径中，可以实现这个目的，如图 1.54a 所示的 PSpice 电路所描绘。相关波形在图 1.54b 中画出。



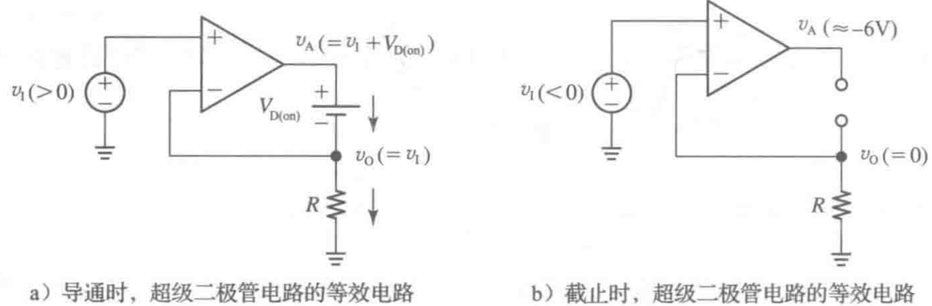
a）超级二极管的PSpice电路

b）其波形

图 1.54

为了分析这个电路，回顾一下熟悉的运放规则，其说明无论负反馈运放的输出电压是多少，其都强制使 V_N跟随 V_P。分别考虑 $v_I>0$ 和 $v_I<0$ 两种情况。

- $v_I>0$ 时，运放需要向 R 输送电流，从而使反向输入电压(v_O)跟随同向输入电压(v_I)。通过二极管运放能可以容易实现这个功能，其方向与所需的电流方向相符。为了使二极管导通，运放必须使其输出(v_A)比 v_O高一个二极管压降。v_I正向时间内的情况如图 1.55a 所描绘。



a）导通时，超级二极管电路的等效电路

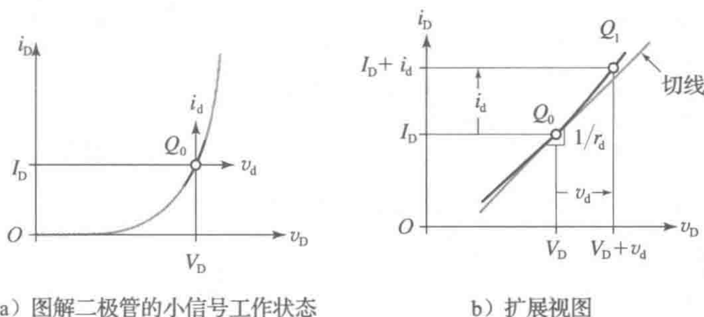
b）截止时，超级二极管电路的等效电路

图 1.55

- $v_I<0$ 时，运放需要从 R 上吸收电流以使 v_O 跟随 v_I。但是这是不可能的，因为二极管不能反向导电。所以，二极管截止，导致 R 与电路不再相连，从而 $v_O=0$。这种情况如图 1.55b 所示。缺少了反馈回路，运放不能再影响其反相输入，所以其最终工作在开环模式。例如，假设 $v_I=-1V$，所以运放输入端的差值 $v_P-v_N=(-1-0)V=-1V$。运放将尝试以开环增益放大这个负输入差值，会使输出 V_A 摆动到负方向的最远位置。事实上，此例中的输出在 $-6V$ 附近达到饱和。
- 当 v_I 再次变正时，运放会脱离饱和状态，继续输出高于 v_I 一个二极管压降的 v_A，如我们在图 1.55a 中已经看到的那样。

1.11 pn 结二极管电路的交流分析

图 1.50 所示的分段线性近似包含了 pn 结二极管的整个 i-v 特性。还有另一种重要的线性化在使用，但只包含正向偏置区有限的一部分特性。我们知道，二极管特性是指数形式的，故为高度非线性曲线。然而，如果我们将二极管的工作状态限制在曲线上足够小的部分，如图 1.56a 涂黑的所示，然后我们可以用一条直线段去近似这部分，就可以运用熟悉的线性电路分析方法。这种线性化的替代形式，形象地称为小信号近似，图 1.56b 所示的扩展形式描绘了这种近似，其有两个前提：



a）图解二极管的小信号工作状态　　b）扩展视图

图 1.56

- 首先，我们将二极管偏置在曲线上合适的工作点 $Q_0=Q_0(I_D, V_D)$，这实际上也是一个新坐标轴的原点，用于研究此点处的信号变化。
- 其次，我们在曲线中上下移动二极管的工作点，移动的量记为 i_d 和 v_d，保持 i_d 和 v_d 足够小，以保证 i_d 与 v_d 是线性相关的，正如普通电阻一样。

为了简化记录，工程师们发明了一种特别的信号表达形式，已经被证明不管是对于二极管还是我们将要学习的晶体管，都是非常方便的。

由这种表达方法，pn 结二极管中的电压和电流可用以下形式表达：

$$v_D = V_D + v_d \tag{1.75a}$$

$$i_D = I_D + i_d \tag{1.75b}$$

式中：

- v_D 和 i_D 代表总信号(小写的符号、大写的下标)；
- V_D 和 I_D 是直流分量(大写的符号、大写的下标)；
- v_d 和 i_d 是交流分量(小写的符号、小写的下标)。

图 1.57 所示的解释了对于 v_D 的这种信号分解形式，对于 i_D 也有相似的图成立。

图 1.58 显示了通过 PSpice 仿真观察到的两组波形。所用二极管在 $V_D=700mV$ 时，$I_D=1.0mA$。而且，为使失真能为肉眼所见，我们选择了三角波作为交流电压分量。我们得到了如下的观测结果：

- 在图 1.58a 中，二极管经受了峰值为 $\pm5mV$ 的交流电压分量(上)，其响应的电流波形(下)是轻微失真的。在真正不失真的波形中，正向部分与反向部分应该是成镜像

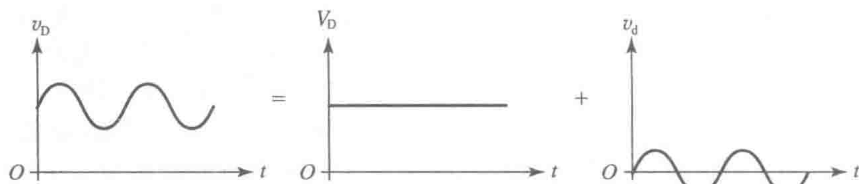


图 1.57 将信号分解为直流和交流分量，即 $v_D=V_D+v_d$

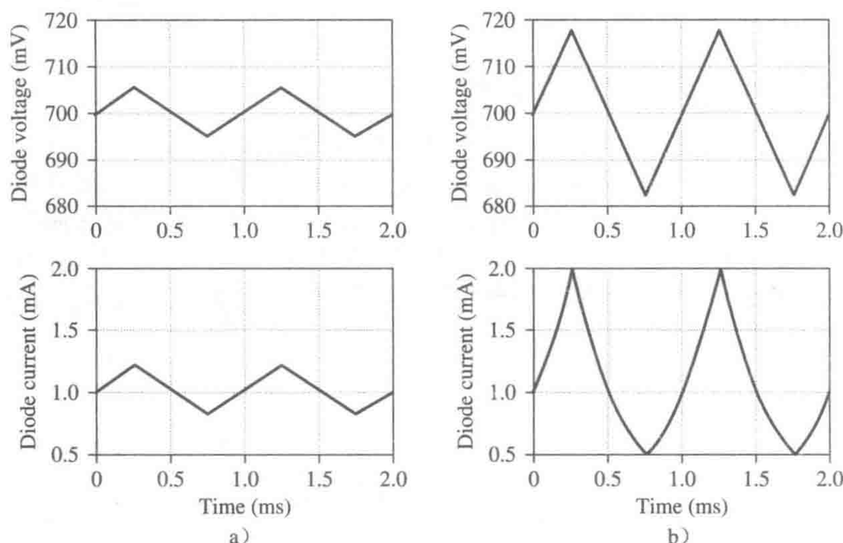


图 1.58 两种不同的交流电压驱动下的电压波形(上)和电流波形(下)

的。所举例子中正向部分要比反向部分稍大，这是由于二极管的 i-v 特性存在曲率。即使这样，我们还是可以认为失真是相当小的。

- 在图 1.58b 中，交流电压(上)的峰值增加到±18mV，响应的电流(下)是高度失真的。选择 18mV 的原因是，我们可以用经验法则来求得电流峰值。换句话说，随着 v_d变为(700+18)mV 时，i_D从 1.0mA 翻倍到 2.0mA；而当 v_d变为(700－18)mV 时，i_D从 1.0mA 减半到 0.5mA。由于电流波形已经失真，而正负向峰值又相等，所以电流为(1.0+0.5)mA=1.5mA，而非 2.0mA。这样显著的失真是因为增大的交流电压驱动导致工作点在指数曲线上跨越了很宽的一部分。正如我们所看到的，波形的反向部分被压缩了，正向部分则被扩展。

显然，在图 1.58a 所示的电压驱动条件下，二极管的电路行为相当接近于线性，但在图 1.58b 所示的条件下就不接近了。接下来，我们希望定量研究出小信号近似有效的范围。

小信号工作状态

我们知道，图 1.59a 所示的直流源 v_D的功能，是将二极管偏置在曲线上一个特定的静态工作点 $Q_0=Q_0(I_D, V_D)$。为了简化问题假设发射系数为 1(n=1)，相应的直流电流是：

$$I_D = I_s e^{V_D/V_T}$$

如果现在打开交流源 v_d，如图 1.59b 所示，工作点会在二极管曲线上上下移动，得到交流电流 i_d。

在图 1.56b 所示的扩展视图中我们发现 v_d有一个正的交变，此时二极管的瞬时工作点为 $Q_1=Q_1(I_D+i_d, V_D+v_d)$时。在 Q_1处，由二极管方程得到：

$$I_D + i_d = I_s e^{(V_D+v_d)/V_T} = (I_s e^{V_D/V_T}) e^{v_d/V_T} = I_D e^{v_d/V_T}$$

即

$$i_d = I_D (e^{v_d/V_T} - 1) \tag{1.76}$$

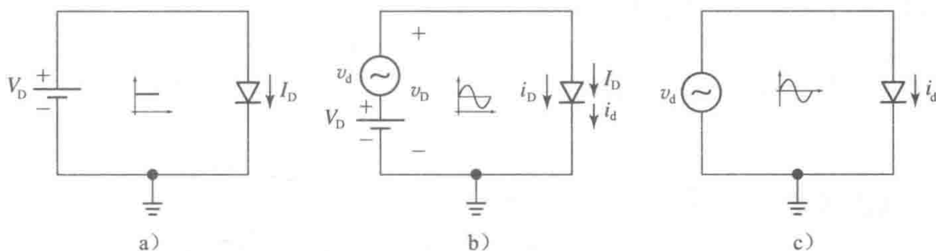


图 1.59 二极管小信号工作状态的系统化分析。实际电路如中间的(b)图，同时(a)显示了其大信号或直流模型，(c)显示了其小信号或交流模型

将上式展开为一系列指数项相加，得到：

$$i_d = I_D\left[\chi + \frac{v_d}{V_T} + \frac{1}{2!}\left(\frac{v_d}{V_T}\right)^2 + \frac{1}{3!}\left(\frac{v_d}{V_T}\right)^3 + \cdots - \chi\right]$$

或者

$$i_d = \frac{I_D}{V_T}v_d(1 + \frac{v_d}{2V_T} + \cdots) \tag{1.77}$$

这个方程表明了 i_d 和 v_d 间的非线性关系。这不令人惊讶，因为二极管的特性就是指数形式即高度非线性的。因此，如果我们能保证 v_d 的大小足够小，含有 v_d 的二次项及高次项都可以被忽略，这就允许我们用线性简化进行分析，从而使关系更简单。具体说来，如果我们约定

$$|v_d| \ll 2V_T(\approx 52\text{mV}) \tag{1.78}$$

则式(1.77)可简化为 $i_d=(I_D/V_T)v_d$。这也可以用欧姆定理的形式表示为：

$$i_d = \frac{v_d}{r_d} \tag{1.79}$$

式中：

$$r_d = \frac{V_T}{I_D} \tag{1.80}$$

是二极管的动态电阻。其倒数 $1/r_d$ 即是静态工作点 Q_0 处二极管曲线的斜率。参考图 1.56b 我们观察到，如果 v_d 足够小，曲线上从 Q_0 到 Q_1 的部分就可以近似为直线段，即 Q_0 处曲线的切线。即交流变量 v_d 和 i_d 称为小信号。相反地，V_D 和 I_D 称为大信号。式(1.79)称为小信号近似，式(1.78)量化了该近似的有效性。

忽略式(1.77)中的高次项，我们估算出小信号近似中的误差 ϵ 为：

$$\epsilon \approx \frac{v_{be}}{2V_T} \approx \frac{v_{be}}{52\text{mV}} \tag{1.81}$$

这约相当于 v_{be} 每 1mV 值的 2%。因此，如果我们想保持 ϵ 小于 10%(实际情形中可接受的误差)，我们需要确保

$$|v_{be}| \leqslant 5\text{mV} \tag{1.82}$$

这将作为我们继续研究的前提条件。

例 1.17 (a) 如果 $I_D=1\text{mA}$，求出图 1.58a 所示曲线中 i_d 的峰值，其中 v_d 峰值为±5mV。通过式(1.79)近似计算峰值，再通过式(1.76)精确计算。小信号近似中产生的百分比误差是多少？

(b) 当处于图 1.58b 所示的情况下时，重复上题，其中 v_d 的峰值是±18mV。

解：

(a) 由式(1.80)得，$r_d=(26/1)\Omega=26\Omega$. 由式(1.79)，求得 i_d 的峰值为：

$$i_{d(pk)} = \frac{\pm 5\times 10^{-3}}{26}\text{A} \approx \pm 192\mu\text{A}$$

由式(1.76)，i_d的正向峰值和反向峰值分别是：

$$i_{d(POS\,pk)} = 10^{-3}(e^{5/26}-1)A = 212\mu A, i_{d(neg\,pk)} = 10^{-3}(e^{-5/26}-1)A = -175\mu A$$

我们发现小信号近似对正向峰值估算低了(212−192)/192，即10.3%，对反向峰值估算高了(192−175)/192，即8.9%。两个误差都符合式(1.81)，其预测误差大约为±5/52=±9.6%。

(b) 现在式(1.79)预知：

$$i_{d(pk)} = \frac{\pm 18\times 10^{-3}}{26}A \approx \pm 692\mu A$$

运用式(1.76)，或者更简单地利用经验法则，我们求得精确的峰值 $i_{d(pos\,pk)}=1\,000\mu A$ 及 $i_{d(neg\,pk)}=-500\mu A$。低估误差现在是31%，高估误差是38%，两个都是不能接受的。图1.58b所示显著的失真证明了这点。

注意：以上的结果，是由发射系数 $n=1$ 得到的，但可以很容易地被推广出去，只要将式(1.78)、式(1.80)和式(1.81)中的 V_T 换成 nV_T，再把式(1.82)中的5mV换成 n5mV即可。例如，对于 $n=1.5$，式(1.78)变为 $|v_d| \ll 2\times 1.5V_T(\approx 78mV)$，式(1.82)变为 $|v_d| \leqslant 7.5mV$。◄

二极管的小信号模型

式(1.79)和式(1.80)表明，在式(1.78)的条件下，pn结二极管对于小信号 v_d 和 i_d，表现为一个电阻 r_d。图1.60(右)画出了二极管的小信号模型，也称为演化模型。

方便起见，图1.60(左)也画出了大信号模型。初学者应小心不要混淆两者。我们用大信号模型研究直流偏置，例如求静态电流 I_D。用小信号模型去研究二极管对足够小的交流信号的响应。

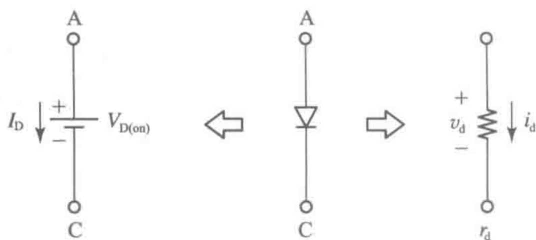


图1.60　pn结二极管的大信号模型(左)和小信号模型(右)

将二极管电压和电流分解为直流和交流分量，同时二极管的大信号和小信号模型都是线性的，这使得我们可以分别进行直流和交流分析，如图1.59a和图1.59c所示。再用叠加原理将直流和交流的结果叠加得到最终结果。下面的例题能更好地进行说明。

例1.18 令图1.61所示的二极管有 $I_s=$ 1fA，$n=1$. 当 $v_S=V_S+v_s=8V+(1V)\sin(\omega t)$ 时，求 $v_D=V_D+v_d$。等式(1.82)中的条件成立吗？

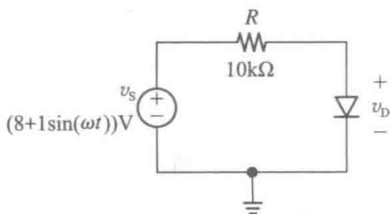


图1.61　例1.18的电路

解：

分别进行直流和交流分析，求得 V_D 和 v_d，再用叠加原理得到 $v_D=V_D+v_d$。

- 参考图1.62a所示电路进行直流分析，此时只有直流分量 V_S 和 I_D。交流分量(v_s 和 v_d)被有意设为0，不会影响直流分析。而且，二极管已经被其大信号模型(电池 $V_{D(on)}$)代替。我们有：

$$I_D = \frac{V_S - V_{D(on)}}{R} = \frac{8-0.7}{10}mA = 0.73mA$$

$$V_D = V_T \ln\frac{I_D}{I_S} = 26\ln\frac{0.73\times 10^{-3}}{10^{-15}}mV = 710mV$$

- 参考图1.62b所示电路进行交流分析，此时只有交流分量 v_s 和 v_d。直流分量(V_S，I_D，V_D)被有意设为0。而且，二极管已经被其小信号模型(动态电阻 r_d)代替。我

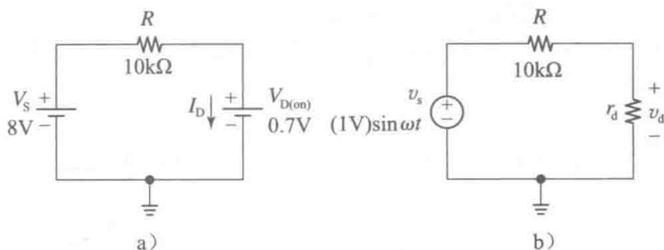


图 1.62　图 1.61 所示电路的(a)直流等效和(b)交流等效

们容易得到：

$$r_d = \frac{V_T}{I_D} = \frac{26}{0.73}\Omega \approx 36\Omega$$

$$v_d = \frac{r_d}{R + r_d} v_s = \frac{36}{10{,}000 + 36} \times (1\text{V})\sin(\omega t) \approx (3.6\text{mV})\sin(\omega t)$$

因为 $3.6\text{mV} < 5\text{mV} \ll 2V_T(\approx 52\text{mV})$，交流近似计算的误差小于 10%。

- 最后，运用叠加原理，得到总二极管电压为：

$$v_D = (710 + 3.6\sin(\omega t))\text{mV}$$

◀

练习 1.7

如果将例 1.18 中二极管与一个 6kΩ 电阻并联，重复分析该题。

提示： 对二极管的外部电路运用戴维南定理。

答案： $v_d = (706 + 4.2\sin(\omega t))\text{mV}$。

作为电流控制电阻的 pn 结二极管

关系式 $r_d = V_T/I_D$ 表明，在小信号工作状态，二极管表现为一个可变电阻，其值可由偏置电流 I_D 进行控制。如果我们使 r_d 成为分压器的一部分，就可以实现电流控制的衰减器。或者，使其成为运放反馈网络的一部分，我们就可以实现电流控制的放大器。这些概念在自动增益控制(AGC)中得到运用，其中一个电路可以控制另一个电路的增益。

图 1.63b 展示了一个电流控制衰减器。电流控制由 I_D 源提供，同时也使二极管产生压降 $V_D = V_T\ln(I_D/I_s)$。为了防止信号源 v_i 干扰二极管的直流偏置点，我们在电路中插入一个交流耦合电容，如图 1.63b 所示。

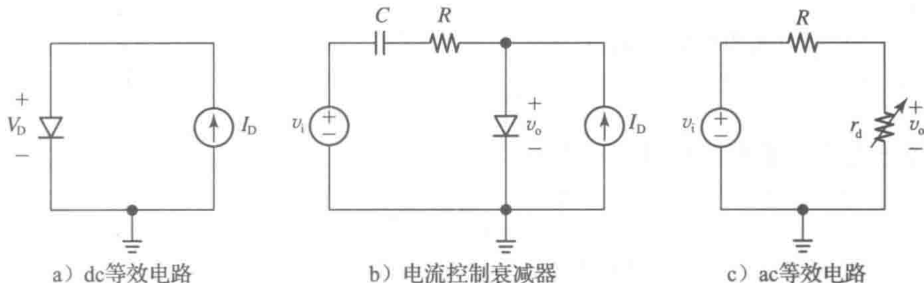


图　1.63

关于电容，我们得到以下的结果。

- 在直流下，C 不吸收电流，所以呈现开路状态。实际上在图 1.63a 所示的直流等效电路中，C 被完全省略掉了。
- 当电路加上电源时，C 开始充电，直到其极板得到相应节点的开路电压为止。所以，左极板仍然是直流 0V，右极板充电至 V_D。
- C 的值是足够大的，以保证其阻抗不能与 R 相比，因此表现为交流短路状态。这要求 $1/(\omega C) \ll R$，或 $C \gg 1/(\omega R)$，其中，ω 是输入信号频率。

为了得到直流等效电路，我们用短路来代替 C，用可变电阻 r_d 来代替二极管。结果如图 1.63c 所示，其中，I_D 由于是直流量可完全忽略，因此其含有 0V 的交流分量。应用电压分压法则，我们得到：

$$v_o=\frac{r_d}{R+r_d}v_i=\frac{V_T/I_D}{R+V_T/I_D}v_i=\frac{1}{1+(R/V_T)I_D}v_i$$

这表明电路增益为：

$$\frac{v_o}{v_i}=\frac{1}{1+(R/V_T)I_D} \tag{1.83}$$

例 1.19 在图 1.63b 所示的电路中使

$$v_i=(5\text{mV})\cos(10^6 t)$$

再使 I_D 在以下范围内变化：

$$(10\mu\text{A})\leqslant I_D\leqslant(1\text{mA})$$

(a) 当 $I_D=100\mu$A 时，增益为 0.5V/V，确定合适的 R 和 C 值。

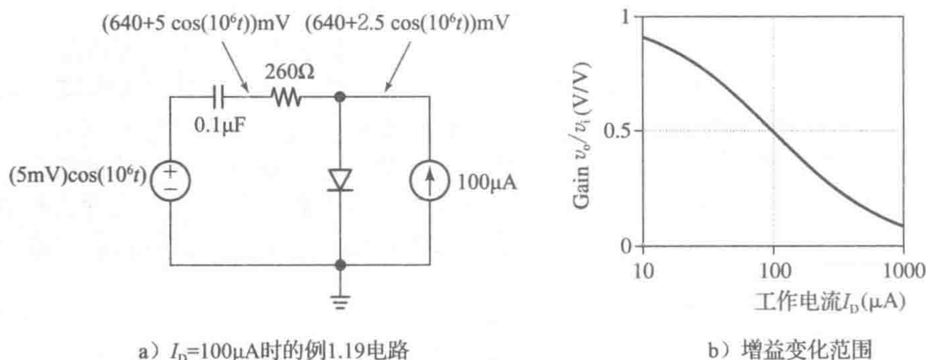
(b) 如果 $I_s=2$fA，求出(a)问中电路所有的节点电压(直流和交流分量)。

(c) 在特定的 I_D 范围内，绘出增益 v_o/v_i 相对于 I_D 的图形。在范围的边缘处，增益和 V_D 的值是多少？

解：

(a) $I_D=100\mu$A 时，有 $r_d=(26\text{mV})/(100\mu\text{A})=260\Omega$。对于 0.5V/V 的增益，所用 $R=260\Omega$。同时，所用 $C\gg 1/(\omega R)=(1/(10^6\times 260))\text{F}=3.8\text{nF}$。例如，可取 $C=0.1\mu$F。

(b) 二极管的压降 $V_D=V_T\ln(I_D/I_s)=0.026\ln[10^{-4}/(2\times10^{-15})]\text{V}\approx 640\text{mV}$，所以节点电压如图 1.64a 所示。



a) I_D=100μA时的例1.19电路　　b) 增益变化范围

图　1.64

(c) 由给定的分量值，式(1.83)给出：

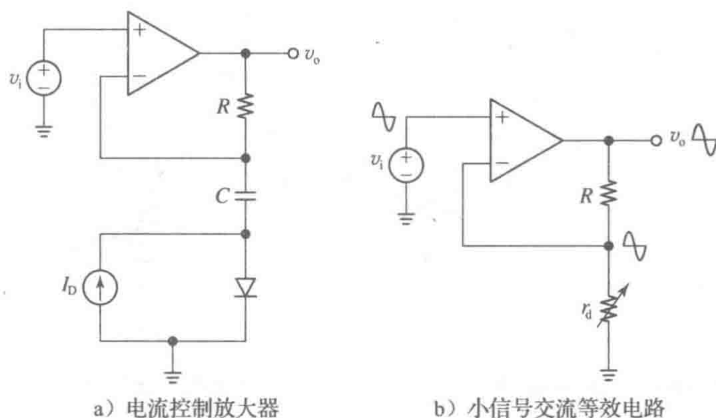
$$\frac{v_o}{v_i}=\frac{1}{1+10^4 I_D}$$

如图 1.64b 所示。在 $I_D=10\mu$A 时，$v_o/v_i=0.91$V/V。并且，由经验法则，$V_D=(640-60)\text{mV}=580\text{mV}$。相似地，在 $I_D=1$mA 时，$v_o/v_i=0.091$V/V，$V_D=700$mV。◀

图 1.65a 显示了如何将二极管与运放连接起来，以制成一个电流控制放大器的。在衰减器的例子中，源电流 I_D 决定了 r_d 的值，而电容用来阻断二极管产生的直流电压分量 V_D。如图 1.65b 所示的交流等效电路，显示了熟悉的同相放大器的结构，其增益为：

$$\frac{v_o}{v_i}=1+\frac{R}{r_d}=1+\frac{R}{V_T}I_D \tag{1.84}$$

这种情形下，C 产生的阻抗与 r_d 范围内所有值相比，都必须是可忽略的。这个条件在 r_d 为最小值时很难满足，所以我们必须使 $C\gg 1/[\omega/r_{d(\min)}]$。



a）电流控制放大器　　b）小信号交流等效电路

图 1.65

例1.20 在图1.65a所示的电路中，使 $v_i=(5\text{mV})\cos(10^4 t)$，并使 I_D 在范围 $(0.1\text{mA})\leqslant I_D\leqslant(1\text{mA})$ 内变化。当 $I_D=1\text{mA}$ 时，增益为100V/V，确定合适的 R 和 C 值。电路的增益变化范围是多少？

解：

在 $I_D=1\text{mA}$ 时，$r_d=26\Omega$。对于100V/V的增益，我们需要 R 满足 $100=1+R/26$，即 $R=2574\Omega$。并且，需要使 $C\gg 1/[\omega/r_d(\min)]=(1/(10^4\times 26))\text{F}=3.8\mu\text{F}$。例如，取 $C=100\mu\text{F}$。

在 $I_D=0.1\text{mA}$ 时，$r_d=260\Omega$，所以增益是 $(1+2\,574/260)\text{V/V}=11.9\text{V/V}$。因此当 I_D 从1mA变化到0.1mA时，增益从100V/V变化到10.9V/V。◀

1.12　击穿区工作状态

击穿(BD)区非常陡峭的二极管曲线表明，我们可以用二极管产生基准电压，只不过是近似的。基准电压是一个可以提供恒定输出电压 V_O 的电路，无论输入电压 V_I 和负载电流 I_L 如何变化。这样的电压被用作其他电路的参考，如数据转换器、万用表，及受控电源，或用于驱动要求稳定电源的电路，我们通常称之为负载(L_D)。我们知道，击穿区特性曲线斜率的倒数被记作 r_z，称为击穿区的动态电阻。r_z 越小，特性曲线越陡峭。根据图1.50所示的击穿区二极管模型，当 r_z 趋近于0时，二极管将表现为一个完美电压源 V_{Z0}。

我们知道，击穿效应是有两种不同的机制引起的：击穿电压小于6V时为齐纳击穿，击穿电压大于6V时为雪崩击穿。特殊设计的工作在击穿区的二极管，无论击穿机制是何种，都称为齐纳二极管，其电阻 r_z 值在几欧姆到几十欧姆之间。商用的齐纳二极管与电阻(有10%的误差)有相同的标准值，如4.3、4.7、5.1、5.6、6.2、6.8、7.5、8.2、9.1、10、…制造商的数据表通常记录了击穿曲线上一些特殊电流值 I_Z 下的 V_Z 和 r_z，这些值是远离拐点的。参考图1.50所示的击穿模型，我们可以间接求得推测值 V_{Z0} 为：

$$V_{Z0}=V_Z-r_z I_Z \tag{1.85}$$

例1.21 一个齐纳二极管的 $r_z=10\Omega$，$I_Z=20\text{mA}$ 时，$V_Z=6.2\text{V}$。求出 V_{Z0} 和 $I_Z=10\text{mA}$ 时的 V_Z 值。

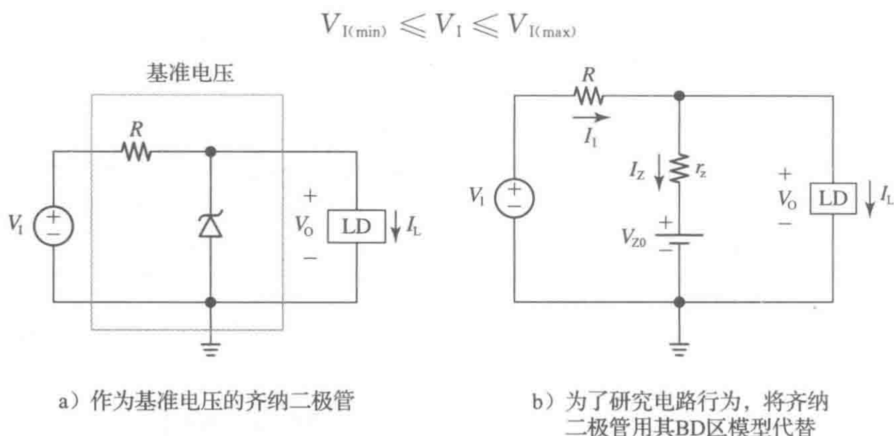
解：

由式(1.85)，$V_{Z0}=(6.2-10\times 0.02)\text{V}=6.0\text{V}$。仍由式(1.85)，$V_Z=V_{Z0}+r_z I_Z=(6.0+10\times 0.01)\text{V}=6.1\text{V}$。◀

作为基准电压的齐纳二极管

图1.66所示的说明了齐纳二极管作为简单的基准电压的运用。通常而言，V_I 是一个不确定的电压，只知道其值在以下的特定范围内变化：

$$V_{\mathrm{I(min)}} \leqslant V_{\mathrm{I}} \leqslant V_{\mathrm{I(max)}}$$



a）作为基准电压的齐纳二极管

b）为了研究电路行为，将齐纳二极管用其BD区模型代替

图 1.66

如果 V_I是一个稳定且可知的电压，那 V_I自身就成了基准电压！并且，设定电路工作在任意的负载电流下，直到一个特定的满刻度值 $I_{L(fs)}$为止，即

$$0 \leqslant I_L \leqslant I_{L(fs)}$$

串联电阻 R 有两方面的功能：一是降低输入源与二极管间的电压差值，二是提供负载所需电流并保证二极管一直工作在击穿曲线的足够下方处，该处的 r_z很小。必须使二极管的工作点远离曲线的拐点(更别说进入截止区了)，因为在该处二极管就不再表现为一个电压源 V_{Z0}了。

借助图 1.66b 所示电路，我们可以更好地理解 R 的功能，图 1.66b 所示的电路是用齐纳二极管击穿区的等效模型替换齐纳二极管后重新画成的。显然，V_O是 V_I、V_{Z0}和 I_L的函数。实际上，运用叠加原理容易得到：

$$V_O = \frac{r_z}{R+r_z}V_I + \frac{R}{R+r_z}V_{Z0} - (R \mathbin{/\!/} r_z)I_L \tag{1.86}$$

例 1.22 (a) 用例 1.21 中的二极管实现图 1.66a 所示的电路，其中，$r_z=10\Omega$，$V_{Z0}=6.0\mathrm{V}$。如果 $V_I=(20\pm5)\mathrm{V}$，$I_{L(fs)}=10\mathrm{mA}$，要保证二极管电流不低于 5mA，求对应的 R 值。

(b) 假设电路是用最接近(a)问中计算值的误差 5% 的标准电阻构成的，求出在(a)问的规格下，V_O能获得的最大值与最小值。V_O变动的百分比是多少？评价你的结果。

解：

(a) 由图 1.66b 所示电路显然可得 $V_O=V_Z$，所以在 $I_Z=5\mathrm{mA}$ 时有 $V_O=V_{Z0}+r_zI_Z=(6.0+10\times0.005)\mathrm{V}=6.05\mathrm{V}$。在 V_I最小(15V)而 I_L最大(10mA)时，二极管电流最小，所以，R 必定为：

$$R = \frac{V_{\mathrm{I(min)}} - V_0}{I_{\mathrm{Z(min)}} + I_{\mathrm{L(fs)}}} = \frac{15-6.05}{5+10}\Omega \approx 600\Omega$$

最接近的标准值是 620Ω 及 560Ω。安全起见，选择 560Ω。

(b) 再由图 1.66b 所示电路，我们注意到在 V_I最大(25V)而 I_L最小(0mA)时，V_O最大，所以用式(1.86)求得：

$$V_{\mathrm{O(max)}} = \left(\frac{10}{560+10}\times25 + \frac{560}{560+10}\times6.0 - 0\right)\mathrm{V} = 6.333\mathrm{V}$$

相反地，在 V_I最小(15V)而 I_L最大(10mA)时，V_O最大，所以

$$V_{\mathrm{O(min)}} = \left(\frac{10}{560+10}\times15 + \frac{560}{560+10}\times6.0 - (560 \mathbin{/\!/} 10)\times0.01\right)\mathrm{V} = 6.060\mathrm{V}$$

V_O的总变化值是(6.333−6.060)V=0.273V，即 0.273/6.2=4.4%。考虑到其使 V_I和 I_L的满刻度值都有更宽的变化范围，故这是一个很好的结果！ ◀

电源和负载调整率

基准电压的输出应与 V_I 和 I_L 无关，所以式(1.86)中只有右侧第二项是可取的。其他两项都应该是零，只有在 $r_z \to 0$ 时电路才能满足这个条件。参考电压的性能可以通过两个参数来确定：线性调整率和负载调整率，这两个参数都是从电压稳压器术语中借用来的。线性调整率，表示 V_I 每变化 1V 时，V_O 变化多少 mV；负载调整率，表示 I_L 每变化 1mA 时，V_O 变化多少 mV。由式(1.86)可得，对于这个电路，有：

$$\text{线性调整率} = \frac{\Delta V_O}{\Delta V_I} = \frac{r_z}{R + r_z} \tag{1.87a}$$

$$\text{负载调整率} = \frac{\Delta V_O}{\Delta I_L} = -(R \,/\!/\, r_z) \tag{1.87b}$$

例 1.23 求出例 1.22 中电路的线性和负载调整率。将结果表示为 mV/V、mV/mA 及百分比组成的形式。

解：

线性调整率为 10/570V/V=17.5mV/V。因为 17.5mV 约为 6.2V 的 0.27%，我们也可以说线性调整率为 0.27%/V。同样地，负载调整率为 −(560 // 10)mV/mA=−9.8mV/mA，或 −0.16%/mA。◀

用运放提高基准电压性能

齐纳二极管基准电压的性能可以借助运放获得显著的提升。首先，我们向二极管和负载间插入一个同相放大器使其相互隔离，如图 1.67 所示。因为没有电流流入运放的输入端，穿过齐纳二极管的电压现在为：

$$V_Z = \frac{r_z}{R + r_z} V_I + \frac{R}{R + r_z} V_{Z0} - 0 \tag{1.88}$$

这表明负载调整率是零，这是很理想的特征！运放的存在有助于放大 V_Z，并得到一个可通过改变放大器增益而进行调整的电压 V_O。实际上，由同相放大器法则，运放有：

$$V_O = \left(1 + \frac{R_2}{R_1}\right) V_Z \tag{1.89}$$

所以可以通过改变上式中任意一个电阻的值(如 R_2)，来将 V_O 调整到任意需要的值。

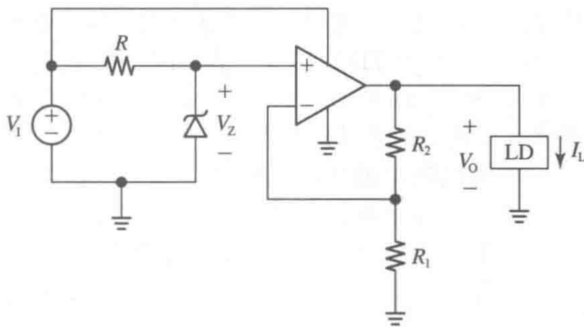


图 1.67　利用运放来提高负载调整率

图 1.67 所示的电路有着糟糕的线性调整率，输入变化 ΔV_I，将导致二极管压降变化 $\Delta V_Z = [r_z/(R + r_z)]$，通过运放传递到输出为 $\Delta V_O = (1 + R_2/R_1)\Delta V_Z$。用我们最开始想调节的电压 V_O 去驱动齐纳二极管，可以完美地消除这个最终的误差来源！

这形成了如图 1.68 所示的电路，形象地称为自调整基准电压。有了这个修正，式(1.88)变为：

$$V_Z = \frac{r_z}{R + r_z} V_O + \frac{R}{R + r_z} V_{Z0}$$

将 V_Z 代入式(1.89)并求解 V_Z，得到：

$$V_O = \frac{(1 + R_2/R_1)}{1 - (R_2 r_z)/(R_1 R)} V_{Z0} \tag{1.90}$$

这表明，此时 V_O 与 V_I 和 I_L 都无关！即线性和负载调整率都变为零了。如果采用常见的 741 运放来构成所示电路，则 V_I 在大约 12V 到 36V 的范围内电路都可以运行，并且可提供最高 25mA 左右的输出电流。有条件进入实验室的学生可以尝试搭建这个电路，直接领会在 V_I 和 I_L 变化范围很宽时，V_O 是多么的稳定。如果观测到了误差，它们会是非常小的，

且主要是由于运放的特性与理想特性有些差异。这个电路也可以通过 PSpice 仿真，用学生版 PSpice 元件库中可用的 μA741 运放模型和齐纳二极管模型即可搭建。但在实验室中搭建真实电路进行试验，更让人满意！

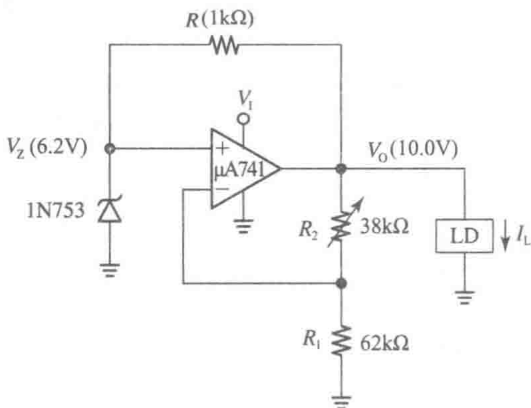


图 1.68 自调整的 10.0V 电压基准

作为基准电压的正向偏置二极管

正向偏置二极管的压降本身有时会当作基准电压使用，特别是在集成电路应用中。图 1.69 所示的电路有 $V_O=V_{D(on)}\approx 0.7V$。如果不采用单个二极管，而是将一串完全相同的二极管互相串联，则 $V_O=V_{D(on)}\approx m0.7V$，即：这种二极管应用被限制在所需的输出电压接近单个二极管压降的整数倍的情况下(例如 0.7V、1.4V、2.1V、…)。

例 1.24 在图 1.69 所示的电路中，令 $V_I=5V$，二极管的 $I_s=1fA$，$nV_T=26mV$。

(a) 当二极管电流为 1mA 时，求 R 值。再假设线性与负载调整率足够小，以维持小信号二极管近似是正确的，求这个基准电压的线性和负载调整率。

(b) 若用电阻代替二极管，比较并分析这两种情况。

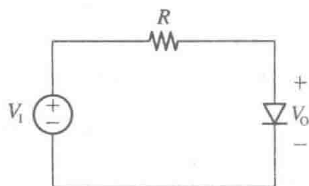


图 1.69 用正向偏置的二极管形成大约 0.7V 的基准电压

解：

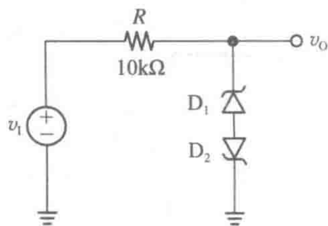
(a) $R=(V_I-V_{D(on)})/I_D\approx((5-0.7)/1.0)k\Omega=4.3k\Omega$。且 $V_O=(26mV)\ln(10^{-3}/10^{-15})=0.718V$。$I_D=1mA$ 时，$r_d=(26/1)\Omega=26\Omega$，所以线性调整率$=r_d/(R+r_d)=(26/(4\,300+26))V/V=6mV/V$，负载调整率$=-R/\!/r_d\approx-26mV/mA$。

(b) 当存在电压分压时，如果要实现同样的输出电压我们需要第二个电阻，值为 $(0.718/1.0)k\Omega=0.718k\Omega$。我们现在有线性调整率为 $(718/(4\,300+718))V/V=143mV/V$，负载调整率为 $(-4\,300/\!/718)mV/mA\approx-615mV/mA$。显然，二极管的表现比分压电阻要好得多。◀

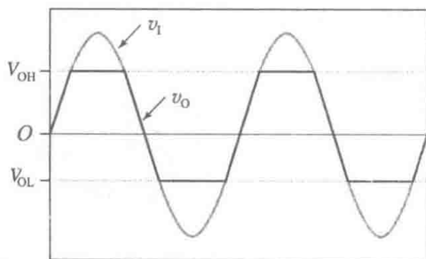
作为电压钳的齐纳二极管

齐纳二极管在击穿区的表现使其适合于稳定电压的钳位应用。图 1.70 所示的例子是基于背靠背连接的一对二极管构造成的。因为其是串联的，所以它们或同时截止，或同时导通(一个处于正向区，另一个处于击穿区)。电路有如下三种可能性。

- 当 V_I 是正向的且足够导通两个二极管时，D_1 将工作在击穿区，D_2 将工作在正向区，如图 1.71a 所示。输出电压被钳位在 $V_{OH}=V_{Z1}+V_{D2(on)}$，这里我们忽略了齐纳二极管相对于 R 的电阻 r_{z1}。显然，这种情况发生在 $v_I>V_{OH}$ 时。
- 当 V_I 是反向的且足够大时，情况反转，



a)



b)

图 1.70 一个齐纳二极管钳位电路及其在输入波形下的效果

此时 D_1 工作在正向区，而 D_2 工作在击穿区。如图 1.71b 所示，输出电压钳位在 $V_{OL}=-(V_{D1(on)}+V_{Z2})$。这种情况在 $V_I<V_{OL}$ 时发生。

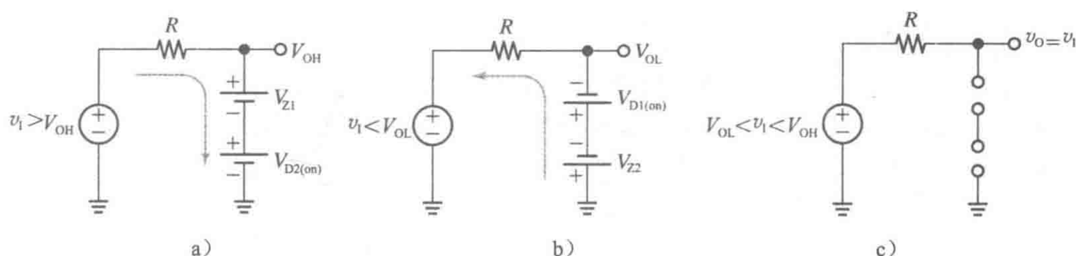


图 1.71　图解图 1.70a 中电路的三种可能条件

- 当 $V_{OL}<v_I<V_{OH}$ 时，没有足够的电压使电阻导通，所以它们都处于开路状态。图 1.71c 画出了这种情况，这时由于没有电流，R 的压降为 0V，则 $v_O=v_I$。我们称此时的 R 是无阻碍的，将 v_O 拉至 v_I。

这种钳位效应如图 1.70b 所示。例如，如果 D_1 是一个 4.3V 型号的齐纳二极管，而 D_2 是一个 6.8V 的齐纳二极管，在正向时，V_O 被钳位为 $V_{OH}=(4.3+0.7)V=5.0V$，在反向时，V_O 被钳位为 $V_{OL}=-(0.7+6.8)V=-7.5V$。

也有一些情况下，电压钳位是关于 0V 对称的，即 $V_{OL}=-V_{OH}$。这要求两个齐纳二极管是匹配的。或者说，我们可以只用一个齐纳二极管，再利用二极管电桥来使其在正向和反向都能表现出相同的钳位功能。电路如图 1.72 所示，此时又有如下三种可能性。

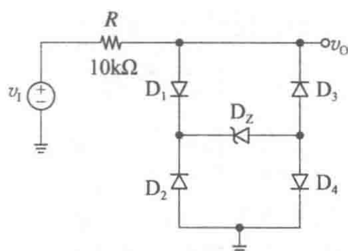


图 1.72　对称电压钳位

- 当 V_I 是正向足够大时，其通过二极管电桥导通齐纳二极管，电流流向为：

  电源 → R → D_1 → D_Z → D_4 → 地

  输出电压被钳位在 $V_{OH}=V_{D1(on)}+V_Z+V_{D4(on)}=V_Z+2V_{D(on)}$。显然，这种情况在 $V_I>(V_Z+2V_{D(on)})$ 时发生。
- 当 v_I 是反向足够大时，电流流向为：

  地 → D_2 → D_Z → D_3 → R → 电源

  这在 $v_I<-(V_Z+2V_{D(on)})$ 时发生。输出电压被钳位在 $V_{OL}=-(V_Z+2V_{D(on)})=-V_{OH}$
- 当 $|v_I|<(V_Z+2V_{D(on)})$ 时，没有足够的电压使任意一个二极管导通，所以它们都呈现开路状态。由于没有电流，R 可以将 v_O 拉至 v_I，则有 $v_O=v_I$。

例如，用一个 5.1V 型号的齐纳二极管，输出电压将被钳位在 ±(5.1+1.4)V=±6.5V。

图 1.73a 显示了用齐纳二极管钳位来限制运放的输出摆动（此例中为反相放大器）。我们得到以下三种可能性。

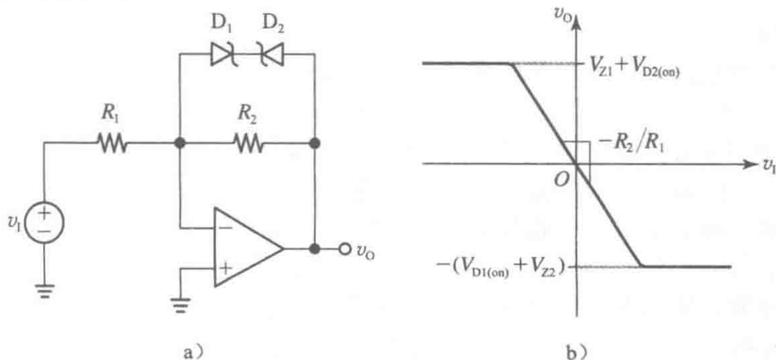


图 1.73　用齐纳二极管限制运放的输出摆动

- 当二极管都截止时，由反相放大器法则可知电路有：

$$v_O = -\frac{R_2}{R_1}v_I$$

如图 1.73b 所示，VTC 是一条直线，斜率为增益($-R_2/R_1$)。因为两个二极管都截止，所有流过 R_1 的电流都通过 R_2 流向右侧。

- 当 v_I 为正向足够大时，两个二极管都导通(D_1 正向，D_2 击穿)，从而在运放虚地的输入端与输出 v_O 间建立起一个固定压降。

因此，输出电压现在被钳位在

$$V_{OL} = -(V_{D1(on)} + V_{Z2})$$

例如，如果 D_2 是一个 4.3V 型号的齐纳二极管，输出电压将被钳位在 $V_{OL} = -(0.7 + 4.3)V = -5V$。当增大 v_I 使其超过钳位电压值时，流过 R_2 的电流仍然固定在 $(V_{D1(on)} + V_{Z2})/R_2$，所以任何从 R_1 流进的过量电流都会被二极管转移至输出端。

- 当 V_I 为反向足够大时，相反的情况发生了(D_1 击穿，D_2 正向)，现在输出被钳位在

$$V_{OH} = +(V_{Z1} + V_{D2(on)})$$

例如，如果 D_1 是一个 6.8V 型号的齐纳二极管，输出将被钳位在 $V_{OH} = +(6.8 + 0.7)V = +7.5V$。

如果想得到对称的钳位，齐纳二极管必须是匹配的。或者说，我们用单个齐纳二极管及一个二极管电桥来代替背靠背连接的一对齐纳二极管，并用图 1.72 所示的方式相连接。

1.13 直流电源

正如名称所暗示的那样，直流电源是提供特定直流电压以驱动其他电路的电路。同时其电源又是由另一个电源供电的，在以下的分析中我们假设它是家用交流电源，在美国其有效值为 120V，频率为 60Hz。因为家用交流电压是正弦的，我们需要将其转换为直流电压。首先我们对其进行整流并去除其反向部分，以保证电压始终是正的。然而，这样得到的是一个脉冲电压，这种电压会周期性地归零。我们需要一个能量存储器件，当整流器输出为零时，储能器件能保证电路电压始终高于某特定值。这种器件就是电容，图 1.74 画出了简单情形下的半波整流器(全波整流器稍后会进行讨论)，并带有负载电阻 R。为了简化电路，图 1.74 所示电路中并没有画出用来降低交流电压值的变压器，它从峰值 $120\sqrt{2}$V 降低到器件所需的值(图 1.74 所示的例子中为 10V)。

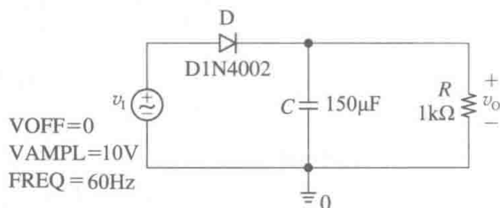


图 1.74 带有负载 R 的直流电源的 PSpice 仿真电路

图 1.74 所示电路的相关波形显示在图 1.75 中，关于这个电路我们有以下的观察结果。

- 在电源打开时，二极管 D 和电容 C 表现为一个峰值检测器，我们观察到了一个大的初始电流对事先假设无电荷的 C 充电，直到输入的峰值为止，最大值应去掉二极管的压降(在本例中为(10－0.7)V＝9.3V。)
- 只要 V_I 离开峰值，二极管将截止，电容成为驱动负载的唯一源。因为 R 吸取电流，C 将放电。然而，在一个精心设计的直流电源中，C 是足够大的，保证在反向阶段二极管截止时，也能一直释放微小电流。
- 当下一个输入正向阶段来临时，v_I 将上升至超过电容电压与二极管压降之和，二极管再次导通，重新将电容充电至输入峰值，当然最大值仍然要去掉二极管的压降。
- 此后所有的波形都重复上述过程，最终的输出电压是纹波电压，二极管电流由尖脉冲组成，这些脉冲发生在二极管导通的时间间隔内。

纹波、导通间隔和二极管电流峰值

我们现在想要研究在直流电源设计中各个参数的相互关系。现在讨论的直流电源并不是精确的系统，所以我们做了若干的假设来加快我们的估算。

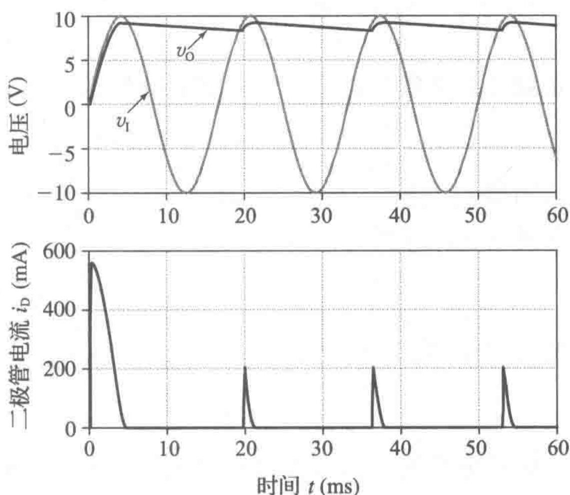


图 1.75　图 1.74 中直流电源的电压(上)和电流(下)波形

如上文提到的，在精心设计的直流电源中，电容是足够大的，以保证纹波相对于交流输入峰值 V_p 而言是很小的，即

$$V_r \ll V_p$$

式中：V_r 为输出纹波的峰峰值。而且为便于研究，假设二极管是理想的，即 $V_{D(on)} \approx 0$。带着这些近似，我们重画电路图及其波形，如图 1.76 所示。显然，电容放电近似是线性的，所以由以下的规则所约束，工程师们将其表示为 $C\Delta v = I\Delta t$，其中，Δv 是纹波 V_r，I 是平均负载电流 I_L，Δt 是二极管截止的时间间隔，即 T_{OFF}。因此有，$CV_r = I_L T_{OFF}$。为求出纹波，我们得到：

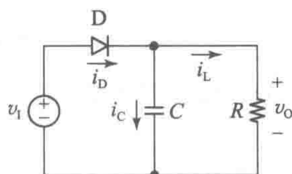
$$V_r \approx \frac{I_L T_{OFF}}{C} \tag{1.91}$$

参考图 1.76 中的上端，我们近似 $I_L \approx (V_p - 0.5V_r)/R \approx V_p/R$，$T_{OFF} \approx T = 1/f$，其中，$f$ 是输入频率。因此，式(1.91)变为：

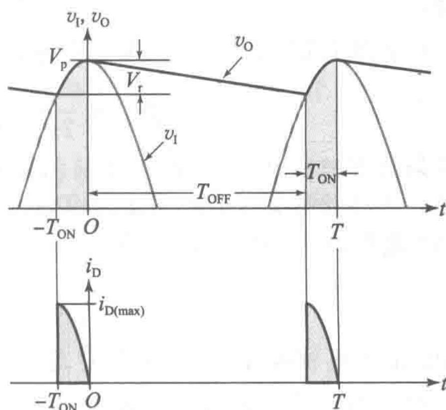
$$V_r \approx \frac{V_p}{fRC} \tag{1.92}$$

如果我们想知道更精确的输出平均值，也称为输出交流分量，记作 V_O，则必须考虑到二极管压降。经检验，有：

$$V_O = V_p - V_{D(on)} - 0.5V_r \tag{1.93}$$



a) 直流电源



b) 电压和电流波形

图 1.76

例 1.25 (a) 估算图 1.74 所示电路的纹波电压。

(b) 若 $V_{D(on)} = 0.7V$，输出的交流分量是多少？若想得到 $V_O = 10V$，V_p 需变为多少？

(c) 如果 V_p 变为 50V，R 变为 10kΩ，求使得纹波电压不大于 2V 的 C 值。

解：

(a) 由式(1.92)，得：

$$V_r \approx \frac{10}{60 \times 10^3 \times 150 \times 10^{-6}} V = 1.1V$$

结果与图 1.75 上端所示相当符合。

(b) 由式(1.93)，$V_O = (10 - 0.7 - 0.5 \times 11)V = 8.75V$，也与图 1.75 上端所示相当符合。$V_O = 10V$ 时，我们将 V_p 提高到 $(10 + 0.7 + 0.5 \times 11)V$，即 $V_p = 11.25V$。

(c) 再用式(1.91)，我们需要

$$C \geq \frac{V_p}{fRV_r} = \frac{50}{60 \times 10^4 \times 2} F \approx 42\mu F$$

◀

我们现在想得出二极管导通间隔 T_{ON} 和电流峰值 $i_{D(max)}$ 的表达式。为了简化估算，我们依旧假设 $V_{D(on)}=0$。参考图 1.76 上端，我们将输入表达为 $v_I(t)=V_p\cos(2\pi ft)$。利用 $v_O(-T_{ON})=v_I(-T_{ON})=V_p-V_r$，得到：

$$V_p\cos[2\pi f(-T_{ON})]=V_p-V_r$$

重新整理并扩展这个余弦方程，可写为：

$$1-\frac{V_r}{V_p}=\cos[2\pi f(-T_{ON})]=\cos(2\pi fT_{ON})=1-\frac{1}{2}(2\pi fT_{ON})^2+\cdots$$

由图易知，条件 $V_r \ll V_p$ 意味着 $T_{ON} \ll T(=1/f)$，所以我们可以忽略展开式中的高次项。求解 T_{ON}，得到：

$$T_{ON}\approx\frac{1}{2\pi f}\sqrt{\frac{2V_r}{V_p}} \tag{1.94}$$

参考图 1.76a，在二极管导通时，由 KVL，有：

$$i_D=C\frac{dv_O}{dt}+i_L=C\frac{d[V_p\cos(2\pi ft)]}{dt}+i_L \tag{1.95}$$

二极管电流的最大值出现在导通间隔的一开始，即 $t=-T_{ON}$。在这个瞬时，我们有：

$$\left.\frac{d\cos(2\pi ft)}{dt}\right|_{t=-T_{ON}}=-2\pi f\sin[2\pi f(-T_{ON})]\approx(2\pi f)^2T_{ON}=2\pi f\sqrt{\frac{2V_r}{V_p}}$$

其中我们近似有 $\sin x\approx x$，同时也运用了式(1.94)。代入式(1.95)，连同近似 $i_L\approx I_L\approx V_p/R$，我们最终得到：

$$i_{D(max)}\approx I_L\left(1+2\pi\sqrt{\frac{2V_p}{V_r}}\right) \tag{1.96}$$

例 1.26 (a) 估算图 1.74 所示电路的导通间隔，并将其表示成周期 T 的百分比。评价你的结果。

(b) 求出以上电路的 $i_{D(max)}$。

(c) 估算导通间隔 T_{ON} 内的平均二极管电流 $i_{D(avg)}$，并评价。

解：

(a) 由例 1.25 得 $V_r=1.1V$，再由式(1.94)，得：

$$T_{ON}=\frac{1}{2\pi 60}\sqrt{\frac{2\times1.1}{10}}\text{s}=1.24\text{ms}$$

由于周期为 $T=(1/60)\text{s}=16.7\text{ms}$，则二极管只在一个周期的 $1.24/16.7=0.075$ 即 7.5% 内导通，这样就保证了近似 $T_{OFF}\approx T$ 是成立的。

(b) 我们有 $I_L\approx V_p/R=(10/1)\text{mA}=10\text{mA}$。由式(1.96)，得

$$i_{D(max)}=10\times\left(1+2\pi\sqrt{\frac{2\times10}{1.1}}\right)\text{mA}=280\text{mA}$$

(c) 由于电流尖脉冲近似为三角形状，我们估算 $i_{D(avg)}\approx i_{D(max)}/2=140\text{mA}$。注意到 $i_{D(avg)}\gg I_L$，则一个显然的结果是，T_{OFF} 间隔内电容向负载输送的电荷必须由二极管在更短的导通间隔 T_{ON} 内补充满。

在设计直流电源时，我们必须选择合适的二极管类型，其在短暂的峰值传导期间有着充分的电流处理能力。同时，我们也必须保证击穿电压比最大反向电压(PIV)高得多，这里的最大反向电压是指二极管在给定电路中要经受的反向电压的最大值。在图 1.74 所示的电路中这个条件发生在 V_I 到达其反向峰值时，在这一点上，由 KVL 可知，通过二极管的电压为 $v_d=-V_p-v_O\approx-V_p-V_p=-2V_p$。因此，

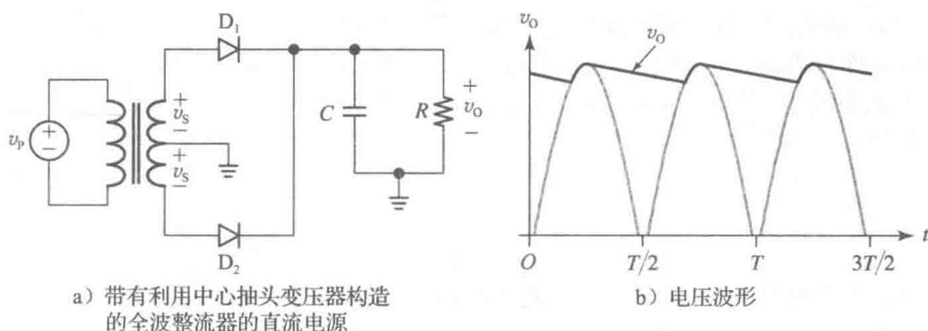
$$\text{PIV}\approx 2V_p \tag{1.97}$$

由图 1.74 所示的数据，PIV=20V。为了安全起见，PIV 的值至少要比计算值高出 50%。在我们的例子中，使 PIV≥1.5×20V=30V。 ◀

带全波整流器的直流电源

显然，如果我们用全波整流器代替半波整流器，纹波将近似降低一半，其他的部分都保持相同。换句话说，我们可以在一半大小的电容下保证相同的纹波，这是非常值得的，因为容值较大的电容，其体积也大。正如之前所说的，由家用交流电源供电的直流电源，都需要一个变压器来将 120V 的交流电压降低到一个更易操控的值，以符合实际应用的需要。我们可以利用这点并采用一个带有一对二极管的中心抽头变压器，来实现全波整流，如图 1.77 所示。一个中心抽头线圈可以看作两个相同线圈反相串联形成的，所以其终端电压与公共节点有关，分别为$+v_s$和$-v_s$。只要如图 1.77 所示加入两个二极管，就得到两个独立的半波整流器，但分别工作在一半周期内，实际上就得到了一个全波整流器。式(1.91)仍然成立。然而，在式(1.92)中我们必须用 $2f$ 代替 f，这表示全波整流后的交流电压周期变为原来的一半，所以频率就变为了 $2f$。因此，式(1.92)和式(1.96)变为：

$$V_r \approx \frac{V_p}{2fRC} \tag{1.98}$$



a）带有利用中心抽头变压器构造的全波整流器的直流电源　　b）电压波形

图 1.77

及

$$i_{D(max)} = I_L\left(1 + 2\pi\sqrt{\frac{V_p}{2V_r}}\right) \tag{1.99}$$

这表明，与半波整流情形相比，V_r和 $i_{D(max)}$都近似变为半波整流情形下的一半，其他的都相同。然而，我们仍然有 $PIV \approx 2V_p$。每个二极管的导通间隔仍然由式(1.94)支配，但式中的 V_r有了一个新的值。

中心抽头变压器的显著缺点就是，其二次线圈的匝数翻倍。如图 1.78 所示的另一种构造方式，它只用了单个二次线圈，但加入了二极管电桥来实现全波整流。

其波形与图 1.77b 所示的波形相似，且式(1.98)和式(1.99)在这种情形下也成立。然而，由于两个二极管压降，式(1.93)变为：

$$V_O = V_p - 2V_{D(on)} - 0.5V_r \tag{1.100}$$

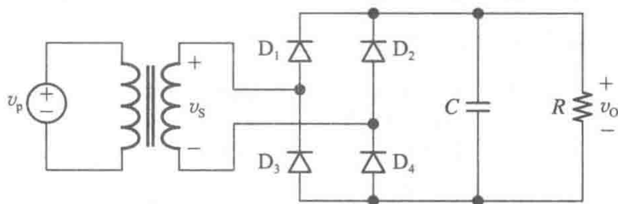


图 1.78 用二极管电桥整流器构造的直流电源

而且，我们现在有：

$$PIV \approx V_p \tag{1.101}$$

考虑到有多种选项可供选择——半波整流、带有中心抽头变压器的全波整流，或是带有二极管电桥的全波整流——设计者应评价每个结构的优点与缺点，并选择最满足实际应用中受成本及复杂度约束的结构。

总结

式(1.94)、式(1.96)、式(1.98)和式(1.99)是在正弦输入的情形下推导出来的，因为

大多数直流电源是由家用交流线供电的，意识到这一点是很重要的。然而，在某些特定情形下，输入不一定必须是正弦的。这作为章末问题中的一个练习，可以将同样的推论应用到非正弦的情形下，并得出 T_{ON}、$i_{D(max)}$ 和 $i_{D(avg)}$ 的专门表达式。同时，为了简化的需要，负载通常用纯电阻进行模拟，更通用的负载模型是诺顿等效电路，它由一个固定的负载电流与一个电阻并联而成。

附录 1A

二极管的 SPICE 模型

SPICE(通用模拟电路仿真器 simulation program with integrated circuit emphasis 的缩写)是强大的计算机仿真工具，用于检验复杂的无法通过手工分析的电路。当今可以获得的 SPICE 版本有很多(网络搜索可以查到一些致力于特定版本的在线社团，会员们在其中交换有用的技巧)。我试着保持所举的 SPICE 例题是通用且简单的，而非专注于某个特定的版本，这样学生们就可以用自己喜爱的 SPICE 版本进行实验。所有的例题都是用学生版本的 Cadence PSpice 创造的。这个可免费获得的版本是一个很强大的教学工具，特别是对于初学者而言，因为你可以通过这个工具学习分散在每一章的各种 PSpice 例题。

但是无论 SPICE 多么强大，它也不能替代真实的理解——这是通过勤奋的推导和耐心的纸笔计算才能获得的。即使电路的复杂度要求运用 SPICE，我们也必须有能力去检验电脑提供结果的正确性，并用手工计算与直观洞察相结合的方法来对其进行抽查。因此，SPICE 只是一个分析助手——即使它是最强的。

在这里已经假设学生在电路课程与实验相类似的预备课程中，对 SPICE 的基础已足够熟悉了(如何用 SPICE 内的元件库去创造电路、如何使 SPICE 在众多分析类型中输出特定的一种、如何用 PSpice 提供的类似示波器的工具——探针来显示波形)。附录的中心内容是介绍二极管的 SPICE 模型。

当我们在 SPICE 原理图中用到半导体器件时，我们需要指定该器件的特性。器件的特性用一列参数项表示，SPICE 会用这些参数创造一个器件的内部模型。表 1A.1 中列出的是能影响 pn 结二极管模型的参数。PSpice 带有一些最流行的半导体器件的模型库，而且用户可以编辑已有模型中的任一个，来创造新的模型。

例如，考虑图 1.51a 所示的 PSpice 电路，其中采用了流行的 1N4148 pn 结二极管。由 PSpice 的惯例，二极管的名称需以字母 D 开始，所以这个元件编号被指定为 D1N4148。为了创造电路，我们用 Place→Part 命令以布置各种组件，再用 Place→Wire 命令来进行互连。当需要放置一个二极管时，进入库的词目表并单击 D1N4148 元件，就能将其放入界面。为了显示其模型，先单击二极管选中它，再右击激活可能动作的下拉菜单。单击 Edit PSpice Model，会出现以下列表：

```
.model  D1N4148    D(Is=2.682n N=1.836 Rs=.5664 Ikf=44.17m Xti=3
+        Eg=1.11 Cjo=4p M=.3333 Vj=.5 Fc=.5 Isr=1.565n Nr=2
+        Bv=100 Ibv=100u Tt=11.54n)
```

表 1A.1 PSpice 二极管模型的主要参数表

符号	名称	参数描述	单位	默认值	实例
I_s	Is	饱和电流	A	10fA	2fA
n	N	发射系数		1	1.5
r_s	Rs	体电阻	Ω	0	2
C_{j0}	cj0	零偏结电容	F	0	1.0pF
m	M	分级系数		0.5	0.33
ϕ_0	Vj	内建电势	V	1V	0.8
T_T	Tt	渡越时间	s	0	0.2ns
V_Z	Bv	击穿电压	V	∞	100V
I_Z	Ibv	击穿电流	A	0.1nA	100μA

表中的参数值与制造商数据表中的值是尽可能相匹配的。我们很容易见到这种特定的二极管类型：$I_s=2.682\text{nA}$，$n=1.836$，$r_s=0.5664\Omega$，$C_{j0}=4\text{pF}$，$m=0.3333$，$\phi_0=0.5\text{V}$，$\tau_T=11.54\text{ns}$。我们还注意到击穿区的起点（i-v 曲线在反向偏置时的拐点）被指定为 100V、100μA（$I_Z=100\mu\text{A}$ 时 $V_Z=100\text{V}$）。完整的表格还包含一些代表高阶效应的附加参数，这超出了我们现在研究的范围。还应注意到运用空格来分离独立的参数，并在列表太长不能显示在一行中时，用+号来表示其连续性。更多细节详见参考文献。

如果你想创造自己实验中所需的二极管模型，你可以通过覆盖（编辑）已有二极管模型中的参数值来实现，例如上文提到的 D1N4148。然而，为了避免丢失原有的 D1N4148 模型，必须给新创造的模型一个新的名称。这就是创造图 2.14 和图 2.16 所示伪理想二极管模型的方法。这个二极管命名为 Dideal，参数表被编辑如下：

```
.model Dideal    D(Is=1n  N=0.001)
```

虽然我们知道实际的 pn 结有 $1\leqslant n\leqslant 2$，但在这里我们人为地指定一个很小的 n 值，以保证指数型 i-v 曲线对于很小的 v 值也能迅速上升，由此就可以近似为一个理想二极管（为了对此有个认识，可用对数二极管法则去验证，为了维持电流 $i=1\text{mA}$，二极管仅需电压 $v=0.36\text{mV}$——将近 0V，这比经典的 0.7V 压降当然要小的多）。这就是我们模拟一个近似理想二极管所需要做的，所以其他的一些参数在表中被忽略掉了。所有被忽略的参数都被自动赋为表 1A.1 中的默认值。

PSpice 元件库中也含有一个 1N750 4.7V 齐纳二极管的模型：

```
.model  D1N750    D(Is=880.5E-18 Rs=.25 Ikf=0 N=1 Xti=3 Eg=1.11
+        Cjo=175p M=.5516 Vj=.75 Fc=.5 Isr=1.859n Nr=2 Bv=4.7
+        Ibv=20.245m Nbv=1.6989 Ibvl=1.9556m Nbvl=14.976
+        Tbv1=-21.277u)
*        Vz = 4.7@20mA, Rz = 300@1mA, Rz = 12.5@5mA, Rz =2.6@20mA
```

以星号开始的最后一行按照惯例是注释行，汇总了关键的特性数据。其表明在 $I_Z=20\text{mA}$ 时，二极管会提供 $V_Z=4.7\text{V}$。另外，击穿区 i-v 曲线斜率的倒数，在文中被记作 r_z，且列举了在几个不同点处的值，在 $I_Z=1\text{mA}$ 时，$r_z=300\Omega$，在 $I_Z=5\text{mA}$ 时，$r_z=12.5\Omega$，在 $I_Z=20\text{mA}$ 时，$r_z=2.6\Omega$。显然，曲线越远离拐点，斜率越陡峭。

用户可以轻易地编辑上述模型来创造一个有着不同额定功率的齐纳二极管。例如，将 Bv=4.7 变为 Bv=6.2，会使得模型变为一个 6.2V 的齐纳二极管。

参考文献

1. R. F. Pierret, *Semiconductor Fundamentals*, Modular Series on Solid State Devices, 2/E, Vol. I, and G. W. Neudeck, *The PN Junction Diode*, Modular Series on Solid State Devices, 2/E, Vol. II, G. W. Neudeck and R. F. Pierret, eds., Addison-Wesley, 1989.
2. R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*, 2/E, J. Wiley and Sons, 1986.
3. R. T. Howe and C. G. Sodini, *Microelectronics: An Integrated Approach*, Prentice Hall, 1997.
4. A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 6/E, Oxford University Press, 2010.
5. R. C. Jaeger and T. N. Blalock, *Microelectronic Circuit Design*, 3/E, McGraw-Hill, 2008.
6. G. W. Gordon and A. S. Sedra, *SPICE for Microelectronic Circuits*, 2/E, Oxford University Press, 1996.
7. IRE Symbols Committee et al., "IEEE Standard Letter Symbols for Semiconductor Devices," IEEE Transactions on Electron Devices, Vol. 11, No. 8, pp. 392–397, August 1964.

习题

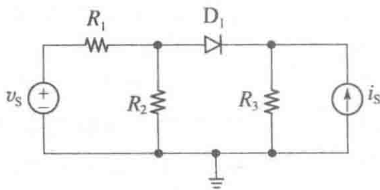
1.1 节

1.1 (a) 在题 1.1 图所示的电路中，使 $v_S=25\text{V}$，$R_1=2\text{k}\Omega$，$R_2=3\text{k}\Omega$，$R_3=1\text{k}\Omega$，$i_S=4\text{mA}$。求穿过二极管上的压降及流过二极管的电流。

(b) $v_S=10\text{V}$，$i_S=10\text{mA}$，重复上问。

(c) $v_S=5\text{V}$，$i_S=3\text{mA}$，重复上问。

(d) 当有第四个电阻 $R_4=1.8\text{k}\Omega$ 与二极管并联时，重复以上三问。分别列出额外电阻有影响和无影响的情形。



题 1.1 图

1.2 (a) 在题 1.1 图所示的电路中，令 $v_S=24V$，$R_1=300\Omega$，$R_2=200\Omega$，$R_3=400\Omega$。当二极管电流为 20mA 时，求 i_S。

(b) 若 $i_S=15mA$，二极管压降为 4V，求 v_S。

(c) 若 $i_S=10mA$，二极管的电压与电流都为零，求 v_S。

(d) 当流过 200Ω 电阻的电流为 30mA、流过 300Ω 的电流为 20mA 时，求 v_S 和 i_S。结果唯一吗？

1.3 重复习题 1.2，但此时二极管被反向连接，即正极在右，负极在左。

1.4 (a) 在题 1.1 图所示的电路中，令 $R_1=200\Omega$，$R_2=300\Omega$，$R_3=100\Omega$，$i_S=30mA$。若 v_S 从 0 到 10V 变化，画出 v_S 提供的电流 i 和穿过 i_S 的电压 v 相对于 v_S 的函数图，并标注。标出所有的分界点和斜率。

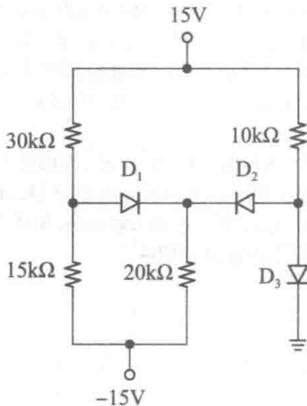
(b) 若 $v_S=5V$，i_S 从 0 到 60mA 变化，画出 v_S 提供的电流 i 和穿过 i_S 的电压 v 相对于 i_S 的函数图，并标注。

1.5 (a) 求出题 1.5 图所示电路中每个二极管的电压和电流。

(b) 若 10kΩ 电阻变为 30kΩ，重复(a)问。

(c) 若 10kΩ 电阻变为 60kΩ，重复(a)问。提示：对从 D_1 阳极看到的电路网络运用戴维南理论。

(d) 若去掉电路中的 15kΩ 电阻，重复(a)问。



题 1.5 图

1.6 在下列条件下，求出题 1.5 图所示电路中各二极管的电流和电压。

(a) D_1 反向，即正极在右负极在左。

(b) D_2 反向，即正极在左负极在右。

(c) D_3 反向，即正极在下负极在上。

(d) 三个二极管同时反向，利用习题 1.5 中的提示解题。

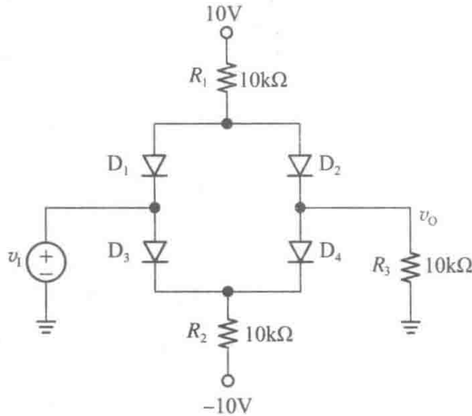
1.7 在题 1.5 图所示的电路中，求以下值：

(a) 若想使 D_3 电压下降到 5V，需将 10kΩ 电阻变为多少？

(b) 若想使 D_1 承载的电流为 0.25mA，需将 20kΩ 电阻变为多少？

(c) 若想使 D_1 电压下降到 0V 且承载的电流为 0mA，需将 15kΩ 电阻变为多少？

1.8 (a) 对于题 1.8 图所示的电路，求出以下情况时的 v_O 值：$v_I=0V$，$v_I=\pm3V$，$v_I=\pm6V$。



题 1.8 图

(b) 若 R_3 变为 30kΩ，重复(a)问。

(c) 若 R_1 变为 30kΩ，重复(a)问。

(d) 若从电路中移除 R_2，重复(a)问。

1.9 (a) 对于题 1.8 图所示的电路，在 $-10V\leqslant v_I\leqslant 10V$ 的范围内，画出 v_O 相对于 v_I 的函数图，并标注。标出所有的分界点及斜率。提示：如果从 0V 开始逐渐增大 v_I，在哪一点 D_1 会截止？如果逐渐降低 v_I，在哪一点 D_3 会截止？

(b) 若 R_3 变为 30kΩ，重复(a)问。

(c) 若在输入输出节点中连接一个 10kΩ 电阻，重复(a)问。

1.10 在题 1.8 图所示的电路中，用 i 代表从源 v_I 的正向端流出的电流。

(a) 在 $-10V\leqslant v_I\leqslant 10V$ 的范围内，画出 i 相对于 v_I 的函数图，并标注。标出所有的分界点及斜率。

(b) 若在标示 v_I 的节点与标示 v_O 的节点之间连接一个额外电阻 $R_4=5k\Omega$，重复(a)问。

提示：利用 $v_I>0$ 时的电路行为与 $v_I<0$ 时相对称这一事实。

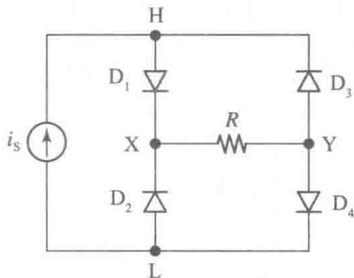
1.2节

1.11 在图1.11题所示电路中，令 i_S 为三角波且峰值为±1mA，$R=5k\Omega$。

(a) 如果Y接地，画出 v_H、v_L 和 v_X 的波形并标注。

(b) 如果X接地，画出 v_H、v_L 和 v_X 的波形并标注。

提示：分别考虑 $i_s>0$ 和 $i_s<0$ 两种情况。



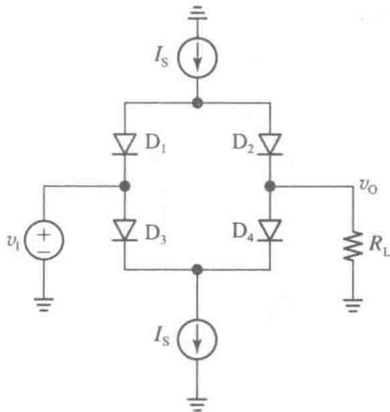
题1.11图

1.12 (a) 证明题1.12图所示的电路在 $|v_I|<R_L I_S$ 时有 $v_O=v_I$，$v_I>R_L I_S$ 时有 $v_O=R_L I_S$，$v_I<-R_L I_S$ 时有 $v_O=-R_L I_S$。

(b) 假设 $R_L=1k\Omega$，v_I 是频率为1kHz峰值为±5V的正弦波，在以下情况下画出 v_I 和 v_O 相对于时间的函数图：$I_S=5mA$，$I_S=2.5mA$，$I_S=0mA$。

(c) 你可以提出一些该电路的可能应用吗？

提示：利用 $v_I<0$ 时的电路行为与 $v_I>0$ 时的相对称这一事实。



题1.12图

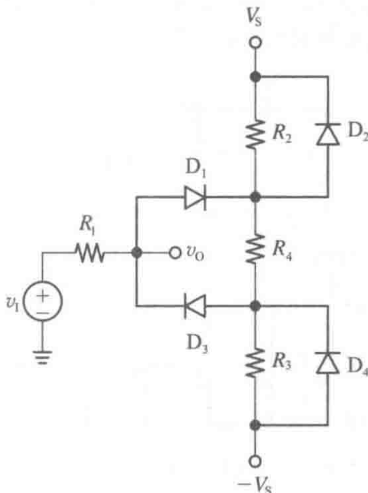
1.13 在题1.12图所示的电路中，令 $R_L=1k\Omega$，$I_S=1mA$，且输入在 $-2V\leqslant v_I\leqslant+2V$ 的范围内变化。画出由输入电源提供的电流 i 和流过各二极管的电流相对于 v_I 的函数图。标出所有分界点和斜率。

提示：利用在任意时间内有 $i_{D1}+i_{D2}=i_{D3}+i_{D4}=I_S$ 这一事实。

1.14 (a) 在题1.14图所示的电路中，令 $R_1=25k\Omega$，$R_2=R_3=30k\Omega$，$R_4=120k\Omega$，$V_S=3V$。如果 v_I 是一个频率为500Hz、峰值为±5V的三角波，画出 v_I 和 v_O 相对于时间的函数图。标出所有分界点和斜率。你能提出一些该电路的可能应用吗？

提示：先考虑 $v_I>0$ 的情形，这时 D_3 和 D_4 是截止的，当 v_I 逐渐从0V上升时，在某一点 D_1 会导通，在另一点 D_2 会导通。再利用电路行为在 $v_I<0$ 时和 $v_I>0$ 时的对称性。

(b) 如果 D_2 和 D_4 被移除了会发生什么？



题1.14图

1.15 在以下条件下，画出习题1.14在 $-6V\leqslant v_I\leqslant+6V$ 的范围内的VTC并标注：

(a) D_2 和 D_4 的方向反转，即它们的正极在上负极在下。

(b) 从电路中移除 D_2 和 D_4。

(c) 从电路中移除 D_2、D_4 和 R_4。

1.16 在题1.14图中标示 v_O 的节点和地之间加入一个20kΩ的额外电阻，重新绘制电路图。

(a) 为 V_S、R_1、R_2、R_3、R_4 指定特定的值，以获得一条穿过原点且对称的VTC，其在 $|v_I|\leqslant6V$ 时斜率为1/2V/V，在 $6V\leqslant|v_I|\leqslant12V$ 时斜率为1/3V/V，$|v_I|\geqslant12V$ 时斜率为0V/V。

提示：利用VTC的对称性，画出其在 $v_I\geqslant0$ 情形下的图形，并标示出对应于三条线段的分支电路。

(b) D_2 和 D_4 被移除后，VTC会发生什么变化？

(c) 若 V_S 的值翻倍，VTC会发生什么变化？

1.17 在如图1.22a所示类型的钳位电容电路中，

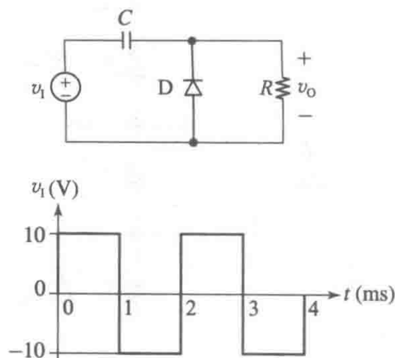
令 v_I是一个频率为 1kHz、峰值为+10V 和 −5V 的三角波，$C=1\mu F$。

(a) 画出 v_I、v_O和二极管电流 i_D相对于时间的函数图并标注。假设 C 一开始不带电荷，并使 v_I 从 0V 开始上升的时刻为 $t=0$。

(b) 将二极管反向，此时正极在上负极在下，重复(a)问。

(c) 若频率翻倍会发生什么？减半呢？

1.18 在题 1.18 图所示的电路中，令 $C=1\mu F$ 且一开始不带电荷。若 $v_I(t)$是如题 1.18 图所示的方波，画出 $v_O(t)$的波形并标注。先画出 $R=\infty$的情形，再画出 $R=5k\Omega$ 的情形。比较两种情形，并评论。



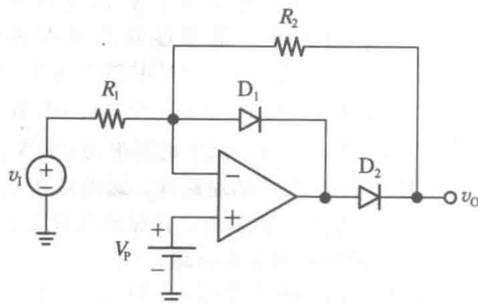
题 1.18 图

1.19 (a) 在题 1.18 图所示电路中用方向向下的 1mA 电流源来代替 R，重新绘制电路。假设 C 上开始无电荷，若 $v_I(t)$是如题 1.18 图所示的方波且 $C=1\mu F$，画出 $v_O(t)$的波形并标注。

(b) 当 1mA 电流源方向向上时，重复(a)问。比较两种情形，并评论。

1.3 节

1.20 (a) 在题 1.20 图所示的电路中，若 $R_2=R_1$，$V_P=0$，求 v_O和 v_I间的关系式。



题 1.20 图

(b) 若 $R_2=2R_1$，重复(a)问。

(c) 若 $R_2=4R_1$，且二极管均反向即此时指向左侧，重复(a)问。

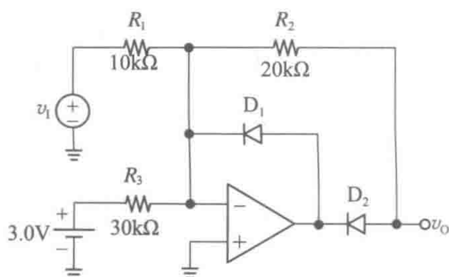
1.21 (a) 在题 1.20 图所示的电路中，若 $R_2=2R_1$且 $V_P=1.0V$，画出 VTC 并标注。

提示：如果 v_I足够高并保持 D_1 导通，我们必须把 v_I 降低到多少才能使 D_1 截止？

(b) 若 $R_2=3R_1$，且二极管均反向，即此时指向左侧，重复(a)问。

1.22 画出题 1.22 图所示电路的 VTC 并标注。

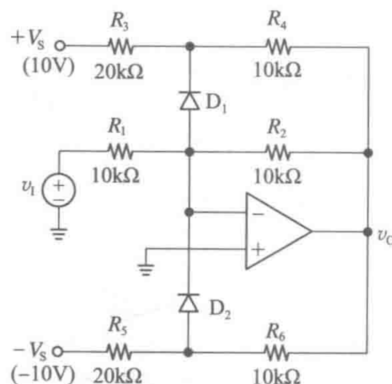
提示：如果 v_I足够高并保持 D_1截止，我们必须把 v_I 降低到多少才能使 D_1 导通？



题 1.22 图

1.23 当两个二极管都截止时，题 1.23 图所示的电路是一个反相放大器，有 $v_O=-(R_2/R_1)v_I$。但有一个二极管导通时情况会变为怎样？分析电路并画出在 $-10V\leqslant v_I\leqslant+10V$ 范围内的 VTC 并标注。标出所有分界点和斜率。

提示：先试验 $v_I\geqslant0$ 的情形，这时 $v_I=0V$，D_1截止，但增大 v_I最终会使 D_1导通。再利用电路行为在 $v_I<0$ 时和 $v_I>0$时的对称性。



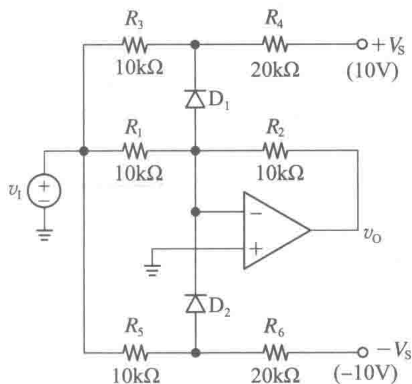
题 1.23 图

1.24 将题 1.23 图所示电路中的 R_2从 10kΩ 变为 20kΩ，$\pm V_S$从±10V 变为±12V，考虑获得的新电路。假设 v_I是一个频率为 500Hz、峰值为±9V的三角波，利用习题 1.23 的提

示，画出 v_I 和 v_O 相对于时间的函数图并标注。

1.25 当两个二极管都截止时，题1.25图所示的电路是一个反相放大器，有 $v_O=-(R_2/R_1)v_I$。但有一个二极管导通时情况会变为怎样？分析电路并画出在 $-7.5V \leqslant v_I \leqslant +7.5V$ 范围内的VTC并标注。标出所有分界点和斜率。

提示：先试验 $v_I \geqslant 0$ 的情形，这时 $v_I=0V$，D_2 截止，但增大 v_I 最终会使 D_2 导通。再利用电路行为在 $v_I<0$ 时和 $v_I>0$ 时的对称性。



题1.25图

1.26 将题1.25图所示的 R_2 从10kΩ变为30kΩ，$\pm V_S$ 从±10V变为±2V，考虑获得的新电路。假设 v_I 是一个频率为500Hz、峰值为±2V的三角波，利用习题1.25的提示，画出 v_I 和 v_O 相对于时间的函数图并标注。

1.4节

1.27 (a) 一块硅板先掺入 $4\times10^{14}/cm^3$ 的硼原子，再掺入 $10^{15}/cm^3$ 的砷原子，求室温下(300K)电子和空穴的浓度 n 和 p。硅板是p型的还是n型的？

(b) 当 T 上升到400K时，求 n 和 p。

(c) 若想将一块 $N_D=10^{16}/cm^3$ 的n型硅板变为空穴浓度 $p=5\times10^{15}/cm^3$ 的p型硅板，需要的受主浓度 N_A 是多少？

(d) 求(c)问中p型硅板的迁移率 μ_n 和 μ_p。

1.28 为了对IC技术中不同材料的导电性能有直观的感觉，假设图1.36a所示硅板长10μm，厚1μm，宽2μm，且用以下这些材料制成，分别估算其电阻 R：

(a) 纯硅。

(b) n^- 型硅，$N_D=10^{16}/cm^3$ 个磷原子。

(c) p^- 型硅，$N_A=10^{18}/cm^3$ 个硼原子。

(d) n^+ 型硅，$N_D=10^{20}/cm^3$ 个磷原子。

(e) p^+ 型硅，$N_A=10^{20}/cm^3$ 个硼原子。

(f) 铝，$\rho=2.7\mu\Omega\cdot cm$。

提示：回顾基本物理中的 $R=\rho L/A$，其中 L 是板长，A 是横截面积，$\rho=1/[q(n\mu_n+p\mu_p)]$ 是其电阻率；用图1.37所示的经验式来求迁移率。

1.29 图1.36a所示类型的硅板长20μm，厚2μm，宽5μm($1\mu m=10^{-4}cm$)，且均匀掺杂了 $10^{14}/cm^3$ 个磷原子。若在板的两端连上1V的电池，求：

(a) 板内电场 E。

(b) 电子和空穴的漂移速率。

(c) 电子和空穴的漂移电流(比较并评论)。

(d) 电子和空穴漂移过整块板子的平均时间。

(e) 板的电阻 R。利用习题1.28的提示。

1.30 图1.36a所示类型的硅板中，$N_A=10^{16}/cm^3$，$L=1\mu m$，横截面积 $=(20\mu m)\times(50\mu m)$。电子从板的左端注入($x=0$)并在右端($x=L$)移出，这样就维持了 $n(x)$ 的线性分布：$n(L)=n_i^2/N_A$，$n(0)=10^{10}n(L)$。求出电流 i 的大小和方向。利用图1.37所示的经验式来求迁移率。

1.31 图1.36a所示类型的硅板长5μm，且沿着 x 轴不均匀掺杂，$N_A(x)=10^{14}[1+10^3\exp(-x/(1\mu m))]/cm^3$。画出 $N_A(x)$ 相对于 x 的函数图，并证明即使硅板不是任何电路的一部分，其内也含有一个非零的内部电场 $E(x)$。计算 $E(0)$ 和 $E(5\mu m)$。

提示：因为硅板不是任意电路的一部分，在平衡态有 $J_{(drift)}+J_{(diff)}=0$。

1.32 图1.36a所示类型的硅板掺入了 $N_D=10^{16}/cm^3$ 个磷原子。空穴从板的右端注入($x=L$)并在左端($x=0$)移出，这样就维持了 $p(x)$ 的分布为 $p(x)=10^{14}[1-\exp(-x/(10\mu m))]/cm^3$。

(a) 在 $0\leqslant x\leqslant 50\mu m$ 的范围内，画出空穴浓度 $p(x)$ 和电流密度 $J_p(x)$ 的图形并标注。

(b) 你可以发现浓度最低时电流密度最高，反之亦然。你发现这里的矛盾了吗？解释它！

1.5节

1.33 若图1.39所示类型pn结的p端掺杂固定在 $N_A=10^{16}/cm^3$ 值，而n端掺杂是如下逐渐增加的，画出电荷密度 $\rho(x)$、电场 $E(x)$，以及静电势 $\phi(x)$ 的图形并标注。

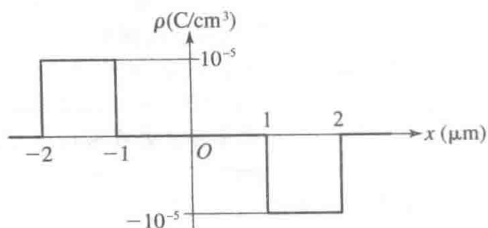
(a) $N_D=10^{16}/cm^3$(均匀掺杂)。

(b) $N_D=4\times10^{16}/cm^3$(非均匀掺杂)。

(c) $N_D=10^{17}/cm^3$(更加非均匀)。比较三种情况并评论。

1.34 已知有一块硅板的电荷密度分布如题1.34

图所示，画出电场 $E(x)$ 以及电势 $\phi(x)$ 的图形并标注。假设 $\phi(0)=0$。



题 1.34 图

1.35 (a) 有一 pn 结其横截面积为 $A=(10\mu m)\times(20\mu m)$，若要保证 $\phi_0=0.7V$，在 $N_D=N_A$ 的约束条件下，求所需的掺杂浓度，及得到的 E_{m0}、x_{p0}、x_{n0} 和 Q_{j0} 值。

(b) 约束条件为 $N_D=10N_A$，重复(a)问。

(c) 约束条件为 $N_D=0.1N_A$，重复(a)问。评论你所得的不同结果。

1.6 节

1.36 图 1.40 所示类型的突变 pn 结中，有 $N_A=10^{16}/cm^3$，$N_D=10^{18}/cm^3$。

(a) 为使 $X_d=1\mu m$，求所需电压。提示：利用 $N_D\gg N_A$ 的事实。

(b) 画出所得电势 $\phi(x)$ 相对于 x 的图形并标注；假设 $\phi(x\geqslant x_n)=\phi_n$。

(c) 在(a)问的电压下，为使 $C_j=1pF$，求所需的横截面积。

1.37 一学生通过测量不同结电压下的电容 $C_j(v)=C_{j0}/(1-v/\phi_0)^m$ 值来描绘一个 pn 结的特性。若已知 $C_j(0)=10pF$，$C_j(-2V)=6.87pF$，$C_j(-8V)=4.87pF$，估算 C_{j0}、ϕ_0 和 m 的值。

提示：你可能会发现，将上式表达为 $m\log(1-v/\phi_0)=\log(C_{j0}/C_j)$ 更加方便。这个结是突变结还是缓变结？

1.38 图 1.40 所示类型的突变结的横截面积为 $A=(25\mu m)\times(50\mu m)$，其掺杂浓度 $N_A=10^{17}/cm^3$，$N_D=10^{19}/cm^3$。

(a) 若 v 从 0V 变为 −1V，求从驱动源转移到 pn 结的电荷总数(反过来呢?)。能引起同样数量电荷迁移的等效电容 C_{eq} 是多少?

(b) 若 v 从 −1V 变为 −2V，重复(a)问。

(c) 若 v 从 −3V 变为 −2V，重复(a)问。比较并评论。

1.7 节

1.39 (a) 一个 pn 结中掺有 $N_D=10^{18}/cm^3$ 个磷原子和 $N_A=10^{19}/cm^3$ 个硼原子，调整穿过其两端的电压，以获得正向 1.0mA 的电流。若你正在空间电荷区内观察此电流，其中哪一部分是由电子流动引起的，哪一部分是由空穴流动引起的？

提示：用图 1.37 所示的公式，为简化分析假设 $\tau_n/\tau_p=1$。

(b) 若 $N_D=10^{16}/cm^3$，$N_A=10^{18}/cm^3$，重复(a)问。

(c) 假设 $N_A=10^{17}/cm^3$，$\mu_n=1.6\mu_p$，且空间电荷区内电子流和空穴流相等，求所需 N_D 的值。

1.40 (a) 将分别有 $I_{S1}=1fA$、$I_{S2}=5fA$ 的两个 pn 结相串联并通过共同的 1V 电源进行正向偏置。假设 $V_T=26mV$，求出每个二极管的压降及共同电流。

提示：利用 $v=V_T\ln(i/I_S)$。

(b) 如果二极管是并联的且由同一个 1mA 电源进行正向偏置，求出每个二极管的电流及共同压降。

1.41 在一个短基区二极管中掺有 $N_D=10^{17}/cm^3$ 个磷原子和 $N_A=10^{16}/cm^3$ 个硼原子，其 $W_p=W_n=1\mu m$，横截面积为 $(25\mu m)\times(50\mu m)$。

(a) 若器件的正向偏置电压 $v=700mV$，求电流 i。

(b) 估算与 W_p 和 W_n 相比，忽略 x_p 和 x_n 所产生的误差。

1.8 节

1.42 (a) 假设一个硅结在其最大内部电场 E_m 达到 300kV/cm 时被击穿，估算例题 1.7 中 pn 结的击穿电压 BV。

(b) 若 N_D 加倍到 $2\times10^{16}/cm^3$，重复(a)问。

1.43 当学习 BJT 时我们会发现，npn BJT 中的基集结是一个 n 端轻掺杂的 pn 结，以保证击穿电压 BV 很高。假设一个硅结在其最大内部电场 E_m 达到 300kV/cm 时被击穿，想达到下列的结果，所需掺杂的 N_D 是多少？

(a) BV=100V。

(b) BV=1kV。

提示：利用 $N_D\ll N_A$ 及 $BV\gg\phi_0$ 的事实。

1.44 一学生通过测量不同的 i-v 值来描绘一个 pn 结的特性。最终结果按电压升高的顺序排列为：$(V, I)=(600mV, 4.8\mu A)$，(700mV，100pA)，(800mV，0.81mA)，(9.900V，10mA)，(10.100V，30mA)。该学生并未花时间去记录电压极性和电流方向，他称可以通过基于有根据的推测来弄清它们。假设正向区特性为 $I=I_S\exp[V/(nV_T)]$，$V_T=26mV$，击穿区特性为 $I_Z=(V-V_{Z0})/r_z$，用以上数据求 n、I_S、I_R、V_{Z0} 和 r_z。

1.9 节

1.45 (a) 一学生用 $I_S=1\text{mA}$ 的恒流源对二极管 D_1 进行正向偏置，二极管有 $nV_T=50\text{mV}$。二极管的微变电阻 r_d 是多大?

(b) 若将第二个相同的二极管 D_2 与 D_1 并联，则它们各自的动态电阻及整个两二极管结构的总动态电阻是多少?

(c) 若将第三个电阻 D_3 与(b)问中的并联结构相串联，则它们各自两个二极管各自的动态电阻及整三个二极管结构的总动态电阻是多少? 请再次评论。

1.46 一个特定功率二极管的 $n=2$，正向电流为 10A。电流导通的瞬间，二极管的压降是 900mV。然而，随着内部功耗引起的温度上升，电压开始下降最终稳定于 750mV。

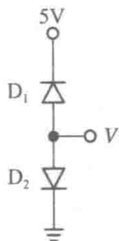
(a) 运用经验法则，估算结上升的温度。

(b) 已知每 1W 上升的温度(℃/W)代表热电阻，则该二极管最终情况下的热电阻为多少?

(c) 若额外串联一个二极管，会发生什么?

(d) 并联呢?

1.47 (a) 在题 1.47 图所示的电路中，D_2 在室温下有 $I_S=2\text{fA}$，$nV_T=26\text{mV}$。若已知 $V=340\text{mV}$，则 D_1 的反向电流 I_R 是多少?



题 1.47 图

(b) 若在(a)问的电路中，将一个与 D_1 相同的二极管 D_3 与 D_1 并联(正极接正极负极接负极)，V 的值为多少?

(c) 若在(a)问的电路中，将一个与 D_2 相同的二极管 D_4 与 D_2 并联(正极接正极负极接负极)，V 的值为多少?

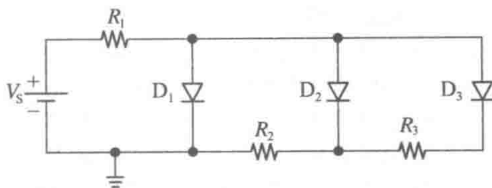
(d) 在(a)问的原电路中，若温度上升了 50℃，V 的值为多少?

提示：像经验丰富的工程师一样，运用经验法则解这道题。

1.48 题 1.48 图所示电路中的二极管在 1mA 下压降为 700mV，且有 $nV_T=26\text{mV}$。若 $V_S=3\text{V}$，且二极管偏置在 $I_{D1}=0.5\text{mA}$，$I_{D2}=0.2\text{mA}$，$I_{D3}=0.1\text{mA}$，求相应的电阻值。

提示：这个问题可用经验法则解决。

1.49 题 1.48 图所示电路中的二极管在 1mA 下压降为 700mV，且有 $nV_T=26\text{mV}$。若$V_S=$



题 1.48 图

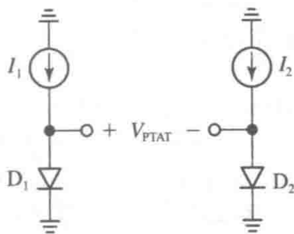
2.4V，$R_2=84\Omega$，$R_3=360\Omega$，求使 $I_{D3}=0.1\text{mA}$ 的 R_1 值。

提示：运用经验法则从右往左分析。

1.50 题 1.48 图所示电路中的二极管在 1mA 下压降为 700mV，且有 $nV_T=26\text{mV}$。若$R_1=2.0\text{k}\Omega$，$R_2=336\Omega$，$R_3=1440\Omega$，求使 $I_{D2}=0.1\text{mA}$ 的 V_S值。

提示：这是个具体的问题，所以可用经验法则解题，并用迭代法求 I_{D3}。

1.51 (a) 利用关系式 $V_D=V_T\ln(I_D/I_S)$，证明题 1.51图所示的电路有 $V_{PTAT}=KT$，其中 K 是与温度无关的比例常数，并求出用 K 表示的二极管饱和电流 I_{S1}、I_{S2}和偏置电流 I_1、I_2 的关系式。假设 $n=1$。电压 V_{PTAT}是指与热力学温度成比例(proportional to absolute temperature: PTAT)，其是数字温度计及其他温度相关测量仪器的基础。



题 1.51 图

(b) 若 $I_1=I_2=100\mu\text{A}$，D_2 的结面积是 D_1 的 10 倍，所以 $I_{S2}=10I_{S1}$，求比例常数 K 的值。

(c) 若(b)问中的偏置电流无意中下降到$I_1=I_2=50\mu\text{A}$，会发生什么情况? V_{PTAT} 的值会变吗?

(d) 若希望使电压 $V(T)=(10\text{mV/℃})T$，求放大(b)问中 V_{PTAT}需要的增益。

1.52 题 1.52 图显示了习题 1.51 中 V_{PTAT}概念的另一种实现方法，其优点是 V_{PTAT}现在以地为参考，而非两个浮动节点电压的差值。为使这个电路工作，必须有 $I_1>I_2$。

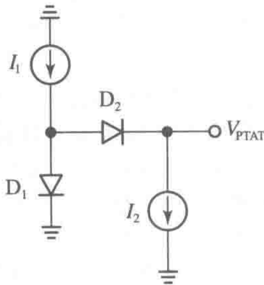
(a) 证明题 1.52 图所示的电路有 $V_{PTAT}=KT$，其中 K 是与温度无关的比例常数，并求出用 K 表示的二极管饱和电流 I_{S1}、I_{S2}和偏置电流 I_1、I_2的关系式。

假设$n=1$。

(b) 若$I_1=100\mu A$，$I_2=20\mu A$，D_1和D_2是相同的，求比例常数K的值。

(c) 若$I_1=100\mu A$，$I_2=50\mu A$，D_2的结面积是D_1的2倍，求比例常数K的值。

(d) 对于(b)问中的条件，利用运放设计一个电路，使$V(T)=(10mV/℃)T$。



题 1.52 图

1.10 节

1.53 在题1.1图所示的电路中，令$v_S=5V$，$R_1=2k\Omega$，$R_2=3k\Omega$，$R_3=1k\Omega$，$i_S=2mA$。假设二极管有$I_S=5fA$，$nV_T=26mV$，求二极管电压(mV)、二极管电流(μA)、电流源两端电压v和流过电压源的电流i。分别用迭代方法和0.7V二极管模型进行分析，比较结果并评论。

1.54 在题1.1图所示电路中，反转二极管方向即现在正极在右，负极在左，得到一个新电路。令$v_S=4V$，$R_1=2k\Omega$，$R_2=3k\Omega$，$R_3=1k\Omega$，$i_S=4mA$。假设二极管有$I_S=20fA$，$nV_T=35mV$，求二极管电压(mV)、二极管电流(μA)、电流源两端电压v和流过电压源的电流i。分别用迭代方法和0.7V二极管模型进行分析，比较结果并评论。

1.55 在图1.10a所示的半波整流器中，v_I是一个频率为500Hz、峰值为±5V的锯齿波。假设$V_{D(on)}=0.7V$，求出v_O的平均值及二极管导通时间占周期的百分比。与$V_{D(on)}=0$的理想二极管情形进行比较，并评论。

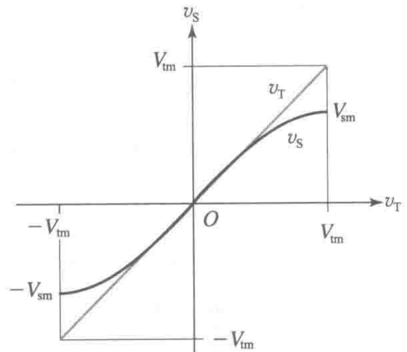
1.56 在图1.12a所示的全波整流器中，v_I是一个频率为250Hz、峰值为±8V的三角波。假设$V_{D(on)}=0.7V$，求出v_O的平均值及二极管导通时间占周期的百分比。与$V_{D(on)}=0$的理想二极管情形进行比较，并评论。

1.57 在信号发生器的设计中，有将三角波v_T变为正弦波v_S的要求。对于v_T和v_S在原点处斜率相同的情形，一个三角-正弦整流器的VTC如题1.57a图所示。在这种情形下，易证明$V_{tm}=(\pi/2)V_{sm}$。题1.57b图所示的电路利用D_1裁掉v_T上端，D_2裁掉v_T下端。由于二极管特性中的圆形拐点，这种裁剪是逐步进行的，从而得到了对题1.57a图所示VTC的粗略近似。我们假设在二极管电流为1mA时，$V_{sm}=700mV$。再假设$nV_T=26mV$，我们需要$I_S=2fA$的二极管。而且，我们有$V_{tm}=(\pi/2)\times0.7V=1.1V$，所以$R=((1.1-0.7)/1)k\Omega=0.4k\Omega$。

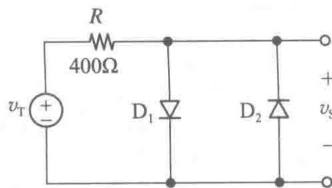
(a) 利用经验法则(18mV/2倍频和60mV/10倍频)来计算以下二极管电流下的v_S和$v_T=R_{iD}+v_S$：$i_D=1\mu A$，$4\mu A$，$10\mu A$，$20\mu A$，$40\mu A$，$100\mu A$，0.2mA，0.4mA，0.5mA，0.8mA，1.0mA。

(b) 利用以上数据，画出v_S相对于v_T的函数图，并验证题1.57b图所示的电路提供了对题1.57a图所示VTC的粗略近似。

(c) 通过PSpice模拟电路。利用频率为1kHz、峰值为±1.1V的三角波，并显示出v_T和v_S相对于时间的图形。



a)

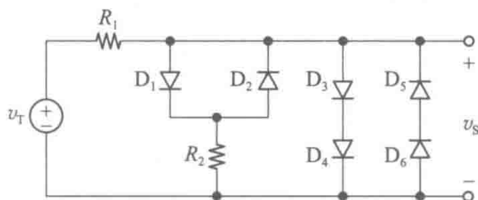


b)

题 1.57 图

1.58 使三角波输入的两侧变圆，同时削去上下部分，可以使题1.57b图所示粗糙的三角-正弦整流器得到相当大改进。题1.58图所示的电路提供了一个VTC，其在原点处斜率为1V/V，此处所有的二极管都是截止的。当v_T开始上升并接近二极管压降时，或是D_1导通，或是D_2导通，都能使R_2接入电路。此时，VTC的斜率降低到$R_1/(R_1+R_2)$。当v_T进一步增大且v_S接近2倍二极管压降时，或是D_3-D_4对导通以削去波形上端，或是D_5-D_6对导通以削去波形下端。我

们假设 $V_{sm}=2\times0.7V=1.4V$，所以 $V_{tm}=(\pi/2)\times1.4V=2.2V$，再假设二极管有 $I_S=2fA$，$nV_T=26mV$，所以在0.7V时可获得1mA电流。为了求得合适的 R_1 和 R_2 值，利用以下两个约束条件：(1)当 v_T 到达正向峰值时，令流过 D_3-D_4 对的电流为1mA；(2)当 v_T 到达正向峰值的一半时，即 $V_{tm}/2$，令电压转换曲线的斜率与此处正弦函数的斜率相等，易求得其为cos45°，即0.707V/V。



题1.58图

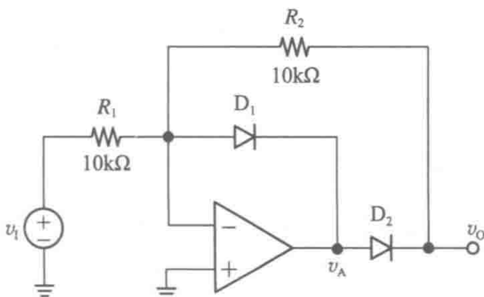
(a) 由以上约束条件，求出 R_1 和 R_2 的适合值。

(b) 通过PSpice对电路进行仿真。利用频率为1kHz、峰值为±2.2V的三角波，并显示出 v_T 和 v_S 相对于时间的图形。运行多次，每次稍微改变 R_1 和 R_2 的值，直到有一组能给出你认为最好的正弦波形为止。

(c) 以(b)问中最佳的波形整形器为基础设计一个电路，其接收峰值为±5V的三角波，得到峰值同样为±5V的正弦波。

提示：在输入端，用合适的分压器代替 R_1，以在满足上述约束条件的前提下，调整增长的三角波。在输出端，采用一个741运放构造的合适的放大器。

1.59 (a) 对于题1.59图所示的电路，画出在 $-5V\leqslant v_I\leqslant+5V$ 的范围内，v_O 相对于 v_I 的图形，并标注。



题1.59图

(b) 假设 $V_{D(on)}=0.7V$，若 $v_I=(5V)\sin(\omega t)$，画出 v_I、v_O 和 v_A 相对于时间的图形并标注。

提示：运用运放规则，并弄清楚在任一给定时刻二极管不是导通就是截止的。

1.60 若习题1.59中运放的同相输入端不再接地而是由2.5V的电源驱动，重做该题。

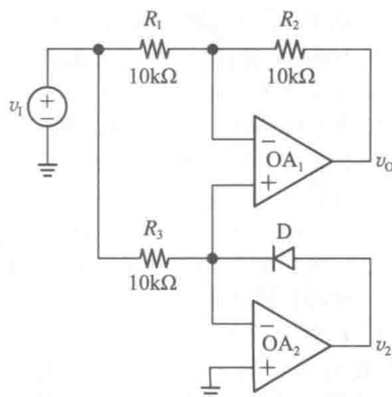
提示：运用运放规则，并分别研究流过 R_1 的电流方向为向右和向左这两种情况。

1.61 若习题1.59中两个二极管都反转，且将 R_2 增大到20kΩ，重做该题。

1.62 在题1.59图所示的电路中，将 R_2 增大到20kΩ，并在 v_I 源的正向端和输入节点 v_O 间加入一个额外电阻 $R_4=5k\Omega$，得到一个新电路。画出该电路，再画出在 $-5V\leqslant v_I\leqslant+5V$ 的范围内，v_O 相对于 v_I 的图形，并标注。

1.63 分析题1.63图所示的电路，并证明由电路可以得到 $v_O=|v_I|$。

提示：分别研究 $v_I>0$ 和 $v_I<0$ 的情形。



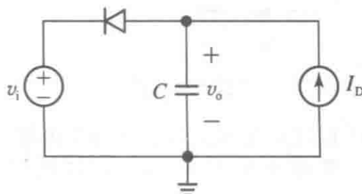
题1.63图

1.64 在题1.63图所示的电路中，在 OA_1 的反相输入端与地之间加入一个额外电阻 R_4，得到一个新电路。分析这个电路，并确定适合的 R_2 和 R_4 值(仍使 $R_1=R_3=10k\Omega$)以使电路给出 $v_O=2|v_I|$。

提示：分别研究 $v_I>0$ 和 $v_I<0$ 的情形。

1.11节

1.65 题1.65图所示的电路利用一个在小信号模式下工作的pn结二极管来实现一个电流控制且截止频率为−3dB的 RC 低通滤波器。



题1.65图

(a) 画出小信号等效电路，导出传递函数 $H(j\omega)$，并证明其−3dB的截止频率是

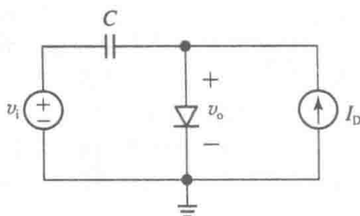
由$\omega_0=I_D/(V_{TC})$算出的。

(b) $I_D=0.1\text{mA}$ 时，$\omega_0=100\text{krad/s}$，求 C。

(c) $\omega=50\text{krad/s}$ 时，$H(j\omega)$的大小为-6dB，求 I_D。

(d) $\omega=500\text{krad/s}$ 时，$H(j\omega)$的相角为$-30°$，求 I_D。

1.66 题 1.66 图所示的电路利用一个在小信号模式下工作的 pn 结二极管来实现一个电流控制且截止频率为-3dB 的 CR 高通滤波器。



题 1.66 图

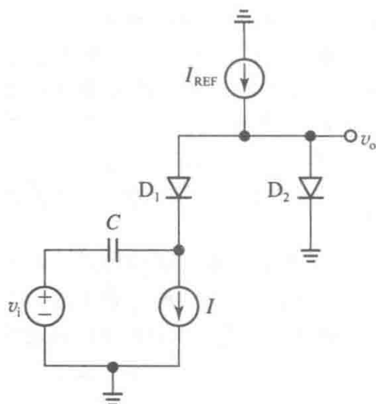
(a) 画出小信号等效电路，导出传递函数 $H(j\omega)$，并证明其-3dB 的截止频率是由 $\omega_0=I_D/(V_{TC})$算出的。

(b) 若$C=33\text{nF}$，在 $I_D=0.1\text{mA}$ 时，ω_0 的值为多少？

(c) 假设 $v_i=(5\text{mV})\cos(10^5 t)$，求 $I_D=0.2\text{mA}$ 时的 v_o（大小和相位）。若所给二极管在 700mV 下的电流为 1mA，输出的直流分量是多少？

(d) $I_D=50\mu\text{A}$ 时，重复(c)问。

1.67 如题 1.67 图所示的是一个精确的电流控制衰减器，其以一对相同的工作在小信号模式下的二极管为基础。



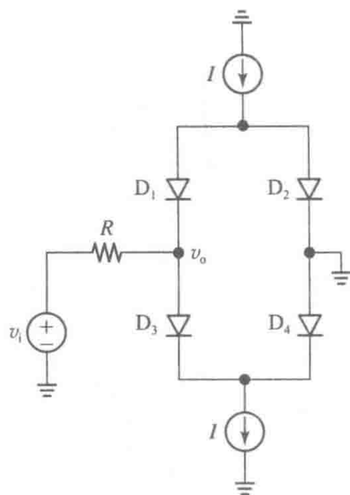
题 1.67 图

(a) 假设 C 足够大以表现为交流短路，画出等效小信号电路，并证明其增益是 $v_o/v_I=I/I_{REF}$。

(b) 若 $I_{REF}=1\text{mA}$，求以下增益下所需的电流 I：1V/V，0.75V/V，0.5V/V，0.25V/V，0V/V。对应的从电容看去的等效电阻 R_{eq}是多大？

(c) 对于所有可能的增益值，在 $\omega=1\text{Mrad/s}$ 下电容都能表现为交流短路，试确定一个适合的 C 值。

1.68 在小信号工作状态下，题 1.68 图所示中的二极管电桥电路为 v_i 和 v_o之间提供了直接信号耦合，而不需要采用任何交流耦合电容。其同时也放宽了小信号约束条件。电路复杂度的增加相比于这些优点来说是值得的，特别是在难以实现大电容的集成电路构造中。



题 1.68 图

(a) 证明在小信号工作状态，二极管电桥表现为一个电流控制的电阻，$r=2V_T/I$。

(b) 证明式(1.82)中的小信号约束条件现在更宽松了，变为$|v_o|\leqslant 10\text{mV}$。

(c) 若 $R=10\text{k}\Omega$，$v_i=(1.0\text{V})\cos(\omega t)$，在 $v_o=(10\text{mV})\cos(\omega t)$时，求 I。

1.69 (a) 用习题 1.68 类型的二极管电桥作为一个电流控制的电阻，连同一个运放设计一个电路，接收输入信号 $v_i=(10\text{mV})\cos(\omega t)$，并在 $I=0.5\text{mA}$ 时以 10V/V 的增益进行放大。

(b) 在 $I=1\text{mA}$ 时，你的电路输出为多少？$I=0.1\text{mA}$ 呢？

1.70 将题 1.12 图所示电路中的 R_L 换为电容 C，考虑新得到的电路。

(a) 假设二极管工作在小信号模式，证明二极管电桥表现为一个电流控制的电阻，$r=2V_T/I_S$。

(b) 画出小信号等效电路，推导出传递函数 $H(j\omega)$，并证明其-3dB的截止频率为 $\omega_0=I_S/(2V_{TC})$。

(c) 在 $I_S=0.1\text{mA}$ 时，$\omega_0=1\text{Mrad/s}$，确定 C 的值。

(d) 若 $v_i=(10\text{mV})\cos(10^6t)$，求在 $I_S=1\text{mA}$ 和 $I_S=10\mu\text{A}$ 时的 v_o（大小和相位）。

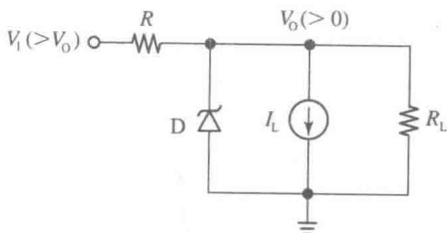
1.12 节

1.71 在题 1.1 图所示的电路中，令 $R_1=R_2=200\Omega$，$R_3=300\Omega$，$i_S=10\text{mA}$，且二极管为齐纳二极管，其 $V_{D(on)}=0.7\text{V}$，$V_Z=5.6\text{V}$。假设 r_z 是可忽略的，若 $v_S(t)$ 是一个频率为 250Hz、峰值为 ±20V 的三角波，画出从二极管看去的开路电压 $v_{OC}(t)$ 与二极管电流波形 $i_D(t)$ 的波形并标注。

1.72 在题 1.1 图所示的电路中，令 $R_1=R_3=12\text{k}\Omega$，$R_2=24\text{k}\Omega$，$v_s=-6\text{V}$，且二极管为齐纳二极管，其 $V_{D(on)}=0.7\text{V}$，$V_Z=10\text{V}$。假设 r_z 是可忽略的，若 $i_S(t)$ 是一个频率为 250Hz、峰值为 ±1mA 的三角波，画出正极电压 $v_A(t)$ 和负极电压 $v_C(t)$ 的波形并标注。
提示：将二极管两端的电路用其戴维南等效电路代替。

1.73 在图 1.66a 所示的基准电压电路中，令 $V_I=18\text{V}$，$R=390\Omega$，$I_L=10\text{mA}$。
(a) 已知二极管在 $I_Z=10\text{mA}$ 时 $V_Z=9.85\text{V}$，在 $I_Z=20\text{mA}$ 时 $V_Z=10.0\text{V}$，求 V_O。
(b) 若以上所有列出的数据都有 ±10% 的误差，估算 $V_{O(max)}$ 和 $V_{O(min)}$。

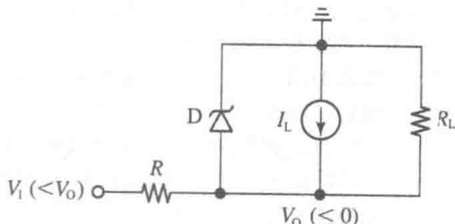
1.74 题 1.74 图所示的基准电压电路运用一个诺顿等效电路作为负载更为实际的模型。令二极管有 $r_z=12\Omega$，在 $I_Z=25\text{mA}$ 时，有 $V_Z=12\text{V}$。



题 1.74 图

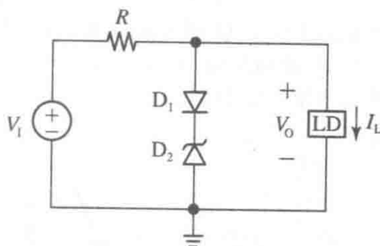
(a) 假设 $V_I=(24\pm6)\text{V}$，$2\text{k}\Omega\leqslant R_L\leqslant5\text{k}\Omega$，$0\leqslant I_L\leqslant8\text{mA}$，为保证二极管电流为 4mA，确定一个 5% 的标准电阻 R。
(b) 电路的电源调整率（mV/V）和负载调整率（mV/mA）是多少？
(c) 估算 $V_{O(max)}$ 和 $V_{O(min)}$。

1.75 题 1.75 图所示的电路是一个反向基准电压电路，因为其接收一个反向电压 V_I，并得到一个反向电压 V_O。另外，负载用诺顿等效来建模。令二极管有 $r_z=10\Omega$，在 $I_Z=20\text{mA}$ 时 $V_Z=6.2\text{V}$。
(a) 假设 $V_I=-(15\pm3)\text{V}$，$2\text{k}\Omega\leqslant R_L\leqslant3\text{k}\Omega$，$0\leqslant I_L\leqslant4\text{mA}$，为保证二极管电流为 3mA，确定一个 5% 的标准电阻 R。
(b) 电路的电源调整率（mV/V）和负载调整率（mV/mA）是多少？注意负载调整率的极性！
(c) 估算 $V_{O(max)}$ 和 $V_{O(min)}$。



题 1.75 图

1.76 击穿电压 V_Z 随着温度变化而变化，这是不受欢迎的，特别是在精密基准电压应用中。一种流行的方式是用一个雪崩二极管来抵消这个变化，该二极管有 $TC>0$，与一个 $TC<0$ 的普通正向偏置二极管相串联，如图题 1.76 所示。我们知道，后者有 $TC=-2\text{mV/℃}$，所以如果我们用 $TC=+2\text{mV/℃}$ 的雪崩二极管，相反的 TC 将相互抵消，得到一个非常稳定的混合压降。$TC=+2\text{mV/℃}$ 的雪崩二极管在 6.2V 型号的附近，所以串联组合的压降大约是 $(6.2+0.7)\text{V}=6.9\text{V}$。



题 1.76 图

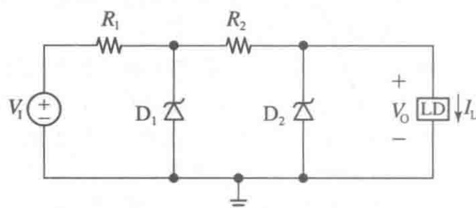
(a) 假设 $V_O\approx6.9\text{V}$，在 $V_I=12\text{V}$、$I_L=2\text{mA}$ 时，雪崩二极管的电流为 3mA，确定 R 的值。
(b) 假设 D_1 的电源和负载变化量都足够小，使得 D_1 的小信号近似成立，若 $r_z=8\Omega$，$nV_T=26\text{mV}$，求出电源和负载调整率（mV/V、mV/mA）。

1.77 用习题 1.76 中描述的串联二极管结构，连同一对 μA741 型运放，设计一个自调整的互补输出基准电压电路，输出为 +10.0V 和 −10.0V。用 5mA 的电流对串联二极管结构进行偏置，并假设可获得调整率很小的 ±15V 电源来驱动你的运放。
提示：只要你获得了 +10.0V 的电压，你就可以通过一个基本的反相运放获得 −10.0V 的电压。

1.78 若在稳压二极管 D_2 前加入另一个稳压二极管 D_1，其电源调整率可以显著地提升，如图题 1.78 所示。显然，为使电路能正常工作，V_{Z1} 必须比 V_{Z2} 大得足够多，一般至少大 30%，同时电阻 R_1 和 R_2 必须足够小，以保证每个二极管在所有可能的电源和负载条件下都能处于击穿区。

(a) 如果 D_1 是一个 $r_{z1}=15\Omega$ 的 10V 齐纳二极管，D_2 是一个 $r_{z2}=10\Omega$ 的 6.2V 齐纳二极管，若 $V_I=18V$，$R_1=1k\Omega$，$R_2=0.75k\Omega$，$I_L=2mA$，求出电源和负载调整率(mV/V、mV/mA)。

(b) 为了领会 D_1 带来的好处，假设我们把 D_1 移出电路，其他部分不变。电源调整率会受到什么影响？负载调整率会受到什么影响？



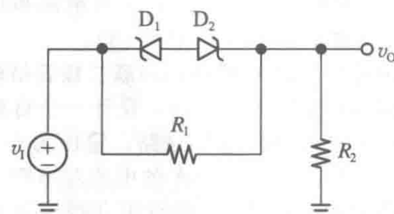
题 1.78 图

1.79 如习题 1.78 提到的，题 1.78 图所示 D_1 的功能是提升了 D_2 电源调整能力。同时电阻 R_1 和 R_2 必须足够小，以保证每个二极管在所有可能的电源和负载条件下都能处于击穿区。

(a) 假设 $V_I=(30\pm5)V$，$V_{Z01}=14.7V$，$r_{z1}=15\Omega$，$V_{Z02}=9.8V$，$r_{z2}=10\Omega$，且 $0\leqslant I_L\leqslant 10mA$，为保证每个二极管的 $I_{Z(min)}=5mA$，给 R_1 和 R_2 确定一个 5% 的标准阻值。

(b) 估算电源和负载调整率(mV/V、mV/mA)。

1.80 在题 1.80 图所示的电路中，令 $R_1=20k\Omega$，$R_2=10k\Omega$，且两个二极管都有 $V_Z=4.3V$，$V_{D(on)}=0.7V$。



题 1.80 图

(a) 画出 VTC 并标注。

(b) 若将 R_1 从电路中移除，重复(a)问。

(c) 若将 D_1 用 6.8V 的齐纳二极管代替，D_2 不变，重复(a)、(b)问。

1.81 将题 1.80 图所示电路中 R_2 与 D_1、D_2 和 R_1 组成的子网络调换位置，所以现在 R_2 在 v_I 和 v_O 间，子网络在 v_O 和地间。令 $R_1=30k\Omega$，$R_2=10k\Omega$，且两个二极管有 $V_Z=6.8V$，$V_{D(on)}=0.7V$。

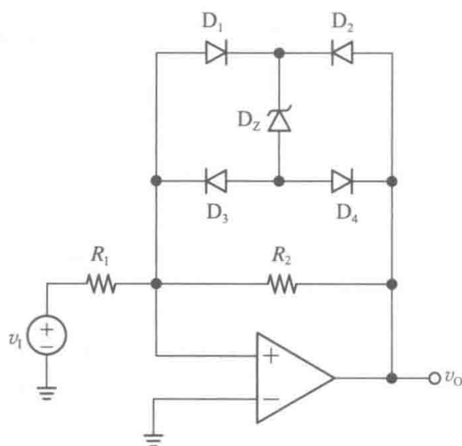
(a) 画出修改后的电路图，再画出 VTC 并标注。

(b) 若 D_1 反向，重复(a)问。

(c) 若两个二极管都反向，重复(a)问。

(d) 若两个二极管都与 R_1 并联，但方向相反(D_1 正极和 D_2 负极连接输出节点，D_1 负极和 D_2 正极接地)。

1.82 在题 1.82 图所示的电路中，令 $R_1=1.0k\Omega$，$R_2=13k\Omega$。



题 1.82 图

(a) 假设齐纳二极管有 $V_Z=5.1V$，且所有的二极管都有 $V_{D(on)}=0.7V$，画出电路的 VTC 并标注。

(b) 若齐纳二极管方向无意中反转了，即正极在上负极在下，重复(a)问。

(c) 若将电阻 $R_3=39k\Omega$ 与齐纳二极管并联，重复(a)问。

1.83 将题 1.82 图所示运放的同相端拉离地面并由源 v_I 驱动，同时将 R_1 的左端接地，得到一个新电路，实际上将运放电路从反相结构变为了同相结构。

(a) 画出修改后的电路图。假设齐纳二极管有 $V_Z=5.1V$，且所有的二极管都有 $V_{D(on)}=0.7V$，若 $R_1=1.0k\Omega$，$R_2=13k\Omega$，画出 VTC 并标注。

(b) 若将电阻 $R_3=39k\Omega$ 与齐纳二极管并联，重复(a)问。

1.13 节

1.84 在图 1.77a 所示的中心抽头全波整流器中，令 v_S 为一个 60Hz、24V(有效值)的交流电

压，且 $R=1\text{k}\Omega$。

(a) 当输出纹波为2V时，确定 C 的值。

(b) 假设 $V_{D(on)}=0.8\text{V}$，求 V_O、$i_{D(max)}$、$i_{D(avg)}$、T_{ON} 及每个二极管的PIV。

(c) 若 D_1 停止工作变为开路状态，其他部分不变，会发生什么情况？重新计算 D_1 失效后变化的参数，比较并评论。

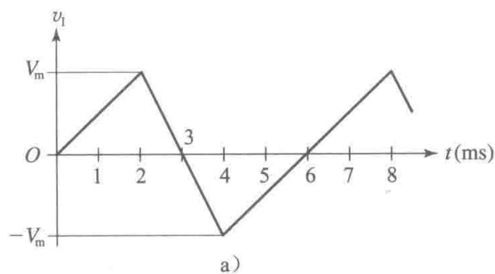
1.85 在图1.78所示的二极管电桥全波整流器中，令 v_S 为一个60Hz、18V(有效值)的交流电压，且使负载流过10mA的电流。

(a) 当输出纹波为1.5V时，确定 C 的值。

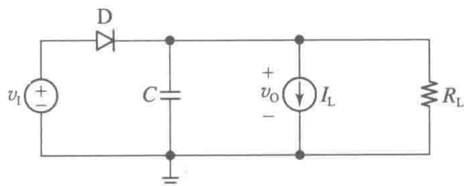
(b) 假设 $V_{D(on)}=0.8\text{V}$，求 V_O、$i_{D(max)}$、$i_{D(avg)}$、T_{ON} 及PIV。

(c) 若 D_4 停止工作变为开路状态，其他部分不变，会发生什么情况？重新计算 D_4 失效后变化的参数，比较并评论。

1.86 题1.86b图所示的电容整流电路由如题1.86a图所示的不均匀三角波输入驱动，并带有以诺顿等效电路建模的负载。输入波形有 $V_m=10\text{V}$，负载有 $I_L=10\text{mA}$，$R_L=1\text{k}\Omega$。



a)



b)

题1.86图

(a) 假设 $V_{D(on)}=0.7\text{V}$，当输出纹波是0.5V时，确定 C 的值。

(b) 画出 v_O 和二极管电流 i_D 相对于时间的图形并标注(将 v_O 画在 v_I 的时序图中)。

(c) 求 V_O、$i_{D(max)}$、$i_{D(avg)}$、T_{ON} 及PIV。

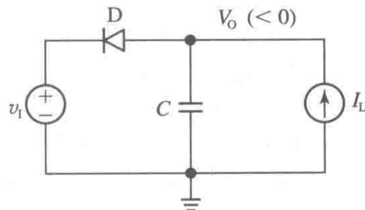
警告：文中在正弦输入和纯阻性负载情形下得出的方程，并不适用于现在的情形。你需要通过简单的推导得出自己的方程。

1.87 题1.87图所示的是一个反向直流电源。令 v_I 为图题1.86a所示的不均匀三角波，且峰值为 $V_m=12\text{V}$，令负载为 $I_L=10\text{mA}$。

(a) 假设二极管有 $V_{D(on)}=0.85\text{V}$，当输出纹波是0.5V时，确定 C 的值。

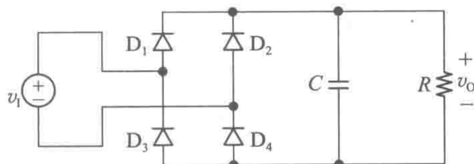
(b) 将 $v_O(t)$ 与 $v_I(t)$ 画入同一张图并标注，再在另一张图上画出 $i_D(t)$ 的图形。

(c) 求 V_O、$i_{D(max)}$、$i_{D(avg)}$、T_{ON} 及PIV。阅读习题1.86中的警告。



题1.87图

1.88 在题1.88图的电路中，令 v_I 为一个频率为1kHz峰值为±24V的锯齿波，且 $R=2\text{k}\Omega$。



题1.88图

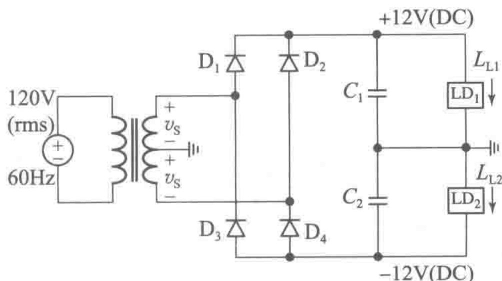
(a) 假设二极管有 $V_{D(on)}=0.75\text{V}$，当输出纹波是1V时，确定 C 的值。

(b) 假设 v_I 在 $t=0$ 时刻开始于−24V，并在 $t=1\text{ms}$ 时达到+24V，画出 v_O 和二极管电流 i_D 相对于时间的图形并标注(将 v_O 画在 v_I 的时序图中)。

(c) 求 V_O、$i_{D(max)}$、$i_{D(avg)}$、T_{ON} 及PIV。阅读习题1.86中的警告。

1.89 习题1.88中，若 v_I 是一个频率为 $f=1\text{kHz}$、峰值为±24V的均匀三角波，重做该题。

1.90 一学生决定设计并搭建一个如题1.90图所示的互补输出直流电源，来对一些运放电路供电。电源需向负载提供±12V的直流输出，每个负载的电流需达到100mA，且纹波不能大于0.5V。



题1.90图

(a) 假设二极管有 $V_{D(on)}=0.8\text{V}$，求出流过整个次级线圈的正弦波振幅，及所需的 C_1、C_2 值。

(b) 画出两个电源电压，表示出纹波并需考

虑二极管压降。

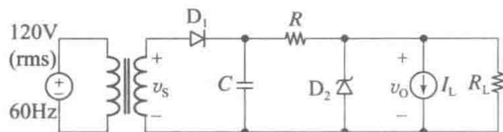
(c) 求 V_O、$i_{D(max)}$、$i_{D(avg)}$、T_{ON}及 PIV。

提示：只需关注在电源正向时的分析及计算，电源反向时的情形与正向时是对称的。

1.91 一学生想用题 1.91 图所示的电路设计一个 15V 的基准电压，其能提供的最大负载电流(I_L和 R_L 之和)为 25mA。齐纳二极管 D_2 有 $r_z = 10\Omega$，且在 $I_Z = 25mA$ 时有 $V_Z = 15V$，整流二极管 D_1 有 $V_{D(on)} = 0.8V$。

(a) 作出有根据的决定，确定变压器线圈匝数的比值 n、电容 C、串联电阻 R 和整流二极管 D_1 ($i_{D(max)}$、$i_{D(avg)}$ 和 PIV)。

(b) 穿过负载的纹波量为多少？



题 1.91 图

第2章
双极型晶体管

真空二极管的发明论证了可以设计出结构丰富且实用的电路。毫无疑问在真空二极管发明之前，只用入门级电路课程中所学的线性器件很难设计出这些有用的电路。三极管(又称三端真空管)的发明，又一次极大地扩大了电子学的视野。1906年，李·德福雷斯特(Lee DeForest)改进了弗莱明(Fleming)二极管阀(第1章的开篇部分已经讨论过)，在正极和负极之间插入第三个端口(称作栅极)，用于调节负极向正极方向的电流。通过传声器的音频信号驱动栅极，正极(重新命名为衬底)能产生更强的信号，然后运用该信号驱动扬声器。这种新型管阀(恰当的名称是“三极真空管”)，实际上是一种放大器，随后被用于无线电探测器和振荡器的设计。事实上，接下来的半个世纪里，真空管在电子学中占据了主要地位。通过增加栅极创造了四极管和五极管，电子学得到了进一步的发展。在这期间，出现了许多里程碑式的创新，例如无线电通信(调幅和调频)、电视、雷达的发展，以及第二次世界大战后第一代数字计算机的发展。

三极管的核心原理是运用其中的一端(栅极)来控制其他两极(负极和衬底)之间的电流。三极管可视作水动力模拟中的阀门。从电路的角度来看，三极管只是运用了我们在入门级电路课程中所学过的受控源(或者非独立源)的概念。在一块半导体材料上实现三极管的功能，这是电子学里下一轮里程碑式的发展。这种三极管称作晶体管，它由约翰·巴丁(John Bardeen)，沃尔特·布喇顿(Walter Brattain)，和威廉·肖克莱(William Shockley)于1947年在Bell实验室发明出来。它最接近于我们今天所称的npn双极型晶体管(BJT)。这种晶体管由一块n型半导体材料组成，其中(a)一端n型重掺杂(n^+型)以产生大量自由电子，因此称作“发射极”；(b)发射极的相对端，其工作原理和三极管的衬底相似，因此称作“集电极”；(c)夹杂中间极薄的p型层，称作“基极”，将电子按受控的方式从发射极引向集电极，就像三极管中的栅极。使得三极管以及其后的晶体管用途如此之大的原因是其受控的输出功率可以比施加在其基极的控制功率高得多。正是如此，三极管及晶体管称为有源器件，也称为放大器。当然，功率不会被有源器件凭空产生或者放大，只是简单认为采用较小的栅功率控制较大的外部功率(如电源提供的)输出的转换。经典的例子是汽车无线电，其中一低功率的无线电接收器通过一音频功放控制驱动扬声器，驱动扬声器的大功率来自汽车电源。事实上，晶体管(transistor)这个名字是由单词转换(transfer)和电阻器(resistor)缩写而成的。总之，晶体管本质上是无源器件，但是，它与外接电源混合使用时，就被用作有源器件。

新发明的晶体管很快就替代了笨重、高功耗、低可靠性的真空管。实际上，如果将电源及周边器件进行适当的缩放，第一个晶体管电路只是真空管电路原型的虚拟复制品。采用这种新型器件的消费电子产品在20世纪50年代才出现，称为手持式全晶体管的无线电。直到20世纪50年代末，才在相同的半导体材料上采用晶体管制备整个单片化的电路(晶体管、二极管、电阻及小电容，以及其他的互连)，即芯片，实现了引人注目的小型化及低功耗化目标。所谓集成电路(IC)是TI的杰克·基尔比(Jack Kilby)于1958年和仙童半导体的罗伯特·诺伊塞(Robert Noyce)于1959年先后率先发明的。20世纪60年代见证了IC繁荣发展，相继推出了仙童半导体的第一个(μA系列)集成电路运算放大器(IC op amp)，TI(7400系列)TTL数字集成电路家族，以及摩托罗拉(10K系列)发射极耦合逻辑(ECL)电路。

在20世纪70年代早期，金属-氧化物-半导体(MOS)场效应晶体管(FET)——简称MOSFET(另一种晶体管)实现商业化。与其前辈BJT相比，MOSFET管的制备尺寸更小，数字MOSFET电路可以实现零静态功耗。第一个电池供电的电子计算器及腕表就是采用这种新的工艺技术。另外，RCA(4000系列)采用互补MOS(简称CMOS)的新型数字IC技术，以其低功耗优势替代了TTL(晶体管-晶体管逻辑)及ECL类型的双极型家族。最后，Intel在1971年采用MOS工艺开发了第一款微处理器。自那以后，IC电子学呈指数级进步，并且已经渗透到现代生活的每一个方面。摩尔(Moore)定律支配了这种惊人的增长，其大体意思是由于IC制造技术的不断进步，集成在给定面积上的器件数量大约每18个月翻一番。摩尔定律于1965年最初制定。尽管它已指出制造技术会接近物理极限，最终将导致该定律的消亡，但仍然一直持续到今天。

尽管前文提到的MOSFET的小尺寸、低功耗的优点使得MOSFET超越了主导半导体器件近30年的BJT，尤其在数字电子学领域。但是在一些专业领域，如高性能模拟电子学及射频电子学，BJT仍然是备选器件。由于可以广泛地选择器件，BJT同样可应用于分立的电路设计。如果相应增加工艺步骤及量产成本，BJT和MOSFET可以同时在同一芯片上制备。该工艺称为BiCMOS工艺，它运用了两种类型晶体管的优点来提供更多的创新设计。当时，IC通常在同一芯片中兼具模拟和数字功能，我们就将其命名为混合信号或混合模式IC。

毫无疑问，微电子学是人类努力而最令人激动、最具挑战和最快速发展的领域。初学者面对这一切也许会感到不知所措，然而有此感受是对的。但是，一旦我们着手学习当今主流的工艺与器件，我们将全力关注基本原理，因为它超越当时的特殊工艺条件，同时可以运用基本原理来理解那些将成为有价值并商业成熟的新的工艺及设备。对于年青的工程师而言，在一个看似不断变化的领域，为了得到并坚守一份满意的工作及职业，结合继续教育并关注基本原理是很有必要的。

本章重点

本章开篇介绍了BJT的物理结构、基础性半导体原理、器件特性、工作区间及模型。由于第1章介绍了pn结，本章重点放在当今工业环境与实际问题的相关性上(经验法则)。

接着，根据BJT的两个重要的应用分类来研究，它们分别是模拟放大器和数字开关。将pn结的大信号模型和小信号模型进一步扩展以适用于更复杂的BJT。

讨论完BJT偏置技术后，余下的章节介绍三种基本放大器结构——共发射极(CE)、共集电极(CC)和共基极(CB)结构。共发射极结构是电压放大的天然结构，而共集电极和共基极结构通常分别用来作为电压缓冲器和电流缓冲器。另外，对于BJT作为阻抗转换器件(准确地说它只是一个名称而已)也保持适当的关注。为了便于后面章节参考的需要，也把转换方程列了出来。

本章研究的放大器其实就是分立型放大器，因为它是用现成的器件(晶体管、电阻及电容)搭建起来的。这样，学生可以容易地在实验室里进行试验。尽管当今电子电路是由大量制备在同一半导体芯片上的晶体管组成的，但是在解决复杂的多晶体管IC之前，我们仍然需要理解单晶体管放大器的工作原理。多晶体管IC的内容将在第4章中进行学习。在教学方面，分立放大器具有优势，因为学生对晶体管和外围电路元件(电阻，必要时还有电容)构成的放大器最熟悉。并且，相比于更复杂的单片实现方案而言，分立放大器的直流分量和交流分量之间的区别一般更明显。最后必须指出的是，当工程师测试或应用IC时，IC周边的辅助电路通常是由分立元件(缓冲器、驱动器及升压电路等)组成的。总之，本章的目标是向同学们介绍单晶体管放大器的基础，也是为了后面章节中学习单片多晶体管电路打下坚实的基础。

本章大量采用PSpice软件给出BJT特性曲线、传输曲线及波形，同时也作为验证工具来进行电路的直流及交流分析与计算。

2.1 BJT 的物理结构

如图 2.1 所示，在简化结构中，一个 npn 双极型晶体管的结构（npn 型 BJT）通常使用传统 IC 技术制作。该器件是通过一系列复杂步骤制成的，在一块称为衬底的轻掺杂 p 型硅(p^-)的晶片上，进行图形化处理、晶体生长、扩散、材料沉积和刻蚀。该晶圆同时为所考虑的器件以及同一 IC 中所有其他的器件提供物理支撑。

一个 BJT 有三端，分别称为发射极(E)、基极(B)和集电极(C)。第 4 端(S)由衬底提供，除了隔离临近器件外，没有任何其他功能。制作首先从图 2.1 底部所示抛光 p-晶片上开始，一个 npn 型 BJT 的制作过程如下。

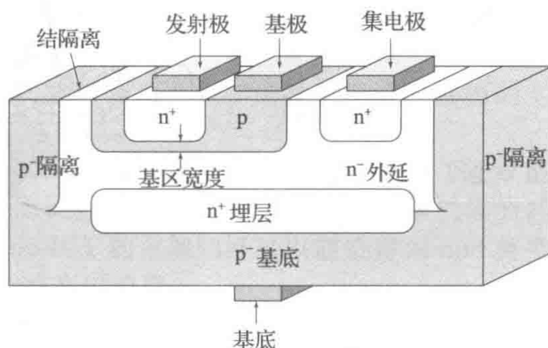


图 2.1 npn 型 BJT 的基本物理结构

- 首先，将一些重掺杂的 n 型硅(n^+)沉积在要形成 BJT 的地方，然后扩散到晶圆以形成低电阻路径，这称为埋层。
- 其后，在 n^+ 掩埋层的顶部和周围的 p-晶圆区域上，生长轻掺杂的 n 型硅(n^-)晶层。这一层称为外延(或外延层)，是用来形成集电区的。
- 沿着 BJT 所在区域的边界，对外延层进行 p 型扩散 ，直至连接到下方的 p 型衬底。正如我们将要看到的，这种称为 p^- 的扩散，是为了在相邻的 BJT 间形成结绝缘。
- 另一个同是对外延层的 p 型扩散，但其扩散较浅，用来形成 BJT 的基极。
- 再同时制成两个重掺杂的 n 型扩散区，一个位于 p 型基区以形成 n^+ 的发射区，另一个位于 n^- 的外延层以形成 n^- 外延层和集电极间的欧姆接触(如今，n^+ 集电极扩散一直延伸到下方的掩埋层)。
- 最后，用三块金属沉积形成发射极、基极和集电极。衬底(S)需要额外的金属来形成，在 图 2.1 所示的 npn 型 BJT 情况下，这一极总保持着电路中的最负电压(MNV)(鼓励有兴趣的学生在网上搜索那些阐述晶体管制造这一有趣主题的视频和文章)。

将集电区看作由 p 型区围绕的 n 型材料，我们找出了各类分布式的 pn 结。将 p-衬底(即外部的 p-区域)偏置在最负电压下，确保这些分散的结永远是反向偏置的。排除通常可以忽略的漏电流，相邻 BJT 的集电极是相互绝缘的，从而允许不同的 BJT 工作在独立的环境下。

我们确定了 BJT 的两个基本要素：(a)由基极-发射极(BE)区域形成的 pn 结，(b)由基极-集电极(BC)形成的 pn 结。BJT 最常用的工作方式是将 BE 结正向偏置，BC 结反向偏置。这种模式是 BJT 作为放大器应用的基础，称为正向有源(FA)模式。简要说来，正向有源模式下的 npn BJT 中发生的主要过程如下：

一束电子电流从发射极出发，经过基极，流入集电极，这是由基极-发射极压降 V_{BE} 控制的。

这种情况如图 2.2 所示，其中我们注意到，由于电子带负电，端电流 i_E 和 i_C 的方向与电子流动方向相反。此外，我们观察到以下两个结论。

- 不是所有从发射极发射的电子都被集电极收集了。由于在通过 p 型基区时，一小部分电子与此处众多的空穴复合，这表明：存在一股由空穴组成的基极电流分量，以维持这一复合过程。制造商通过制造非常薄的基区(1μm 的规格)，保证复合分量足够小。
- 在所有的 pn 结中，电子从发射极到基极的扩散伴随着空穴从基极到发射极的扩散。制造商使发射极的掺杂比基极重得多(通常高出两个或以上的数量级)，以确保基极流出的空穴相比发射极流出的电子是足够少的，从而保持第二种基极电流分量也足够小。

渴望得到一个小基极电流 i_B 的原因是，对于一个给定的集电极电流 i_C，其比值为：

$$\beta_F = \frac{i_C}{i_B} \tag{2.1}$$

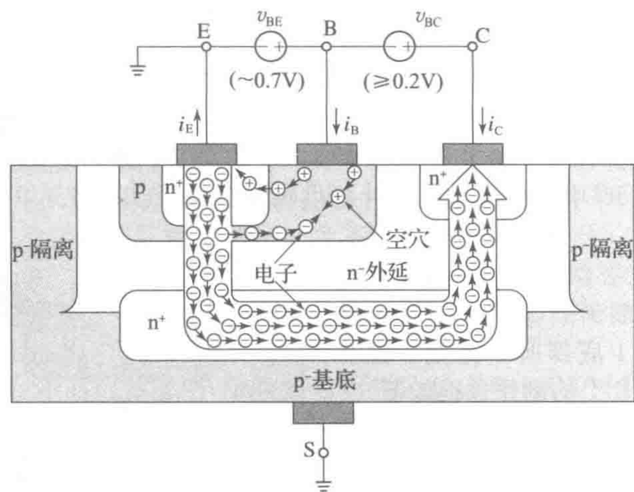


图 2.2 在正向有源模式下单片 npn BJT 中的电流

式(2.1)表征了 BJT 的性能指标，称为正向电流增益。这也为我们提供了其他的思路，可以把 BJT 作为一个压控电流源(i_C 由 v_{BE} 控制)工作，或作为电流控制的电流源(i_C 由 i_B 控制)。IC 中的 BJT 通常 $\beta_F \approx 250$，虽然也有可制造一种特殊的 BJT，称为超高 β 的 BJT，其 β_F 值可高达 10 000。随着我们研究的继续，我们将重新详细地探讨 BJT。

pnp BJT

将 npn BJT 中每个区域的掺杂类型取反，就可获得 pnp BJT，即发射区现在是 p^+，基极是 n，集电极为 p^-。这实际上是分立 pnp BJT 的情形，即每个器件都被单独制造和封装。然而，在常规的双极 IC 工艺中，pnp BJT 必须用与 npn BJT 相同的步骤制造。在此技术中，普遍使用两种 pnp 结构：(a)横向 pnp BJT 和(b)衬底或纵向 pnp BJT(参见图 2.3)。我们观察到以下的结论。

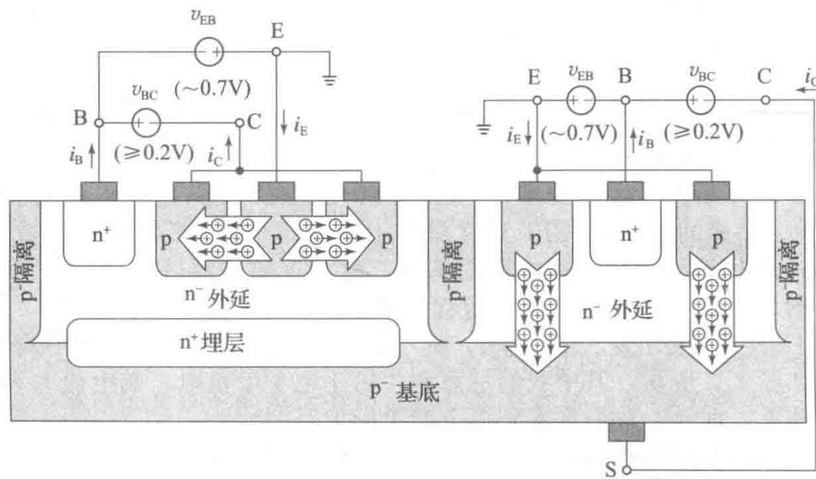


图 2.3 平面工艺 pnp BJT 的物理结构与电流：横向 pnp(左边)与衬底或纵向 pnp(右边)

- 在这两种 pnp 类型中，以前用作 npn BJT 集电区的 n-外延层，现在作为基区使用(n^+ 扩散的功能是确保对外端 B 的欧姆接触)。
- 在这两种 pnp 类型中，以前用作 npn BJT 基区的 p 型扩散区，现在作为发射区使用，其功能是作为一个空穴源。
- 在横向 pnp BJT 中，集电极是通过另一个 p 型扩散实现的，其像环一样围绕在发射

极周围(从上图可以看出)。如图2.3所示，空穴从中心的p型发射极横向流入周围的环状p型集电极。

- 在衬底pnp BJT中，集电极是通过p-衬底实现的，所以空穴现在从发射极垂直流出(发射极被制造成一个围绕着n^+接触区域的环状)，通过n-外延层，流向p-衬底。
- 与横向BJT不同，纵向BJT的集电极(由衬底构成)被限制连接到电路中的最负电压。
- 在两种pnp结构中，基区都不像npn结构中那么薄，这表明在通过这个较宽的基区时，更多电子组成的基区电流分量被空穴所复合。
- 由于p型发射极的掺杂不像npn结构中n^+发射极那么重，由发射极流入基极的空穴与由基极流入发射极的电子相比，就不可忽略了。

由于这些或其他的原因，横向pnp BJT提供的电流增益比npn类型的要小(通常是$\beta_F \approx 50$)。BJT制造工艺已为npn型器件的制造而优化，所以pnp BJT是作为第二等的器件出现的。但是，如果没有这样的规定约束，pnp BJT的性能同样可以制造得如npn类型一样好，这样做的代价是需要更多的工序步骤和更高的花费。

刚刚讨论的是制作过程，形象地称为结隔离、双扩散双极平面工艺，这只是当今使用的各种工艺中的一种。在高速应用中，用介质隔离进行制造是较好的，因为它们避免了隔离结引入的寄生电容。另外，在BiCMOS技术中，BJT制造是与MOSFET制造相兼容的。最后，若不考虑复杂性和花费的提升，npn BJT和pnp BJT可以做到具有同样的高性能。

BJT的电路图形符号

图2.4给出了两种类型BJT的电路图形符号，及其电流方向和电压极性。在两种情况下，带箭头的一端定义为发射极，箭头本身表示发射极电流的方向。在pnp BJT中，其主要电流是由空穴组成的，箭头与空穴流动方向一致。然而，在npn BJT中，其主要电流是由带负电的电子形成的，其发射极箭头与内部电子流动方向相反。

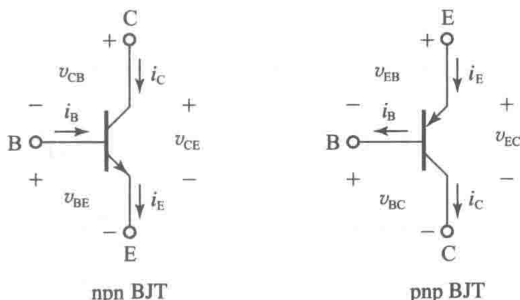


图2.4 两种类型BJT电路图形符号正确的电流方向和电压极性

注意：这两种器件有相反的电流方向以及电压极性。我们简单地调换电流指向来表示相反的电流方向(例如，i_C流入npn BJT，但是从pnp BJT中流出)，为表示出相反的电压极性，我们互换压降的标序。这样做，是为了避免负压降的存在，例如，我们用$V_{-BE}>0$来启动npn BJT，以及$V_{-EB}>0$(胜于$V_{-BE}<0$)来启动pnp BJT

无论二极管的器件类型和工作方式如何，其一定满足KCL，即

$$i_E = i_C + i_B \tag{2.2}$$

当分析一个BJT电路时，可以在器件周围画个圈并将其作为一个超节点。

2.2 BJT的基本工作原理

图2.5的上部分画出了图2.1所示发射极-基极-集电极结构的垂直切面图，但为了有助于分析逆时针旋转了90°。为了对各种涉及的物理量有一个直观感觉，我们假定了以后的掺杂浓度：

$$发射极(n^+):N_{DE} = 10^{20}\ 个施主原子/cm^3 \tag{2.3a}$$

$$基极(p):N_{AB} = 10^{18}\ 个受主原子/cm^3 \tag{2.3b}$$

$$集电极(n^-):N_{DC} = 10^{16}\ 个施主原子/cm^3 \tag{2.3c}$$

在室温下，几乎所有的杂质原子都被电离了，所以发射极和集电极区域的电子浓度分别是$n_{E0} \approx N_{DE}$和$n_{C0} \approx N_{DC}$，基区的空穴浓度是$p_{B0} \approx N_{AB}$。这些量也称为多数载流子浓度，它们是：

$$n_{E0} \approx 10^{20}\ 个电子/cm^3$$

$$p_{B0} \approx 10^{18}\ 个空穴/cm^3$$

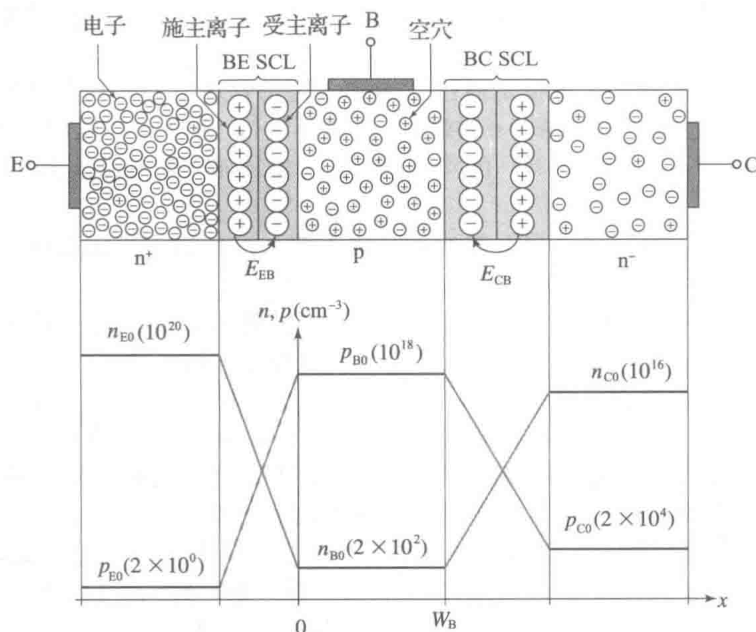


图 2.5 npn BJT 内部的平衡电子以及空穴浓度

$$n_{C0} \approx 10^{16}\ 个电子/\mathrm{cm}^3 \tag{2.4}$$

在每个区域内，电子和空穴浓度 n 和 p 满足质量守恒定律，即

$$n \times p = n_i^2$$

式中：n_i是硅中空穴和电子的本征浓度。这个浓度与温度密切相关，对于硅，有：

$$n_i^2(T) = 1.5 \times 10^{33} T^3 \mathrm{e}^{-14\,028/T}\ \mathrm{cm}^{-6} \tag{2.5}$$

在室温下(T=300K)，式(2.5)给出 $n_i^2 = 2\times10^{20}\,\mathrm{cm}^{-6}$。则少数载流子浓度可表示为$p_{E0}=n_i^2/n_{E0}$，$n_{B0}=n_i^2/p_{B0}$，$p_{C0}=n_i^2/n_{C0}$。对于上述的掺杂浓度，它们分别是：

$$p_{E0} \approx 2 \times 10^0\ 个空穴/\mathrm{cm}^3$$

$$p_{B0} \approx 2 \times 10^2\ 个电子/\mathrm{cm}^3$$

$$p_{C0} \approx 2 \times 10^4\ 个空穴/\mathrm{cm}^3 \tag{2.6}$$

多子和少子浓度都如图 2.5 下方所示(不按比例)。

在 BJT 本身的制造过程中，电子会从富含电子的发射区，自发地扩散到相邻的电子稀缺的基区，并留下带正电的施主离子。同样，空穴会从基区扩散到相邻的发射极，留下带负电荷的受主离子。这两种类型的离子都被约束在晶格的固定位置，并最终在 BE 冶金结的两侧形成了空间电荷层(SCL)。在 SCL 内部有一个电场 E_{EB}，其方向从正离子指向负离子。在 BC 结处有类似的情况发生，该处的电场表示为 E_{CB}。在平衡态下，上述两个电场强度是个确定的值，使得从发射区和集电区扩散到基区的电子和从基区扩散到发射区和集电区的空穴达到精确的平衡。

正向有源模式的工作原理

当我们在结上外加合适的电压时，平衡态会被干扰，BJT 会显示出独特的能力。如上文所提到的，最常用的工作模式是正向有源(FA)模式，即正向偏置 BE 结、反向偏置 BC 结。用电压 V_{BE}正向偏置 BE 结，可使阻挡电子和空穴扩散的势垒减小。我们对 BE SCL 基区边界处的情况相当重视，在图 2.5 中它已被取作 x 轴的原点。根据式(1.51)中所讨论的结规则，外加电压 V_{BE}的效果是使 SCL 边界处的电子浓度 $n_B(0)$从它的平衡值 n_{B0}(≈$2\times10^2\,\mathrm{cm}^{-3}$)迅速增大至一个新的值，即

$$n_B(0) = n_{B0}\,\mathrm{e}^{v_{BE}/V_T} \tag{2.7}$$

式中：$V_T = KT/q$ 是热电压(在 $T=300\text{K}$ 下，$V_T = 25.9\text{mV} \approx 26\text{mV}$)。对于一个典型的电压值 $v_{BE}=700\text{mV}$，n_{B0} 从 $2\times10^2\text{cm}^{-3}$ 迅速增大至

$$n_B(0) \approx (2\times10^2)e^{700/26} \approx (2\times10^2)\times5\times10^{11} = 10^{14}\ \text{cm}^{-3}$$

这是相当大的增长！然而，因为仍有 $n_B(0) \ll p_B 0(10^{14} \ll 10^{18})$，多数载流子仍然是空穴。我们将这种情况称为小注入(在这种情况下，注入来自发射极的电子)。

用电压 $v_{BC} \leqslant 0.2\text{V}$(等效地，$v_{CB} \geqslant 0.2\text{V}$)反向偏置 BC 结，由结规则可知，将会再次改变 BC SCL 基区边界处现有的电子浓度，使其变为一个新值

$$n_B(W_B) = n_{B0}e^{v_{BC}/V_T} = n_{B0}e^{-v_{CB}/V_T} \tag{2.8}$$

式中：W_B 代表有效基区宽度，定义为两个 SCL 基区边界之间的距离。在小至 0.2V 的反偏电压下，式(2.8)给出了 $n_B(W_B) \approx (2\times10^2)e^{-200/26} \approx ((2\times10^2)/2\,191)\text{cm}^{-3} \approx 0.1\text{cm}^{-3}$，在实际应用中相比于其他浓度，这个值可以近似为 0。假定基区被有意制造得非常薄，基区的电子分布将成线性形状，如图 2.5 所示。若基区变宽，分布形状将成指数型衰减，表明在绝大多数电子会在基极复合而不能成功到达集电极。这就是为什么将基区做薄是非常关键的(通常在 μm 数量级)。

集电极电流

很明显，让 BJT 工作在正向有源模式下，如图 2.6 所示，在其基区建立了一个少子过量(在本例中是电子)。该过量的电子分布定义为：

$$n'_B(x) = n_B(x) - n_{B0}$$

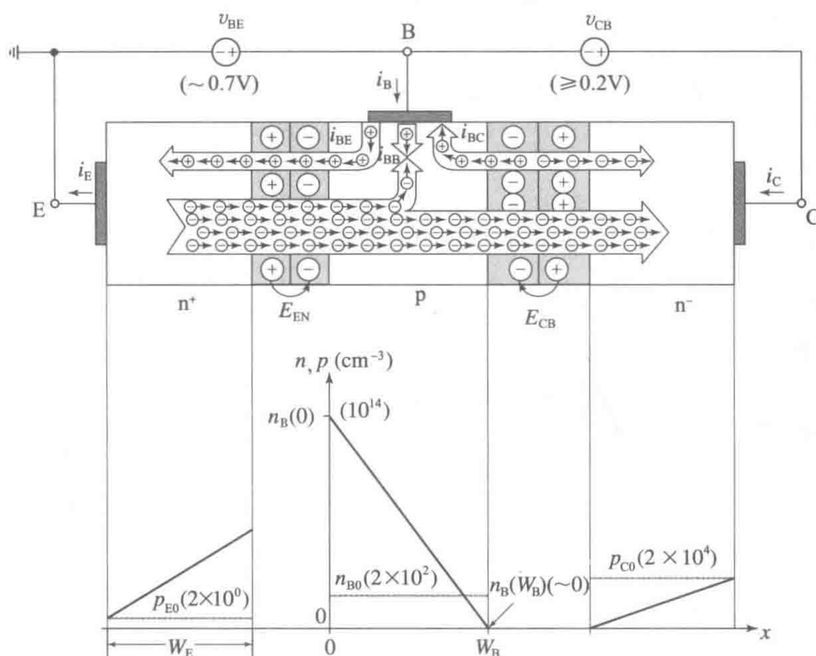


图 2.6　在正向有源模式下的 npn BJT 工作过程：上部：相关电流 ；下部：少数载流子分布

如图 2.7 所示，$x=0$ 及 $x=W_B$ 的值已标出。过量的电子一旦注入基区，将会扩散进 BC 结的 SCL，此处的电场 E_{CB} 使它们远离基区，并通过 SCL 流入集电区，再进一步到达集电极(见图 2.6)。基区内的电子扩散由扩散方程决定，即

$$J_n = qD_n\frac{\mathrm{d}n'_B(x)}{\mathrm{d}x} \tag{2.9}$$

式中：J_n 是电子电流密度(A/cm^3)；q 是电子电荷；D_n 是电子扩散常数，也称为电子扩散率(cm^2/s)。计算三角形的斜率，我们得到：

$$J_n = qD_n\left[-\frac{n_{B0}(e^{v_{BE}/V_T}-1)-(-n_{B0})}{W_B}\right] = -\frac{qD_n n_{B0}}{W_R}e^{v_{BE}/V_T}$$

式中：负号表示J_n的方向与x轴相反，即从右向左。这并不令人感到意外，因为J_n是由电子流动决定的，而电子带负电荷。

集电极电流i_C(A)可由电流密度J_n和发射极面积A_E(cm^2)相乘得到，A_E是固态发射极的扩散区和基区的重叠部分面积，如图2.1所示。将i_C的方向选为从右往左，如图2.6所示，我们可以得到$i_C=-A_E J_n$，这样就避免了J_n带有符号。再用$n_{B0}=n_i 2/p_{B0}\approx n_i^2/N_{AB}$，可得到更有意义的$i_C$表达形式为：

$$i_C = I_s e^{v_{BE}/V_T} \tag{2.10}$$

式中：

$$I_s = A_E \times \frac{1}{W_B} \times n_i^2(T) \times \frac{qD_n}{N_{AB}} \tag{2.11}$$

I_s称为集电极饱和电流，其作为一个比例因子来衡量一个BJT在给定电压驱动v_{BE}下能给出的最大集电极电流i_C。

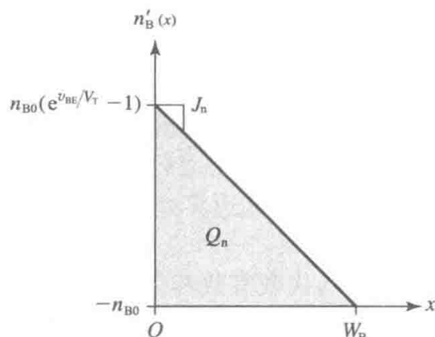


图 2.7　基区的过量的少数载流子分布。电流J_n与斜率成比例，过量的电荷Q_n与面积成比例

对于低功耗BJT，I_s通常在fA数量级($1fA=10^{-15}A$)。我们得到以下几条重要的观测结果。

- I_s与发射极面积成正比。在给定的v_{BE}下，发射极越大，集电极得到的电流越多。实际上，功率BJT有相对应的大发射极。
- I_s与基区宽度W_B成反比。对于给定的v_{BE}，基区越窄，图2.7所示的分布规律就越陡峭。对W_B的依赖性是基于厄利(Early)效应形成的，这将在2.3节中讨论。
- I_s与温度高度相关，这是因为$n_i^2(T)$的存在。工程师通过以下的经验法则来量化温度的相关性：

温度每上升5℃，集电极饱和电流I_s翻倍。

对式(2.10)的两边取对数，并求解v_{BE}，我们得到：

$$v_{BE} = V_T \ln \frac{i_C}{I_s} \tag{2.12}$$

这样一来我们就可以求得维持一个特定电流i_C所需要的电压v_{BE}的值。

例 2.1 考虑一个BJT，其发射结面积$A_E=(100\mu m)\times(100\mu m)$，基区宽度为$W_B=0.5\mu m$，$D_n=10cm^2/s$，掺杂浓度参见式(2.1)。

(a) 求I_s。

(b) 当$v_{BE}=700mV$时，求i_C。

(c) 当$i_C=1.0mA$时，求v_{BE}。

(d) 当$v_{BE}=700mV$，$i_C=1mA$时，求所需正方形区域A_E的面积。

解：

(a) 由式(2.11)，有：

$$I_s = \frac{100\times10^{-4}\times100\times10^{-4}\times2\times10^{20}\times1.602\times10^{-19}\times10}{0.5\times10^{-4}\times10^{18}} A = 0.64fA$$

(b) 由式(2.10)，得：

$$i_C = 0.64\times10^{-15}e^{700/26}A = 0.316mA$$

(c) 由式(2.12)，得：

$$v_{BE} = 0.026\ln\frac{1\times10^{-3}}{0.64\times10^{-15}}V = 730mV$$

(d) 由(b)问我们得到所需的A_E面积是：

$$A_E = \frac{1.0mA}{0.316mA}\times(100\mu m)\times(100\mu m) = (178\mu m)\times(178\mu m)$$ ◀

基极电流的三个分量

参考图 2.6 所示的上部，我们观察到基极电流由三部分组成，记为 i_{BE}、i_{BB}和 i_{BC}。我们现在对每个分量进行详细分析。

- 分量 i_{BE}由注入发射极的空穴形成。该分量与注入到基极的电子相对应，所以我们可以对注入发射极的空穴应用式(2.10)和式(2.11)，其中，D_p是空穴扩散率，W_E是发射结宽度，也称为发射结长度。有：

$$i_{BE} = \frac{A_E n_i^2(T) q D_P}{W_E N_{DE}} e^{v_{BE}/V_T} \tag{2.13}$$

- 分量 i_{BB}是由空穴与从发射极到集电极的电子复合而形成的。为了建立这个分量的表达式，我们观察到在正向有源模式下，BJT 会在其基区维持大量的多余电子，称其为总电荷量 Q_n。若一个传输电子平均花费 τ_n秒来与一个基区空穴复合，则每秒不能复合的过剩电量为 Q_n/τ_n，其取反就正好是空穴电流 i_{BB}需要补充的因复合而损失的空穴量。

为了得到 Q_n的表达式，参考图 2.8，并考虑一个厚度为 dx 的纵向切面。这个切面的体积为 $A_E dx$。为了得到切面内的过量电荷 $dQ_n(x)$，首先将其体积与 $n'_B(x)$相乘，求得过量电子的量，再乘$-q$ 求得电量，或 $dQ_n(x) = -n'_B(x) q A_E dx$。基区的总过量电荷可通过在整个区域长度区间上积分获得，即

$$Q_n = -qA_E \int_0^{W_B} n'_B(x) dx = -qA_E \frac{W_B[n_{B0}(e^{v_{BE}/V_T} - 1) - (-n_{B0})]}{2} = -\frac{qA_E n_i^2(T) W_B}{2N_{AE}} e^{v_{BE}/V_T}$$

其中，我们使用简单的几何学知识求出了三角形的面积，并有 $n_{B0} = n_i^2/N_{AE}$的代换。令 $i_{BB} = -Q_n/\tau_n$，我们最终得到：

$$i_{BB} = \frac{qA_E n_i^2(T) W_B}{2\tau_n N_{AE}} e^{v_{BE}/V_T} \tag{2.14}$$

式中：τ_n为基区的平均电子寿命。

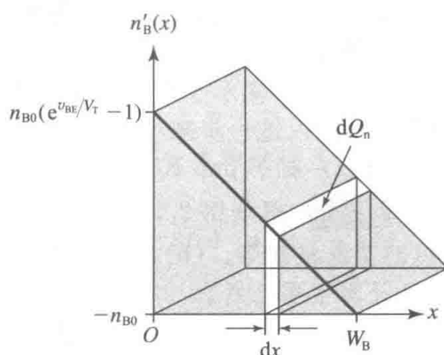


图 2.8 计算基区的过量电荷 Q_n

- 分量 i_{BC}是由热生成的电子-空穴对形成的，这在反向偏置 BC 结的空间电荷区内发生。一旦生成空穴-电子对，空穴和电子会被强电场 E_{CB}分别拉向两个相反的方向。由于制造工艺质量的不同，表面泄漏也可能存在。BJT 数据手册通常注明了 I_{CB0}，即发射极开路下的 CB 泄漏电流。在室温下，I_{CB0}是通常在 1nA 至 1pA 的范围内，因其非常小，在手工计算时通常忽略不计。然而，该电流是温度的强函数，工程师们可通过以下的经验法则对其进行量化：温度每上升 10℃，泄漏电流 I_{CB0} 翻倍。

因此，即使对于手工计算而言，如果预设的工作温度足够高，产生的泄漏电流也可能足够高，以至于需要纳入考虑。

再次参照图 2.6 所示结构，我们观察到所有的基极电流分量都是由空穴组成的。然而，基极电极通常由金属制成，其中只靠电子流动来导电。为了确保两种电流类型之间的连续性，金属和基极交界处的自由电子-空穴对必须是自发产生的。电子-空穴对一旦生成，空穴流入基区以维持 i_{BE1}和 i_{BB}，而电子漂移到基极以维持 I_B。

维持 i_{BE1}和 i_{BB}所需的空穴中的一小部分以 i_{BC}的形式来自集电极。如前所述，i_{BC}随着温度上升而增加。值得一提的是，我们也可以通过对 BC 区的 SCL 进行光照，来增加 i_{BC}。因为光子撞击了晶格，碰撞产生了足够的能量以生成自由空穴-电子对，并被此处的电场分别拉向相反的方向。在足够的光照下，从集电极到基极的空穴电流可以提高到让 BJT 完全导通的程度，而无需任何外部提供的电流 i_B！当作为光控器件使用时，BJT 就称为光电

晶体管，这在光电耦合器中有所应用。光电耦合器由封装在一起的发光二极管(LED)和光电晶体管组成。令电流通过LED使其发光，这就使BJT晶体管导通。因为LED和BJT只通过光耦合，它们可以是分立电路的一个部分，从而在两者之间形成电耦隔离。我们也可以通过光纤来连接LED和BJT，从而允许信息可在较长的距离上传输，同时信号损耗和干扰也较小。

正向电流增益 β_F

正向有源模式下的基极电流为 $i_B = i_{BE} + i_{BB} - i_{BC}$。如上所述，我们通常忽略 i_{BC}，并写作 $i_B \approx i_{BE} + i_{BB}$。用式(2.13)和式(2.14)，连同式(2.10)和式(2.11)，我们可将 i_B 用以下形式表示：

$$i_B = \left(\frac{D_p}{D_n}\frac{N_{AB}}{N_{DE}}\frac{W_B}{W_E} + \frac{W_B^2}{2\tau_n D_n}\right) I_s e^{v_{BE}/V_T}$$

与式(2.10)比较，我们观察到 i_B 与 i_C 是线性相关的，这种关系表示为：

$$i_B = \frac{i_C}{\beta_F}$$

式中：β_F 是上面提到的正向电流增益，

$$\beta_F = \frac{1}{\dfrac{D_p}{D_n}\dfrac{N_{AB}}{N_{DE}}\dfrac{W_B}{W_E} + \dfrac{W_B^2}{2\tau_n D_n}} \tag{2.15}$$

这个表达式证明了一些我们已经熟知的高增益BJT的制造条件：

- 将基区制作的非常薄，使 W_B 很小；
- 使发射区的掺杂比基区重得多，从而使 N_{DE}/N_{AB} 很大。

式(2.15)揭示了两个附加的特性，制造商可用此进一步增大 β_F：(a)制造长发射区($W_E \gg W_B$)以进一步减小 i_{BE}；(b)创造有利的条件使得基区少子寿命变长(对于npn BJT，是长的 τ_n，对于pnp BJT，是长的 τ_p)以进一步降低 i_{BB}。

例 2.2 假设图2.9a所示电路中BJT的 $\beta_F = 100$，在以下两种情况下求出所有的端电流(a)集电极开路，(b)集电极接入+5V的电源，如图2.9所示。讨论两种情况下各电流分量及其主要区别。

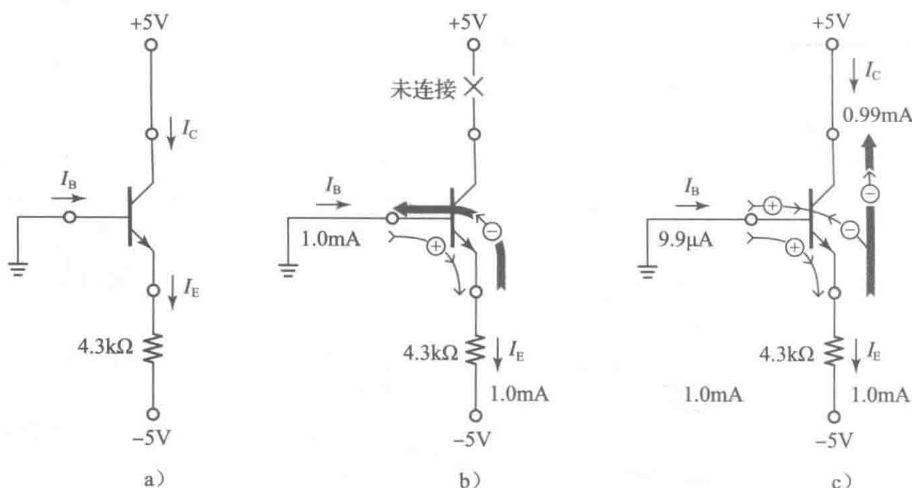


图 2.9 例 2.2 的电路

解：

(a) 集电极开路导致 $I_C = 0$。BJT中唯一工作的部分现在是BE结，其作为一个普通的二极管存在，基极是正极，发射极是负极。假设BE结压降为典型值0.7V，发射极是−0.7V，那么发射极电流是：

$$I_E = \frac{-0.7-(-5)}{4.3}\text{mA} = 1.0\text{mA}$$

因为 $I_C=0$(集电极开路)，则有 $I_B=I_E=1.0\text{mA}$。这种情形在图 2.9b 中画了出来，我们观察到这里 I_E和 I_B都主要由从发射极注入基区并最终到达基区的电子组成。另外，从基极注入发射极的空穴也会形成一个电流，这种情形在所有的 pn 结上都会发生，但这个分量是非常小的，因为发射极的掺杂要重得多。在这种情况下，BJT 作为一个普通的二极管工作。

(b) 将集电极接入+5 V 的电源，会反向偏置 BC 结，使得电子注入薄基极进而到达正向偏置的集电极。少数电子将与基区的大量空穴复合，但是大多数都会成功到达集电极。我们现在有：

$$I_B = \frac{I_C}{\beta_F} = \frac{I_E - I_B}{\beta_F}$$

或

$$I_B = \frac{I_E}{\beta_F + 1}$$

这里，$I_B=(1.0/101)\text{mA}=9.9\mu\text{A}$，$I_C=100\times 9.9\mu\text{A}=0.99\text{mA}$。这种情况如图 2.9c 所示，主要画出了电子从发射极向集电极的流动。 ◀

练习 2.1

三个学生正在讨论是否可以通过简单地背靠背连接两个独立的 pn 结以形成 BJT。第一个学生提出，可以将两个二极管的正极连接起来以获得 p 型基极，再用一个负极作为 n 型发射极，另一个作为 n 型集电极。第二个学生声称，这样制作出的器件不具有基极电流放大功能。为什么呢？请列出两个主要原因。听完第二个学生的论点之后，第三个学生想到了一个更好的办法，即用一个 npn 三极管 BE 结和另一个 npn 三极管的 BC 结，来保证满足相关的 BJT 掺杂条件，然后将它们的基极连接在一起以形成这个复合器件的基极(第一个 BJT 的集电极端和第二个 BJT 的发射极端都开路)。第二个学生声称该设备仍然无法作为电流放大器工作。为什么呢？

例 2.3 (a) 假设式(2.15)给出图 2.9c 所示 BJT 的 $\beta_F=1/(1/150+1/300)=100$，求出 I_B和基极电流分量 I_{BE}和 I_{BB}。

(b) 如果 W_B减半会怎么样？将 W_B加倍呢？

解：

(a) 我们很容易求出：

$$I_B = I_{BE} + I_{BB} = \frac{I_C}{\beta_F} = \left(\frac{1}{150}+\frac{1}{300}\right)\times 0.99\text{mA} = 6.6\mu\text{A} + 3.3\mu\text{A} = 9.9\mu\text{A}$$

(b) 鉴于式(2.15)的分母项与 W_B和 $W_B{}^2$都有关，显然，将 W_B减半会有：

$$\beta_F = \frac{1}{\frac{1}{150}\times(0.5)+\frac{1}{300}\times(0.5)^2} = \frac{1}{\frac{1}{300}+\frac{1}{1200}} = 240$$

我们同样可以计算出 $I_E=1.0\text{mA}$。然而，现在有 $I_B=(1.0/241)\text{mA}=4.15\mu\text{A}$，$I_C=0.996\text{mA}$，$I_{BE}=3.32\mu\text{A}$，$I_{BB}=0.83\mu\text{A}$。$W_B$翻倍则有 $\beta_F=1/(1/75+1/75)=37.5$，$I_B=(1.0/38.5)\text{mA}=26\mu\text{A}$，$I_C=0.974\text{mA}$，$I_{BE}=I_{BB}=13\mu\text{A}$。 ◀

一种实际的应用：BJT 作为电流倍增器

为了了解 BJT 的丰富用途，我们可以探究以下这个有趣的课题：设计从一个未校准的电压源(如 12V 的汽车电池)中，获得 5V、200mA 的稳压电源。基于我们目前已有的知识，我们可以先用图 2.10a 所示的设计。这里的 LM336-5.0 二极管提供了一个高质量的 5V 电压基准，再通过连成电压跟随器的 μA741 运放给负载提供缓冲。

该电路只有在负载电流达到 25mA 时才能正常工作，这是数据手册中 μA741 运放的最大输出电流。若我们将要驱动的电路(在这里表示为负载 LD)尝试抽取超过此值的电流

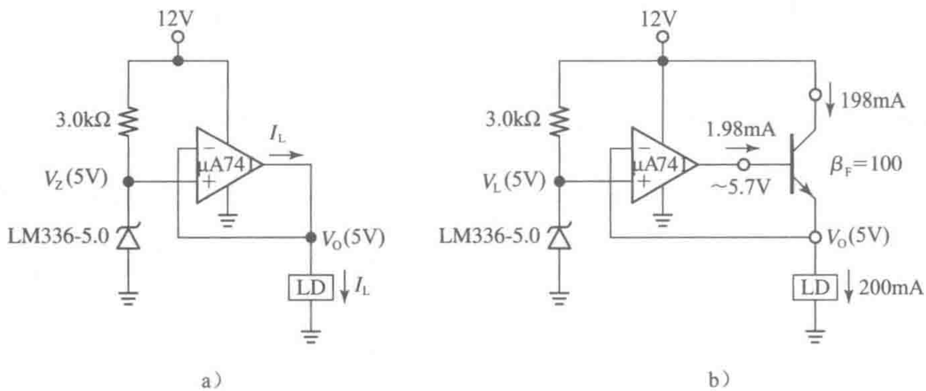


图 2.10　运放中用 BJT 来增强输出电流驱动能力

I_L，输出电压会下降，稳压也就不存在了。

然而，这就是 BJT 可以帮助我们的地方！如果我们在运放和负载间插入一个 BJT，如图 2.10b 所示，运放的输出电流会增加到 β_F+1 倍，正如在例 2.2 中所看到的，这形成了一个更大的电流，从未校准的 12V 电压源经过 BJT 流向负载。电路行为由熟悉的运放规则所控制，这表明无论运放输出的电压和电流是多少，都能使其反相输入电压(此时是 V_O)跟随其同相输入电压(V_Z)。在我们讨论的情形中，运放必须供给 BJT 的电流为：

$$I_B = \frac{I_E}{\beta_F+1} = \frac{200\text{mA}}{100+1} = 1.98\text{mA}$$

这在 μA741 运放 25mA 的输出电流范围之内。假设 BC 结压降为典型值 0.7V，我们观察到运放必须供给的基极电压为：

$$V_B = V_{BE} + V_E \approx (0.7+5.0)\text{V} = 5.7\text{V}$$

这也在 μA741 运放的输出电压范围之内。

在刚刚阐述的应用中，BJT 是作为倍增低功耗器件(如运放)的输出电流驱动能力而存在的。因为这个功能，BJT 在各种各样的电源相关电路得到了应用，其中稳压电源和音频功放是两个常见的例子。虽然稳压器也可以通过 IC 形式获得，但对于初学者而言，搭建图 2.10 所示的电路并在实验室中进行操作，是很有启发性的。

正向有源模式下工作的 pnp BJT

图 2.11 画出了一个 pnp BJT 中的内部电流。将其与图 2.6 所示对应的 npn BJT 相比，我们注意到了很强的相似性，除了空穴与电子进行了互换外，电压极性和电流方向变为相反态。我们知道，现在的主要问题是发射极的空穴通过薄基区流向集电极。为了避免重复推导，我们可以再次使用 npn BJT 中的一些结果，并写出：

$$i_C = I_s e^{v_{EB}/V_T} \tag{2.16}$$

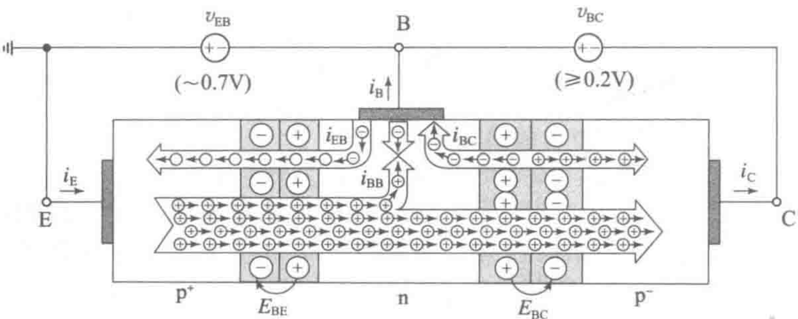


图 2.11　在正向有源模式下，pnp BJT 中的相关电流

式中：

$$I_s = A_E \times \frac{1}{W_B} \times n_i^2(T) \times \frac{qD_p}{N_{DB}} \tag{2.17}$$

其中，D_p是空穴扩散率；N_{DB}是基区的施主浓度。并且，我们有：

$$\beta_F = \frac{1}{\frac{D_n}{D_P}\frac{N_{DB}}{N_{AE}}\frac{W_B}{W_E} + \frac{W_B^2}{2\tau_P D_P}} \tag{2.18}$$

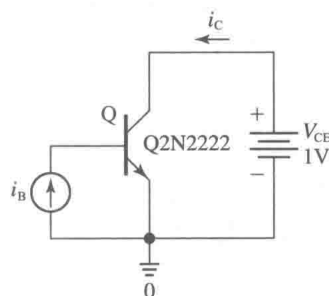
式中：D_n是电子扩散率；N_{DB}是基区的施主浓度；N_{AE}是发射区的受主浓度；τ_p是基区的平均空穴寿命。

式(2.11)和式(2.17)揭示了一个额外的有趣特性，即比例因子 I_s与在 BJT 中产生主要电流的电荷扩散率(D_n或 D_p)呈线性关系。这并不令人惊讶，因为集电极电流是扩散型的。在下一章学习 MOSFET 时，我们会遇到一个相似的比例因子，称为跨导参数 k，而这与在器件中产生主要电流的电荷迁移率(μ_n或 μ_p)呈线性关系。这是因为 MOSFET 的电流是漂移类型的。图 1.37 画出了对于一个给定的掺杂浓度，电子迁移率和扩散率分别是空穴对应数值的 2 到 3 倍。因此，npn BJT 比 pnp 型更常用，n 沟道 FET 比 p 沟道型更常用。

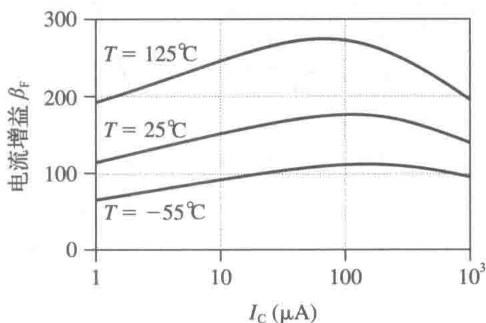
β_F与 I_C和 T 的关系

电流增益 β_F不是一个常数，它会随着工作电流 I_C和温度 T 的变化而变化。这在图 2.12 中有所介绍，这是常用的 2N2222 BJT 的情形。对于固定的温度值 T，例如 $T=25℃$，该器件的 β_F在 $I_C=100\mu A$ 附近是近似为常数的。在更高的电流下，β_F将会下降，这是因为电流拥塞和大注入效应。在较低的电流情况下，β_F也会下降，这是因为在 BE SCL 内会有载流子复合。

这将形成一个额外的只在小电流下产生影响的基极电流分量，尽管它总是存在的。除非另有说明，否则我们都假定 β_F是一个常数，以简化分析。



a）PSpice 电路



b）2N2222 BJT中β_F与I_C和T的关系

图　2.12

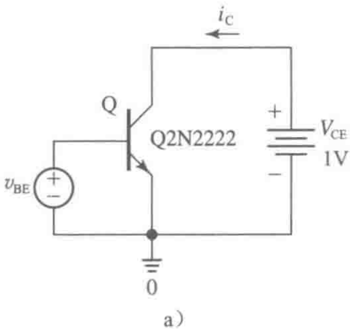
2.3　BJT 的 *i-v* 特性

npn 型 BJT 最重要的特性是在不同 BE 驱动下 i_c-v_{be}和 i_c-v_{ce}的正向有源特性图。因为 BE 结既可以由电压或电流驱动，我们可以得到两类曲线，一种是绘制出不同 v_{BE}值下 i_C相对于 v_{CE}的图形，另一种绘制出不同 I_B值下 i_C相对于 v_{CE}的图形。每一类都对 BJT 工作原理提供了深入了解。显然我们对于 npn 型 BJT 得到的相关知识可以很轻易地扩展到 pnp 型 BJT，只需将空穴与电子互换，再将电压极性和电流方向取反就可以了。这些 i-v 曲线既可以在实验室中通过具有曲线跟踪模块的示波器显示出来，也可以通过 PSpice 在电脑上表现出来。在下文中，我们将使用常用的 2N2222 npn 型 BJT 作为工作实例。鼓励读者对常用的 BJT 的数据手册进行网络搜索，并经常查阅它们来建立对我们将要学习的这些理论的直观感受。

指数特性

图 2.13a 画出了一个用 PSpice 库(见附录 2A)中元件搭建的 PSpice 电路，用来显示

2N2222 npn 型 BJT 的 i_C-v_{BE}特性。结果如图 2.13b 所示，正是如式(2.10)所预测的指数曲线，即便这是下面将要介绍的细微修正后的结果，这与式(2.21)相关。PSpice 模型中 I_S=14.34fA。回顾一下 BE 结是作为一个普通 pn 结使用的，除了本应注入基极的电子都经过基极到达了集电极以外。



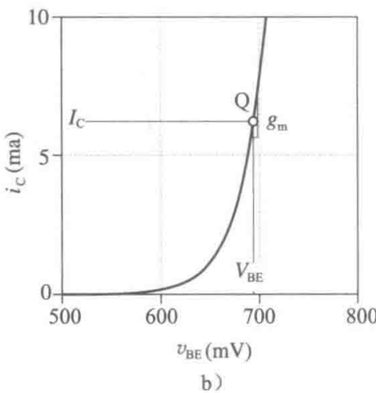


图 2.13 使用 PSpice 表示出 2N2222 BJT 的指数型 i-v 曲线

因此，所有 pn 结 i-v 特性展现出的性能对于 BJT 的 i_C-v_{BE}特性都成立。特别是，以下的经验法则对于 BJT 同样适用：

- 想要使 i_C变为原来的 2 倍，需要使 v_{BE}变化 18mV (18mV 法则)。
- 想要使 i_C变为原来的 10 倍，需要使 v_{BE}变化 60mV (60mV 法则)。
- V_{BE}表现出大约 −2mV/℃ 的温度系数(−2mV 法则)。

i_C-v_{BE}曲线在特定工作点 $Q=Q(I_C, V_{BE})$处的斜率记作 g_m，称为跨导(单位是 A/V)，有：

$$g_m = \left.\frac{\partial i_C}{\partial v_{BE}}\right|_Q \tag{2.19}$$

对式(2.10)微分，可以得到：

$$g_m = \frac{I_C}{V_T} \tag{2.20}$$

这允许我们在任意偏置电流 I_C下计算 BJT 的跨导。为了有一个直观感觉，在 I_C=1mA 时，我们有 g_m=38mA/V，这通常用另一种形式表示 $g_m=1/(26\Omega)$。

已经接触到 MOSFET 的读者可能发现了这与 MOSFET 的跨导有所相似，其表示为 $g_m=I_D/(0.5V_{OV})$，其中，V_{OV}是维持一个给定漏电流 I_D所需要的过驱动电压。通常$0.5V_{OV} \gg V_T$，所以对于同样的偏置电流，一个 FET 与 BJT 相比将得到低得多的跨导。这是 FET 与 BJT 相比一个很大的缺点，特别是对于高增益放大器的设计而言。

不同 V_{BE}值下的 i_C-v_{CE}特性

图 2.14a 画出了一个 PSpice 电路，来显示 2N2222 在不同 V_{BE}电压驱动下的 i_C-v_{BE}曲线。在所给例子中，V_{BE}从 650mV 按 10mV 的间隔增大到 710mV。从图 2.14b 所示曲线中我们可以看出，当 v_{CE}足够正时，i-v 曲线几乎是平的，这表明 BJT 是一个压控电流源。

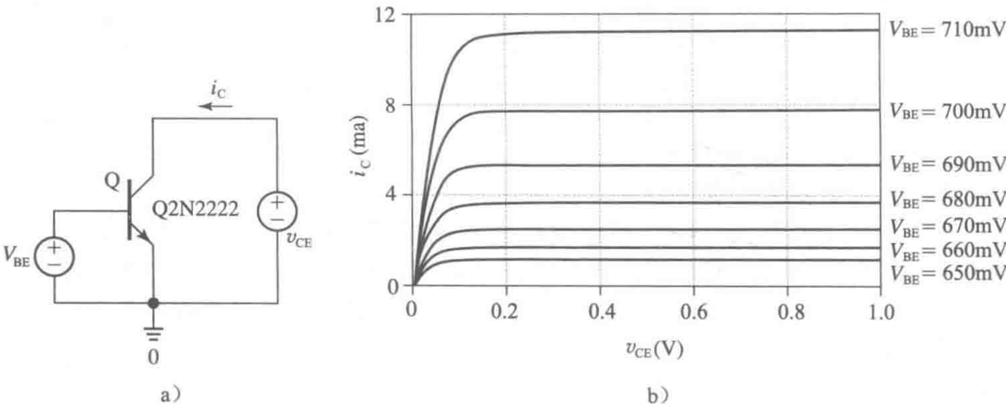


图 2.14 在不同的 v_{BE}值以及 $0 \leqslant v_{CE} \leqslant 1$V 的条件下，用 PSpice 表示出 2N2222 的 i_C-v_{CE}曲线

这是正向有源区的工作状态。在这个区域，曲线的间隔随着 V_{BE} 的增长而指数型增加，这符合式(2.10)(已经接触到 MOSFET 的读者可以回想到 FET 的曲线间隔在 V_{GS} 上升时仅是按平方增长)。

对于较低的 v_{CE} 值，曲线会向下弯曲，这表明 i_C 有显著的下降。这是因为一旦 v_{CE} 的值下降到 V_{BE} 以下，BC 结将变为正向偏置，从基区流向集电区的电流分量 i_{BC} 会增加。由 KCL 可知，流入集电极端的电流现在是 $i_C = I_S \exp(V_{BE}/V_T) - i_{BC}$。因为 BC 结正向偏置越来越大，在这两项相互抵消时，i_C 会下降到 0。这是 v_{CE} 接近 0V 时发生，虽然不是精确的 0V，这是因为两个结的饱和电流在数值上并不完全一致。当两个结都正向偏置时，称 BJT 工作在饱和(sat)态。这样命名的原因随着我们的学习将会变得更明朗。

厄利效应

如果我们用图 2.15 所示的更小的水平刻度来表示 i_C-v_{CE} 曲线，我们可以注意到有源区的曲线斜率随着 v_{BE} 的增大而逐渐增大。而且，所有曲线的延长线在 $v_{CE} = -V_A$ 这一共同点上交汇。这称作厄利电压以纪念第一个发现此现象的詹姆斯 M. 厄利，V_A 的值通常在 10V 到 100V 之间。在 2N2222 BJT 的 PSpice 模型中，$V_A > 75$V。

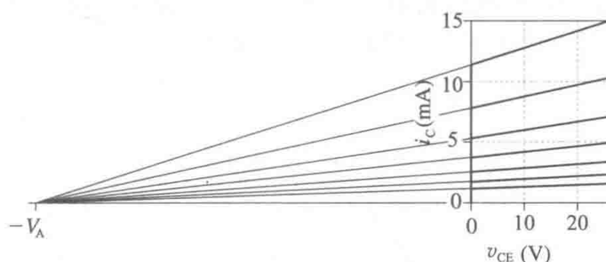


图 2.15　厄利效应和厄利电压 V_A

i_C-v_{BE} 曲线的倾斜是因为有效基区宽度 W_B 会随着 v_{CE} 的增加而减小，这称为基区宽度调制效应或厄利效应。为了体会这点，假设 BJT 本身在某电压 $v_{CE} = V_{CE1}$ 的偏置下处于有源区(见图 2.16a)。令相应的基区宽度为 W_{B1}，电子的电流密度为 J_{n1}(见图 2.16b)，集电极电流为 $I_{C1}(=J_{n1}A_E)$。如果我们现在将 v_{CE} 增大到一个新值 V_{CE2}，BC 结的反向偏置也同样会增加，这表明 SCL 内的电场 E_{CB} 将会相应地增加。再参考图 2.5，可以说明，电场线数量的增加是以 SCL 的拓宽为代价的，以产生更多的离子。因此，基区宽度会减小到一个新值 $W_{B2}(<W_{B1})$，如图 2.16b 所示。然而，因为基区宽度变小，$n'_B(x)$ 的斜率增加，最终将电流密度提高到一个新值 $J_{n2}(>J_{n1})$，因此，集电极电流变为 $I_{C2}(>I_{C1})$。这种因果关系链可概括如下：

$$(v_{ce}\ \text{增加}) \rightarrow (\text{BC 的 SCL 变宽}) \rightarrow (W_B\ \text{减小}) \rightarrow (n'_B\ \text{斜率增加}) \rightarrow (J_n\ \text{增加})$$

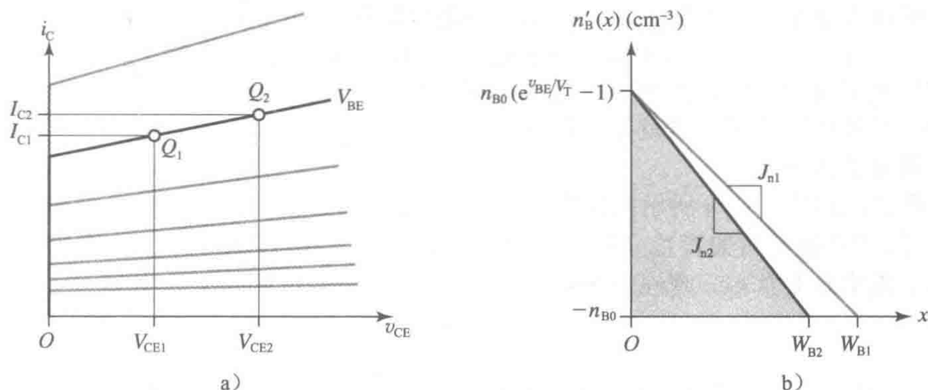


图 2.16　基宽度调制效应

显然，虽然 i_C 主要由 v_{BE} 控制，但其也与 v_{CE} 有关，即便影响很小。为了反映这个相关性，式(2.10)被修正为：

$$i_C = I_s e^{v_{BE}/V_T}\left(1 + \frac{v_{CE}}{V_A}\right) \tag{2.21}$$

我们观察到，BJT 的基区越窄，厄利效应就越显著，因此 V_A 的值也越小。我们现在可以对图 2.13 所示的 PSpice 仿真进行一个抽查，这是作为一个工程师所需的好习惯。因此，取 $V_{BE}=700\text{mV}$，应用式(2.21)及 $V_{CE}=1.0\text{V}$，可以得到：

$$I_C = 14.34\times10^{-15}e^{700/25.9}\left(1+\frac{1}{75}\right)\text{A}\approx7.9\text{mA}$$

这与图 2.13b 所示的值相符合。

不同 I_B 驱动下的 i_C-v_{CE} 特性

因为 BJT 可以被电压和电流所驱动，另一个描述特性的方法是，在不同的驱动电流 I_B 下，显示其 i_C-v_{CE} 曲线。在图 2.17 所示的例子中，I_B 按 $10\mu\text{A}$ 的间隔从 0 增大到 $60\mu\text{A}$。对于 $I_B=0$ 我们有 $I_C=0$，BJT 此时截止(CO)。我们注意到曲线在正向有源区的间隔现在更加一致。并且，因为在电压驱动的情况下，厄利效应的存在使得曲线有一些倾斜。这种类型的特性分析有一个优点，那就是允许我们仅需通过观察就可以在特定的正向有源工作点 Q_F 下求出 β_F。例如，考虑在 $V_{CE}=0.8\text{V}$、$I_B=60\mu\text{A}$ 的情况下的工作点 Q_F。

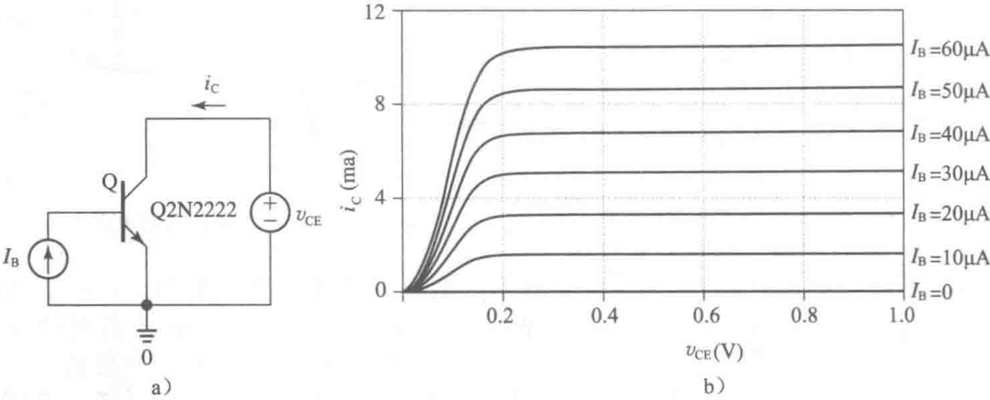


图 2.17　在不同的 I_B 值以及 $0\leqslant v_{CE}\leqslant1\text{V}$ 的条件下，用 PSpice 表示出 2N2222 的 i_C-v_{CE} 曲线

可以看出集电极电流大约是 $I_C=10.5\text{mA}$。因此，给定工作点 $Q_F(I_C, V_{CE})=Q_F(10.5\text{mA}, 0.8\text{V})$ 下的电流增益容易求出 $\beta_F=10.5/0.060=174$。

在电压驱动的情况下，小的 v_{ce} 值会使曲线向下弯曲。这个弯曲也是因为一旦 v_{CE} 下降到 V_{BE} 之下，BC 结变为正向偏置，从而从基极向集电极抽取电流 i_{BC}。从现有的基极和集电极电流中减去这个新的电流分量，则流入集电极的净电流现在是 $i_C=\beta_F(I_B-i_{BC})-i_{BC}=\beta_F I_B-(\beta_F+1)i_{BC}$。因为 BC 结正偏得越来越大，当两项相互抵消时 i_C 会下降到 0。因为 i_{BC} 的效果被放大了 β_F+1 倍，饱和所需的正向偏置也变小了。与图 2.14b 所示的相比，曲线现在"更早地"开始弯曲了，也就是说稍微向右移动了。

反向有源工作模式

如果我们允许图 2.17a 所示电路中的 v_{CE} 可以取负值，则发射极和集电极将会互换(BC 结正向偏置，BE 结反向偏置)。当在这种模式(称为反向有源(RA)模式)下工作时，BJT 表现出的电流增益非常小，现在记为：

$$\beta_R=\frac{-I_E}{I_B}$$

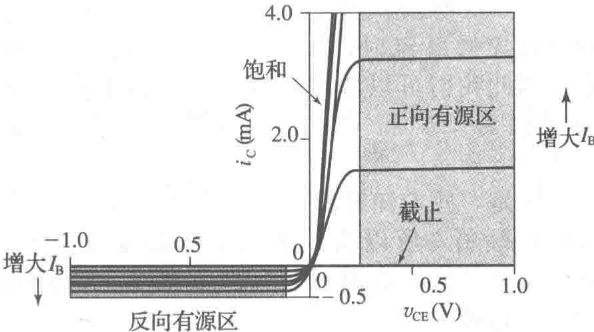
常用的 2N2222 BJT 的反向有源模式在图 2.18a 所示的左下区域画出。这种低电流增益是因为电子现在从轻掺杂的集电区注入到基极，而空穴从重掺杂基极注入到集电极。显然，原本在正向有源区用于保证高电流增益的条件，对于反向有源工作模式是不利的。实际应用中晶体管表现出的 β_R 值可高达 10 也可低至 0.1 或更低(见章节末尾求 β_R 的问题实例)。

排除一些特殊的情形，处在反向有源区的 BJT 几乎不能提供一些实际优势。我们将在第 6 章学习开关器件中 BJT 的存储时间时再次讨论该状态。为了方便起见，BJT 的四种工

作模式在图 2.18b 中用表格列出。这个表格对 npn BJT 和 pnp BJT 都适用。

晶体管击穿电压

当反向偏置足够大时，BJT 的每个结都可被驱动于击穿区。因为发射结是重掺杂的，BE 结(集电极开路)会产生齐纳击穿，击穿电压的典型值为 $BV_{EB0} \approx 6V$。只要我们限制功耗，这种模式就不是破坏性的，但在这种模式下，β_F 会显著降低，所以要尽力避免这种模式。



a）常用2N2222 BJT的四个工作区域

BE	BC	模式
R	R	CO
F	R	FA
R	F	RA
F	F	Sat

b）BJT的四种工作模式（F代表正偏，R代表反偏）

图　2.18

另一方面，为了在足够宽的 v_{CE} 范围内都能工作，集电极端是轻掺杂的，在这种情况下产生的是雪崩击穿。击穿过程的 i_C-v_{CE} 特性曲线如图 2.19 所示，这比基本 pn 结的特性复杂得多，这是由于 BJT 本身对电流进行了放大。进入基极的电流，无论是在 BC SCL 内热产生的，还是雪崩过程产生的，都会被放大 β_F 倍。而且，β_F 开始较小，但会随着电流的增大而增大，如图 2.12 所示。简而言之，因为电流放大，BV_{CEO} 的值是明显低于 BC 结的击穿电压的，此时集电极是开路的。显然，BJT 的工作状态需要被限定在一定的 v_{CE} 值内，这个值在一个安全余量内都需要小于 BV_{CEO}。如果一个 BJT 不能满足应用的需求，就应该选取另一种高 BV_{CEO} 等级的 BJT。BJT 的 BV_{CEO} 等级的范围很宽，从 6V 的数字应用到数百伏的功率器件。

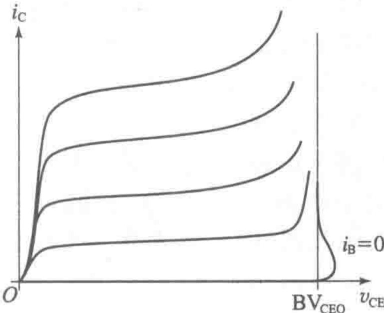


图 2.19　集电极-发射极击穿特性

2.4　工作区与 BJT 模型

我们现在详细地重新审视各种 BJT 的工作模式，并为了更快地进行手工直流分析来得出一个合适的 BJT 模型。用与 pn 结类似的方法，我们规定若想让 BJT 完全导通，BE 结压降大约是 0.7V，写为：

$$V_{BE(on)} = 0.7V \tag{2.22a}$$

这是对于一个 npn 型 BJT 而言的，对于 pnp 型 BJT 是 $V_{EB(on)} = 0.7V$。出于统计的目的，我们规定使一个 BJT 到达导通边缘(EOC)的 BE 结压降大约是 0.6V，对于 npn 型 BJT 而言，有：

$$V_{BE(EOC)} = 0.6V \tag{2.22b}$$

对于 pnp 型 BJT，$V_{EB(EOC)} = 0.6V$。当我们进一步研究时会发现，相比于正向有源模式，想让 BJT 工作在饱和态，会特意将其基极电流设置得更高，这是出于安全的考虑。因此，BE 压降将会变得稍高。对于 npn 型 BJT，我们规定：

$$V_{BE(sat)} = 0.8V \tag{2.22c}$$

对于 pnp 型 BJT，$V_{EB(sat)} = 0.8V$。上述的这些差别是微小的，许多作者把这些值都取为 0.7V。但如提到的，为了统计的目的，我们保持了这些差别。

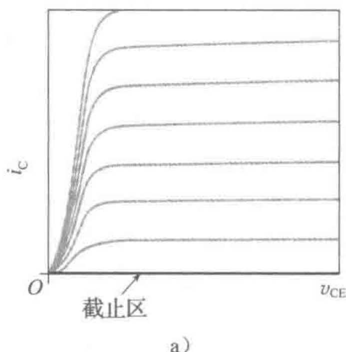
截止(CO)区

截止(CO)区被定义为在 i_C-v_{CE} 特性中，

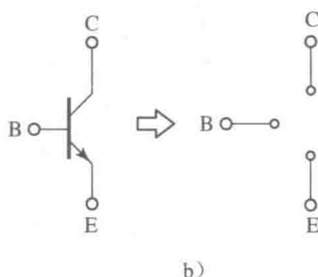
$$i_C = 0$$

如图 2.20a 所示。当没有一个结是足够的正向偏置以导通电流时，BJT 就工作在截止(CO)态。因此我们可以忽略这些电流，为了实际应用可以称 BE 和 CB 端都可看作开路，如图 2.20b 所示。

但是，我们知道温度每上升 10℃，结的反向电流翻倍，所以当预期的工作温度较高时，设计者必须检查高温下实际的泄漏电流是否影响了电路特性。



a)



b)

图 2.20 npn BJT 的截止区及相关的大信号模型

正向有源(FA)区

正向有源(FA)区，在图 2.21a 所示曲线中有所强调，定义为：

$$i_C > 0,\quad v_{CE} > V_{CE(EOS)}(\approx 0.2V)$$

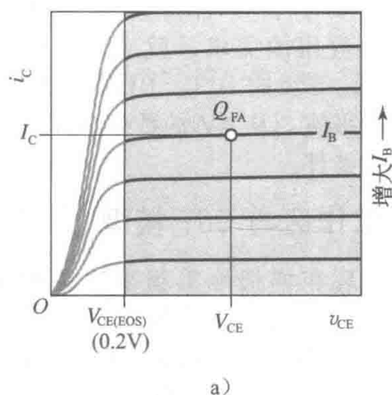
此处的下标 EOS 表示饱和边缘(对于一个 pnp 型 BJT，这些条件是 $i_C>0$ 及 $V_{EC(EOS)}\approx 0.2V$)。为了使 npn 型 BJT 工作在正向有源区，其 BE 结必须正向偏置在 $v_{BE}=V_{BE}(ON)\approx 0.7V$，其 BC 结必须是反向偏置的，至多是轻微正向偏置但不足以导通任何有效的正向电流 i_{BC}。用图 2.17b 所示 2N2222 的特性进行判断，这对低功耗至中等功耗 BJT 很具代表性，我们看到，该 BJT 可以容忍轻微的 BC 正偏并依然给出平滑的曲线，直到 $v_{CE}\approx 0.2V$，这里 $v_{BC}=v_{BE}-v_{CE}\approx(0.7-0.2)V=0.5V$。

正向有源区的曲线是近乎水平的，表明此处电路类似于电流源。因此，我们可以用一个电流控制的电流源(CCCS)来作为 CE 端口的模型，如图 2.21b 所示，有：

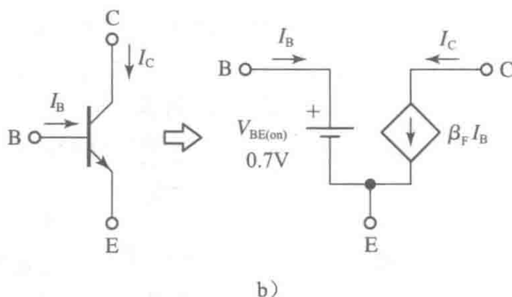
$$I_C = \beta_F I_B \tag{2.23}$$

有些作者在对曲线的倾斜部分建模时，会包括一个适当大的电阻 r_o 与 CCCS 并联，但在直流分析中，为了简便通常忽略该电阻，所以在此也不画出。如图 2.21 所示，BE 部分建模为一个普通的 pn 结二极管，其电压源 $V_{BE(on)}\approx 0.7V$。如上文所提到的，正向有源区内任意工作点 Q_{FA} 处的 β_F 的值可求出为：

$$\beta_F = \left.\frac{I_C}{I_B}\right|_{Q_{FA}} \tag{2.24}$$



a)



b)

图 2.21 正向有源区及相关的大信号模型

由 KCL，我们有 $I_E=I_B+I_C=I_B+\beta_F I_B$，即

$$I_E = (\beta_F + 1)I_B \tag{2.25}$$

同样地，还有 $I_C=\beta_F I_B=\beta_F I_E/(\beta_F+1)$，即

$$I_C = \alpha_F I_E \tag{2.26}$$

这里的 α_F，代表共基极正向电流增益，为：

$$\alpha_F = \frac{\beta_F}{\beta_F + 1} \tag{2.27}$$

相比之下，β_F 称为共射极正向电流增益。如果 α_F 已知，可求得 β_F 为：

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \tag{2.28}$$

正如提到的，一个 BJT 其 β_F 的典型值为 $\beta_F = 100$，因此 $\alpha_F = 100/101 = 0.99$。同样地，如果 $\beta_F = 250$，那么 $\alpha_F = 0.996$。我们观察到 α_F 很接近 1 但小于 1。α_F 的细微变化会导致大得多的 β_F 变化，所以在应用式(2.28)时必须更加细心。因为 α_F 接近于1，式(2.26)通常近似为 $I_C \approx I_E$，但这仅在正向有源区成立！

饱和(sat)区

饱和区，在图 2.22a 所示曲线中有所强调，记为：

$$i_C > 0,\quad 0 < v_{CE} < V_{CE(EOS)} \approx 0.2\text{V}$$

对于 pnp 型 BJT，这些条件变为 $i_C > 0$ 和 $v_{EC} < V_{EC(EOS)} \approx 0.2\text{V}$。我们知道，在饱和态下，BC 结变为正向偏置，并从基区抽取电流，因此只允许一小部分 I_B 被放大 β_F 倍。因此，对于一个给定的基极驱动电流 I_B，饱和区内任意工作点 Q_{sat} 处的集电极电流总比正向有源区内一工作点 Q_{FA} 处的集电极电流小。换句话说，我们通常有 $I_{C(sat)} < \beta_F I_B$。$I_{C(sat)}/I_B$ 这个比值通常记为 β_{sat}，具体为：

$$\beta_{sat} = \left.\frac{I_{C(sat)}}{I_B}\right|_{Q_{sat}} < \beta_F \tag{2.29}$$

这个不等式提供了对 BJT 是否工作在饱和区的另一种检验方法。

饱和区的曲线相对陡峭，这表明其类似于电压源。而且，它们在饱和区中部的一点上归拢在一起。因此，如图 2.22b 所示，我们用一个电压源对 CE 部分进行建模：

$$V_{CE(sat)} \approx 0.1\text{V} \tag{2.30}$$

一些作者在对曲线的倾斜部分进行建模时，还包括了一个与电压源串联的合适小电阻 $R_{CE(sat)}$，但对于直流分析而言，为了简便通常忽略它，所以我们也不讨论它了。如图 2.22 所示，BE 部分用一个普通的 pn 结来建模，但其压降稍高，$V_{BE(sat)} \approx 0.8\text{V}$，这说明在实际应用中，饱和区 BJT 通常由较大的基极电流来驱动。意识到这点是非常重要的，因为式(2.29)的不等关系，式(2.23)到式(2.28)在 BJT 进入饱和区时不再成立。它们的有效区域仅仅是正向有源区！然而，由 KCL 我们仍然有，$I_E = I_B + I_C$。

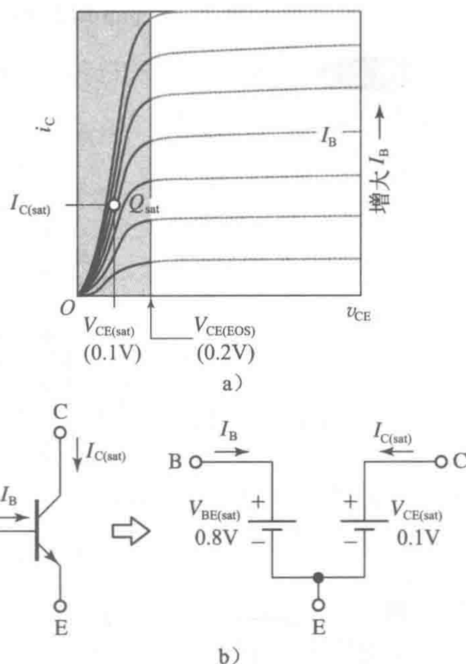


图 2.22　npn BJT 的饱和区域及相关的大信号模型

例 2.4 假设一个 BJT 被偏置在正向有源区，$V_{BE} = 700\text{mV}$，$V_{CE} = 1\text{V}$，$\beta_F = 100$. 若 V_{CE} 逐渐降低，直到 β_F 降低了 10%，此时 V_{CE} 的值是多少？假设 BE 结和 BC 结的 I_S 值相同。

注意：当这个下降产生时，BJT 称为软饱和态，即饱和区边缘(EOS)。

解：

在软饱和态，BC 结变得轻微正向偏置，并带电流，即 $I_{BC} \neq 0$。为了使 $\beta_F(=I_C/I_B)$ 下降 10%，I_B 必须上升大约 10%，这个上升值就刚好是 I_{BC}。令 $I_{BC} \approx 0.1 I_B = 0.1(I_C/1\,000 = I_C/10^3$，这表明 I_{BC} 比 I_C 小三个数量级。根据 60mV 规则，$V_{BC} = V_{BE} - 3 \times 60\text{mV} = (700-$

180)mV＝520mV。由 KVL，$V_{CE}=V_{BE}-V_{CE}=0.18V$(通常假定 $V_{CE}\approx 0.2V$)。◀

pnp 型 BJT 的大信号模型

如前所述，适用于 npn 型 BJT 的知识主体可以轻易地被扩充到对应的 pnp 部分，只要我们将电流方向和电压极性反向即可。pnp 模型如图 2.23 所示。为了指出 npn 型和 pnp 型之间的共同点和不同点，建议读者从基本 BJT 电路的分析方法开始，我们现在来考虑一个具体电路。

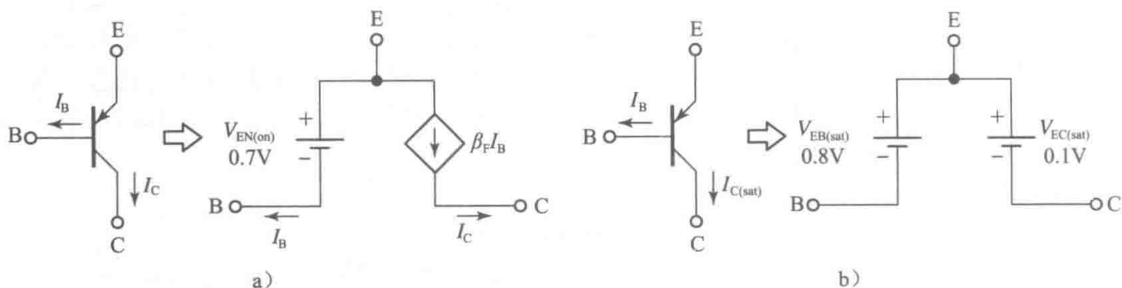


图 2.23　pnp BJT 在(a)正向有源区和(b)饱和区中的大信号模型

例 2.5 在图 2.24 所示的电路中，求出使 $V_2=5V$ 的 V_1。在最终电路中标明所有的电压和电流。

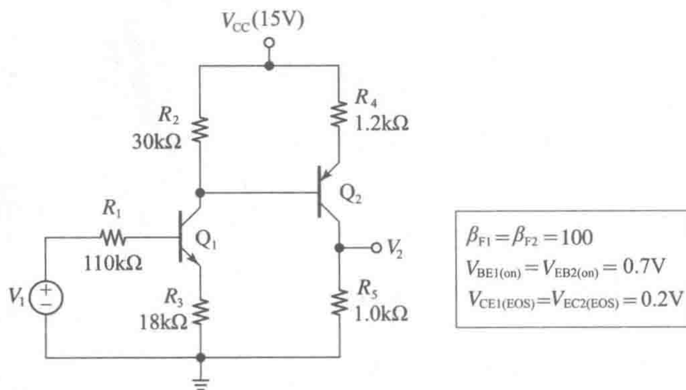


图 2.24　例 2.5 的电路图

解：

首先求 V_2，再求 V_1，逐步进行。每一步的结果可用图 2.25 所示对应的步骤编号来验证。

(1) 由欧姆定律，Q_2 的集电极电流是 $I_{C2}=V_2/R_5=(5/1)mA=5.0mA$。流向器件外。

(2) 假设 Q_2 处于正向有源区，则其发射极电流是 $I_{E2}=I_{C2}/\alpha_{F2}=(5/(100/101))mA=5.05mA$，流进 Q_2。

(3) 由欧姆定律和 KVL，Q_2 的发射极电压是 $V_{E2}=V_{CC}-R_4I_{E2}=(15-1.2\times 5.05)V=8.94V$。

(4) 检验：$V_{EC2}=V_{E2}-V_{C2}=(8.94-5)V=3.94V>0.2V$，因此证明 Q_2 是处于正向有源区。

(5) 因为 Q_2 处于正向有源区，其基极电流是 $I_{B2}=I_{C2}/\beta_{F2}=(5/100)mA=0.05mA$，流出 Q_2。

(6) 由 KVL，Q_2 的基极电压是 $V_{B2}=V_{E2}-V_{EB2(on)}=(8.94-0.7)V=8.24V$。这也是 Q_1 的集电极电压 V_{C1}。

(7) 由欧姆定律，流过 R_2 的电流是 $I_{R2}=(V_{CC}-V_{C1})/R_2=((15-8.24)/30)mA=0.225mA$。

(8) 由 KCL，Q_1 的集电极电流是 $I_{C1}=I_{R2}+I_{B2}=(0.225+0.05)mA=0.275mA$，流入 Q_1。

(9) 假设 Q_1 处于正向有源区，则其发射极电流是 $I_{E1}=I_{C1}/\alpha F_1=0.275/(100/101)mA=0.278mA$，流出 Q_1。

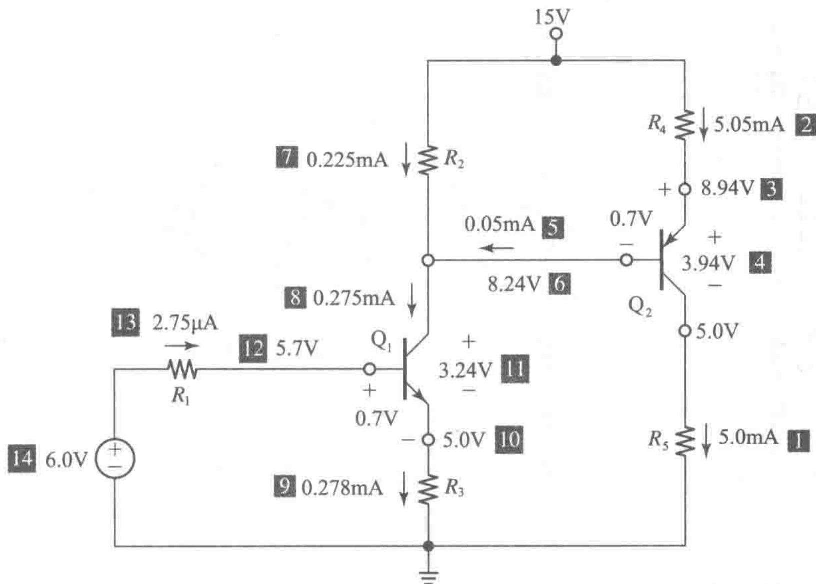


图 2.25　图 2.24 所示电路中每个计算步骤的电压、电流值

(10) 由欧姆定律，Q_1 的发射极电压是 $V_{E1}=R_3I_{E1}=(18\times0.278)V=5.0V$。

(11) 检验：$V_{CE1}=V_{C1}-V_{E1}=(8.25-5)V=3.25V>0.2V$，因此证明 Q_1 处于正向有源区。

(12) 由 KVL，Q_1 的基极电压是 $V_{B1}=V_{E1}+V_{BE1(on)}=(5.0+0.7)V=5.7V$。

(13) 因为 Q_1 处于正向有源区，其基极电流是 $I_{B1}=I_{C1}/\beta_{F1}=(0.275/100)mA=2.75\mu A$，流进 Q_1。

(14) 由欧姆定律和 KVL，需要的电压是 $V_1=R_1I_{B1}+V_{B1}=(0.110\times2.75+5.7)V=6.0V$。

鼓励同学们参照图 2.21b 和 2.23a 中的正向有源模型，对每一步都进行具体计算。◀

求 BJT 的工作状态

对 BJT 电路进行直流分析的一个常见任务是求出 BJT 在给定电路中的工作状态。除去不常用的反向有源状态，一个 BJT 可以处于截止(CO)区、正向有源(FA)区和饱和(sat)区。下面是研究 npn 型 BJT 的一种可行方法。

- 求出外部电路在 BE 结产生的开路电压 $V_{BE(oc)}$，即把 BJT 从电路移除时，B 和 E 节点之间的电压。若 $V_{BE(oc)}<V_{BE(EOC)}\approx0.6V$，则 BJT 处于截止区，讨论结束。反之，其导通，可能在正向有源区和饱和区。
- 假设处于正向有源状态。用正向有源区的大信号 BJT 模型，求出工作点 $Q=Q(I_C, V_{CE})$，并通过检查 V_{CE} 来检验假设是否正确。若 $V_{CE}>V_{CE(EOS)}\approx0.2V$，则 BJT 确实在正向有源区，讨论结束。
- 相反，如果我们计算得到 $V_{CE}<V_{CE(EOS)}\approx0.2V$，BJT 一定是饱和的，我们需要计算 I_C，这时要通过饱和模型计算，其中 $V_{CE}=V_{CE(sat)}\approx0.1V$。作为最终减压，求出比值 $\beta_{sat}=I_C/I_B$，并验证确实得到了 $\beta_{sat}<\beta_F$。

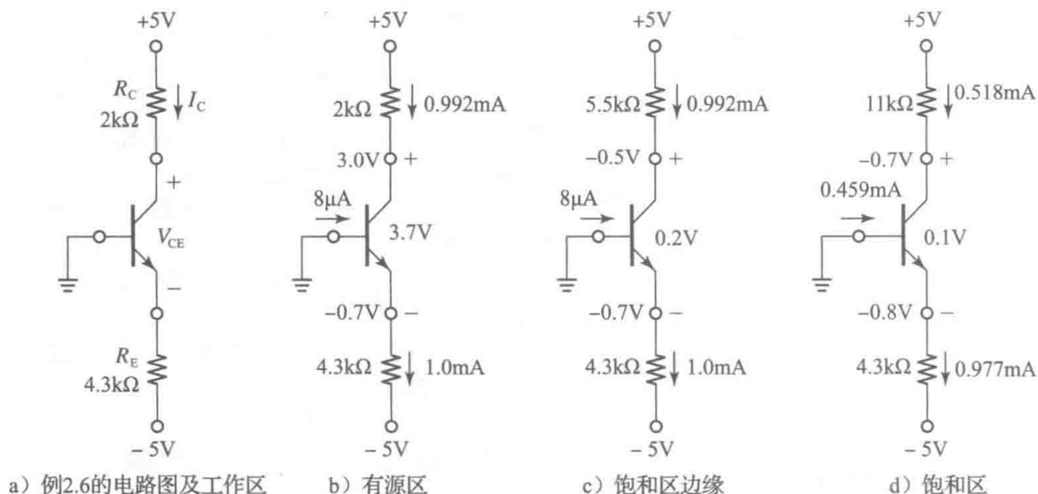
这个过程也同样适用于 pnp 型 BJT，只要我们将电流方向和电压极性反向即可。特别地，若 $V_{EB(oc)}<V_{EB(EOC)}\approx0.6V$，pnp 型器件是截止的。反之其导通，我们需要检查 V_{EC} 来确认其工作状态。如果我们的计算得到 $V_{EC}>V_{EC(EOS)}\approx0.2V$，则 BJT 处于正向有源区。否则，它就是饱和的，我们需要利用饱和模型重新计算 I_C，其中，$V_{EC}=V_{EC(sat)}\approx0.1V$。

例 2.6　图 2.26a 所示的 BJT 有 $\beta_F=125$，电压值由式(2.22)和式(2.30)可得。

(a) 求出 BJT 的所有电压和电流。

(b) 当我们将 R_C 增大到何值时，BJT 到达饱和边缘(EOS)?

(c) 若 R_C 增大到(b)问中的 2 倍，会发生什么?



a）例2.6的电路图及工作区　b）有源区　c）饱和区边缘　d）饱和区

图　2.26

解：

(a) 因为基极电压是 0V，发射极通过 R_E 连向 −5V 电压，显然 BJT 导通。假设其处于正向有源区，因此 $V_E=-0.7V$。则有 $I_E=[-0.7-(-5)]/4.3mA=1.0mA$，$I_C=((125/126)\times1.0)\ mA=0.992mA$，$V_C=(5-2\times0.992)\ V\approx3.0V$，$V_{CE}=VC-VE=(3-(-0.7))V=3.7V$。

检验：因此 $V_{CE}>V_{CE(EOS)}$ (3.7V>0.2V)，BJT 确实处于正向有源区，符合假设。这种情况在图 2.26 中总结出来，并标明了 $I_B=(1.0/126)mA=8\mu A$。

注意：为了求得 V_C，我们可以近似认为 $I_C\approx I_E=1.0mA$ 来加快我们的计算，得到的结果仍然是较为精确的。

(b) 在饱和区边缘，所有的电流仍然和正向有源区相同，唯一的区别是，现在 $V_{CE}=V_{CE(EOS)}=0.2V$。如图 2.26c 所示，我们现在有 $V_C=V_E+V_{CE(EOS)}=(-0.7+0.2)V=-0.5V$。因此，将 BJT 带入饱和边缘态的 R_C 的值是 $R_C=([5-(-0.5)]/0.992)k\Omega\approx5.5k\Omega$，如图 2.26 所示。

(c) 我们认为当 $R_C=(2\times5.5)k\Omega=11k\Omega$ 时，BJT 饱和。为了验证这点，我们假设其仍然处于正向有源区。然后有 $V_C=(5-11\times0.992)V=-5.9V$，$V_{CE}=(-5.9-(-0.7))V=-5.2V$，这是不可能的！因此，BJT 必须是饱和的，$V_{CE}=V_{CE(sat)}=0.1V$，$V_{BE(sat)}=-0.8V$。

这在图 2.26d 中画出。我们现在有 $I_E=((5-0.8)/4.3)mA=0.997mA$，$V_C=(-0.8+0.1)V=-0.7V$，$I_C=(5.7/11)mA=0.518mA$。由 KCL，基极电流现在是

$$I_B=I_E-I_C=(0.977-0.518)mA=0.459mA$$

相比于正向有源区的 0.008mA，这增大了很多！

检验：为了确认，计算 $\beta_{sat}=0.518/0.459\approx1.1$。因为 $\beta_{sat}<\beta_F$ (1.1<125)，BJT 确实处于深饱和区！ ◀

在图 2.27a 所示的常用电路中，由 R_1 和 R_2 组成的分压电路建立了一个对基极的偏置电压，而 R_E 和 R_C 则设置了 BJT 的工作点，为了简化分析，将分压电路用其戴维南等效电路代替，其由开路电压源

$$V_{BB}=\frac{R_2}{R_1+R_2}V_{CC} \tag{2.31a}$$

和串联电阻

$$R_B=R_1\ /\!/\ R_2 \tag{2.31b}$$

组成。然后，电路可以化为图 2.27b 或图 2.27c 所示的等效电路，这取决于 BJT 是工作在正向有源区还是饱和状态。

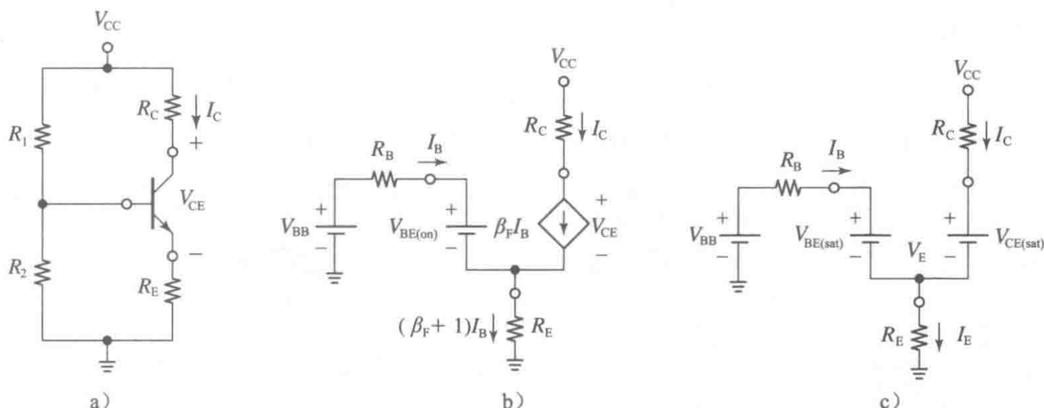


图 2.27　(a)常见的单电源 BJT 电路及 BJT 在(b)正向有源区和(c)饱和区的等效电路

就这一点上而言，我们作出以下的观察：

- 在图 2.27b 所示的正向有源等效中，我们应用 KVL，并写出：

$$V_{BB} = R_B I_B + V_{BE(on)} + R_E(\beta_F + 1) I_B$$

求解 I_B，再乘以 β_F，我们得到：

$$I_C = \beta_F \frac{V_{BB} - V_{BE(on)}}{R_B + (\beta_F + 1) R_E} \tag{2.32}$$

- 在图 2.27c 所示的饱和等效中，我们应用 KCL 并写出：

$$\frac{V_{BB} - (V_E + V_{BE(sat)})}{R_B} + \frac{V_{CC} - (V_E + V_{CE(sat)})}{R_C} = \frac{V_E}{R_E} \tag{2.33}$$

这个方程求解 V_E很简单，这样一来我们就可以通过 KVL 和欧姆定律求得其他电压和所有电流的值。

例 2.7　在图 2.28a 所示的电路中，令 $V_{CC}=9V$，$R_1=30k\Omega$，$R_2=15k\Omega$，$R_C=3.0k\Omega$，$R_E=2.2k\Omega$，再令 $\beta_F=100$，电压值见式(2.22)和式(2.30)。

(a) 求出 BJT 所有的电压和电流值，并在电路中标明。

(b) 若将 R_E降低到 0.75kΩ，重求(a)问。

(c) 若将 R_2降低到 1.0kΩ，重求(a)问。

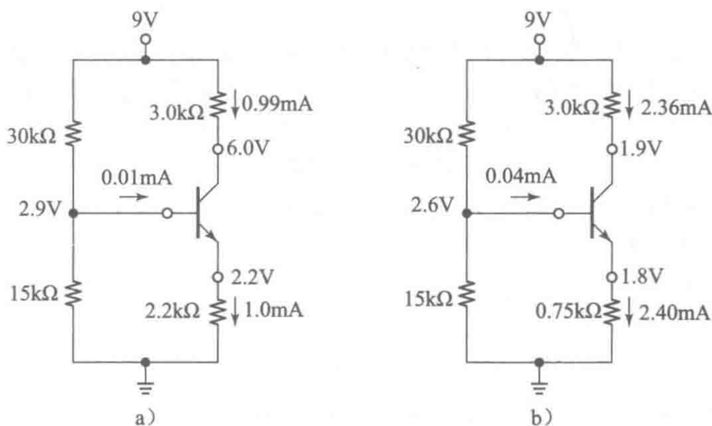


图 2.28　例 2.6 的电路图，分别表示(a)在 $\beta_F=100$ 时的正向有源区和(b)在 $\beta_{sat}=59$ 时的饱和区

解：

(a) 假设 BJT 处于正向有源区。应用式(2.31)，我们得到：

$$V_{BB} = \frac{15}{30+15} \times 9V = 3V, \quad R_B = \frac{30 \times 15}{30+15} k\Omega = 10k\Omega$$

再用式(2.32)，我们得到：

$$I_C = 100 \times \frac{3-0.7}{10+101\times 2.2}\text{mA} = 0.99\text{mA}$$

因此，我们有 $I_B = I_C/\beta_F = (0.99/100)\text{mA} \approx 0.01\text{mA}$，$I_E = I_C/\alpha_F = (0.99/(100/101))\text{mA} = 1.0\text{mA}$。同样有：

$$V_B = V_{BB} - R_B I_B = (3 - 10\times 0.01)\text{V} = 2.9\text{V}$$
$$V_C = V_{CC} - R_C I_C = (9 - 3.0\times 0.99)\text{V} \approx 6.0\text{V}$$
$$V_E = V_B - V_{BE(on)} = (2.9 - 0.7)\text{V} = 2.2\text{V}$$

所有电压与电流如图 2.28a 所示。

检验：我们有 $V_{CE} = V_C - V_E = (6.0-2.2)\text{V} = 3.8\text{V}$。因为 $V_{CE} > V_{CE(EOS)}$ $(3.8\text{V} > 0.2\text{V})$，BJT 确实处于正向有源区，符合假设。

注意：实际的基极电压($V_B = 2.9\text{V}$)比开路电压($V_{BB} = 3\text{V}$)稍小，这是由于很小的基极电流的缘故，导致 BJT 对偏置网络的负载降低。

(b) 我们仍然先假设处于正向有源区。重复上述的计算，但 $R_E = 0.75\text{k}\Omega$，可求得 $I_C \approx 2.7\text{mA}$，所以 $V_{CE} \approx (9-3\times 2.7 - 0.75\times 2.7)\text{V} = -1\text{V}$。因为这表明 $V_{CE} < V_{CE(EOS)}$ $(-1\text{V} < 0.2\text{V})$，我们的结论是 BJT 现在是饱和的，我们不能再用正向有源关系式了，如 $I_C = \beta_F I_B$，以及其他相似的。我们必须重新应用式(2.33)，写为：

$$\frac{3-(V_E+0.8)}{10} + \frac{9-(V_E+0.1)}{3} = \frac{V_E}{0.75}$$

求解 V_E，我们得到：

$$V_E = (95.6/53)\text{V} = 1.8\text{V}$$
$$V_B = (1.8+0.8)\text{V} = 2.6\text{V}$$
$$V_C = (1.8+0.1)\text{V} = 1.9\text{V}$$

而且有：

$$I_B = \frac{3-2.6}{10}\text{mA} = 0.04\text{mA},\quad I_C = \frac{9-1.9}{3}\text{mA} = 2.36\text{mA},\quad I_E = \frac{1.8}{0.75}\text{mA} = 2.40\text{mA}$$

注意，作为一个检验，这些电流满足 KCL。所有的电压和电流如图 2.28b 所示。

检验：为了确认，计算 $\beta_{sat} = 2.36/0.04 = 59$。因为 $\beta_{sat} < \beta_F$ $(59 < 100)$，BJT 确实处于饱和态！

注意：在这个例子中，我们通过降低 R_E 从而增加 I_C 来驱动 BJT 到饱和区。在例 2.5 中我们通过提高 R_C 来驱动 BJT 达到饱和。两种改变都降低了 V_C 以尝试达到 $V_{CE} < V_{CE(EOS)}$。电路中任何导致 V_{CE} 值下降的变化都有可能使 BJT 达到饱和态。可能的例子有增加 V_{BB}，或是将 BJT 用一个更高 β_F 的 BJT 或是两种方法同时使用。

(c) 我们现在有 $V_{BB} = [1/(30+1)]\times 9\text{V} = 0.29\text{V}$。这不足以有效导通 BE 结。BJT 现在是截止的，对于实际应用而言所有电流都为 0。而且，$V_B \approx 0.29\text{V}$，$V_E \approx 0$，$V_C \approx 9\text{V}$。 ◀

例 2.8 假设图 2.29a 所示电路中的 BJT 有 $\beta_{F1} = \beta_{F2} = 100$，$V_{BE}$ 是 0.7V，求出所有 BJT 的电压和电流，并明确标出。

解：

分别考虑两个 BJT 电路。首先考虑 Q_1 及其相关电阻，并对基极偏置网络进行戴维南简化，我们最后得到图 2.30a 所示的等效电路。由 KVL 我们得到：

$$V_{CC} = R_3(\beta_{F1}+1)I_{B1} + V_{EB1(on)} + R_{B1}I_{B1} + V_{BB1}$$

或

$$12 = 18\times(100+1)I_{B1} + 0.7 + 75I_{B1} + 7.5$$

这得到：

$$I_{B1} = 2\mu\text{A},\quad I_{C1} = 100\times 2\mu\text{A} = 200\mu\text{A},\quad I_{E1} = 101\times 2\mu\text{A} = 202\mu\text{A}$$

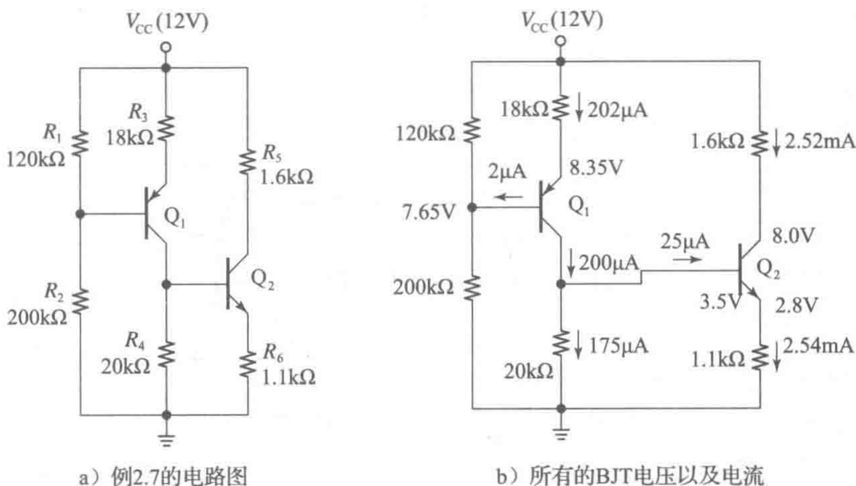


图　2.29

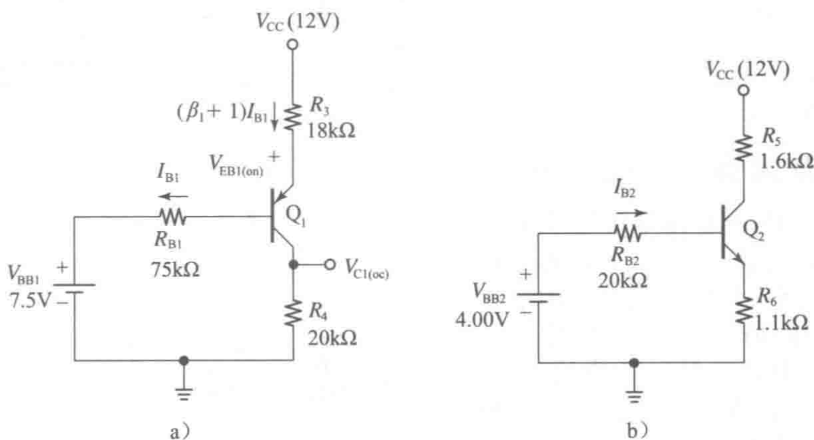


图 2.30　分析图 2.29a 所示电路的中间步骤

而且，我们有：

$$V_{B1} = (7.5 + 75 \times 0.002)\text{V} = 7.65\text{V}$$
$$V_{E1} = (7.65 + 0.7)\text{V} = 8.35\text{V}$$
$$V_{C1(OC)} = (20 \times 0.200)\text{V} = 4.00\text{V}$$

式中：$V_{C1(OC)}$是 Q_1 集电极的开路电压。一旦我们将 Q_2 代回图中，该电压对于 Q_2 而言会变为 V_{BB2}，R_4 会变为 R_{B2}。为了便于计算，我们可以将 Q_1 的戴维南等效电路替换为更简单的等效电路，如图 2.30b 所示。电路与图 2.27 所示的电路相似，所以我们用与例 2.7 相似的方法进行分析，并得到如图 2.29b 所示的电压和电流。◀

二极管工作模式

将基极和集电极连接起来，会使 BJT 变为一个二端器件。为了求出其 i-v 特性，我们对其加上测试电压 v，并检测其电流响应 i，如图 2.31a 所示。由 KVL，有：

$$i = i_B + i_C = \left(\frac{1}{\beta_F} + 1\right) i_C = \frac{I_s}{\alpha_F} e^{v/V_T} \tag{2.34}$$

这表明这个二端器件表现为一个二极管，其 BC 端为正极(A)，其发射端为负极(C)，I_s/α_F($\approx I_s$)是饱和电流。实际上，在集成电路中，二极管通常是这样创造出来的，即将一个 BJT 的 B 和 C 端连接在一起。对一个二极管连接的 BJT 进行的电路分析与一般的二极管的相同。

例 2.9 在图 2.31b 所示的电路中，令 BJT 的 $I_s=10\text{fA}$，$\beta_F=100$，$V_{BE(on)}=0.7\text{V}$。

(a) 若 $V_{CC}=5\text{V}$，$R=10\text{k}\Omega$，求出 I。

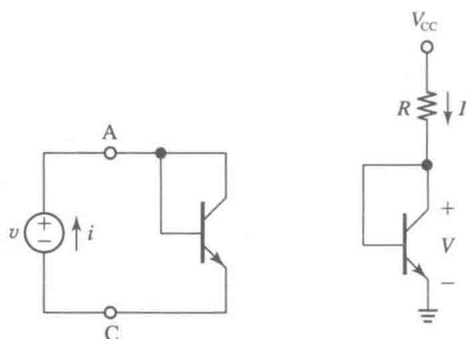
(b) 若 $V_{CC}=0.75\text{V}$，$R=1\text{k}\Omega$，重做(a)问。

解：

(a) 因为 $V_{CC}\gg V$，我们不需知道精确的 V 值，所以我们近似有 $V\approx V_{BE(on)}=0.7\text{V}$，写出：

$$I=\frac{V_{CC}-V}{R}\approx\frac{5-0.7}{10}\text{mA}=0.43\text{mA}$$

(b) 在这种情况下，V_{CC} 与 $V_{BE(on)}$ 接近，不能如(a)问一样分析。我们需要应用熟悉的二极管迭代方法，先求出 V，即



a）i-v 特性的测试电路　　b）电路实例

图 2.31　二极管连接的 BJT

$$V=V_T\ln\frac{I}{I_s/\alpha_F}\approx V_T\ln\frac{(V_{CC}-V)/R}{I_s}=0.026\ln\frac{0.75-V}{10^{-11}}$$

首先初步估算 $V=0.65\text{V}$，经过几次迭代，我们求得 $V=0.6078\text{V}$。因此，$I=((0.75-0.608)/1)\text{mA}=0.142\text{mA}$。◀

2.5　作为放大器/开关的 BJT

我们现在研究两种最常用的 BJT 应用：放大器和开关。为此，参考图 2.32 所示的基本电路，其中，R_B 的功能是将 v_I 转换为基极驱动电流 i_B，R_C 和 Q 可以看作形成了一个分压器：R_C 尝试将 v_O 拉至 V_{CC}，Q 尝试将 v_O 拉至接地。v_O 的值取决于哪种趋势较强。$v_O\sim v_I$ 的曲线，被称为电压转移曲线(VTC)，给出了对电路特性的深刻理解。图 2.33 画出了 VTC′及其他相关曲线，在该情况下 v_I 从 0V 逐步上升到 2V，BJT 的特性如图 2.32 所示。我们做出以下观察。

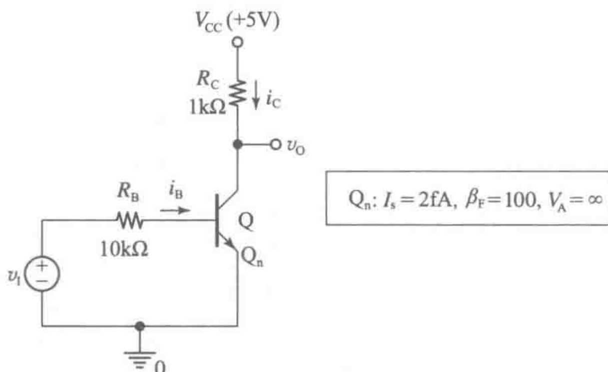


图 2.32　研究 BJT 作为放大器/开关的 PSpice 电路

- 对于 $v_I<V_{BE(EOC)}\approx 0.6\text{V}$，BE 结未充分偏置，因此 BJT 是截止的。因为集电极没有抽取电流，R_C 上的电压是 0V，这表明 R_C 将 v_O 一直拉至 V_{CC}。我们通过 $v_O=V_{OH}$ 来表示，其中，

$$V_{OH}=V_{CC}=5\text{V}\tag{2.35}$$

- 当 v_I 升高到

$$V_{I(EOC)}\approx 0.6\text{V}\tag{2.36}$$

BJT 到达导通边缘(EOC)，并开始将 v_O 从 V_{CC} 下拉。

- v_I 继续升高，BJT 会完全导通。只要 $v_O\geq V_{CE(EOS)}\approx 0.2\text{V}$，BJT 就工作在正向有源(FA)区，此处有：

$$i_C=\beta_F i_B=100 i_B\tag{2.37}$$

而且，用 KVL 及欧姆定律及 BJT 的 v_{BE}-i_C 特性曲线，我们写出：

$$v_I=R_B i_B+v_{BE}=R_B\frac{i_C}{\beta_F}+V_T\ln\frac{i_C}{I_s}=R_B\frac{V_{CC}-v_O}{\beta_F R_C}+V_T\ln\frac{V_{CC}-v_O}{R_C I_s}$$

用图 2.32 所示的电阻值和 BJT 参数，表达式变为：

$$v_I=\frac{5-v_O}{10}+0.026\ln\frac{5-v_O}{2\times 10^{-12}}\tag{2.38}$$

可用该式求出在正向有源区维持给定的输出 v_O 所需的输入电压 v_I。

- 一旦集电极电压下降到 $v_O = V_{CE(EOS)} \approx 0.2V$，BJT 到达饱和区边缘(EOS)。这个名称来自于集电极电流 i_C 开始饱和这一事实，如图 2.33 所示。

将 $v_O = 0.2V$ 代入式(2.38)，我们求出相应的 v_I 值为：

$$V_{I(EOS)} \approx 1.22V \tag{2.39}$$

将 v_I 升至 $V_{I(EOS)}$ 以上，会驱使 BJT 进入完全饱和态，此时 i_C 最终达到：

$$I_{C(sat)} = \frac{V_{CC} - V_{CE(sat)}}{R_C} \approx \frac{5-0.1}{1}\text{mA} = 4.9\text{mA} \tag{2.40}$$

因此，v_O 达到

$$V_{OL} = V_{CE(sat)} \approx 0.1V \tag{2.41}$$

- 超过饱和区边缘后，i_B 继续随着 v_I 上升，然而 i_C 仍然是常数，为 $i_C \approx I_{C(sat)}$。显然当 BJT 进入饱和区时，比值 i_C/i_B 下降了，所以我们将这个比值记为 β_{sat} ($<\beta_F$!)。BJT 的饱和态越深，β_{sat} 的值越小。例如，对于 $v_I = 5V$，我们有 $i_B = (V_{CC} - V_{BE(sat)}/R_B \approx ((5-0.8)/10)\text{mA} = 0.42\text{mA}$，因此 $\beta_{sat} = I_{C(sat)}/i_B = 4.9/0/42 \approx 12$。虽然 β_F 是 BJT 的本征参数，但使用者可以通过改变 BJT 的饱和深度，来获得不同的 β_{sat} 值，认识到这点是很重要的。

我们希望指出，为了简化计算、方便对比计算结果和仿真数据，我们假设 $V_A = \infty$。实际应用中，不为无穷大的 V_A 将稍微改变曲线，但我们的一般观察仍然成立。

作为放大器的 BJT

VTC 的斜率代表电压增益，记为 a。将式(2.38)两边对 v_I 求导，我们得到：

$$\frac{dv_I}{dv_I} = -\frac{1}{10}\frac{dv_O}{dv_I} + 0.026 \times \frac{2\times10^{-12}}{5-v_O} \times \left(-\frac{1}{2\times10^{-12}}\frac{dv_O}{dv_I}\right)$$

经过简化，对于图 2.32 所示的参数值，我们得：

$$a = \frac{dv_O}{dv_I} = -10 \times \frac{5-v_O}{5.26-v_O} \tag{2.42}$$

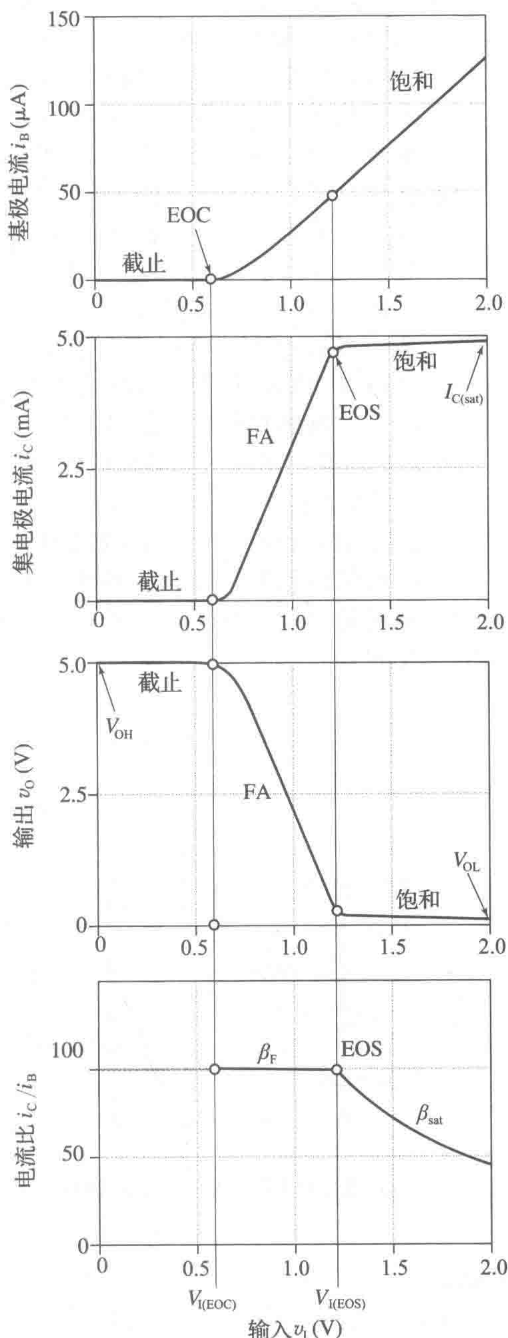


图 2.33　图 2.32 中电路的相关曲线，表示了 BJT 从截止区(CO)到导通边界(EOC)，通过正向有源区(FA)到饱和区边缘(EOS)，最终到达全饱和区(sat)时，i_B，i_C，v_O，和 beta($=i_C/i_B$)的变化情况

图 2.34 画出了电压转移曲线及其斜率 a。在截止区和饱和区，我们有 $a=0$。然而此处有两点，记为 V_{IL} 和 V_{IH}，在 $V_{IL} \leqslant v_I \leqslant V_{IH}$ 时我们有 $|a| > 1V/V$，这表明电路可用作一个放大器。如我们所看到的，电压增益的最大

值大约是$-9V/V$，正处于饱和边缘区之前。

- 一个增益不为常数而随着信号值变化而变化的电路是非线性的。而且，VTC并不经过原点，且沿着v_I和v_O轴有一个偏移量。我们怎么使这个电路作为一个电压放大器？答案依赖于两个前提，如图2.35所示。
- 首先，我们将BJT偏置到正向有源区内一个合适的静态点$Q_0=Q_0(V_I, V_O)$，这可以通过加上合适的直流电压V_I得到。这称为静态工作点，Q_0实际在此处建立了一个新的坐标系，表示Q点附近的信号变化。Q_0应该离两个边界(EOC和EOS)都充分远，以保证在两个方向都有足够的信号摆幅。
- 然后，我们加入一个交流输入v_i，这会导致瞬态工作点在VTC上上下移动(在Q_1和Q_2之间)，这就可以得到一个放大的交流输出电压v_o。

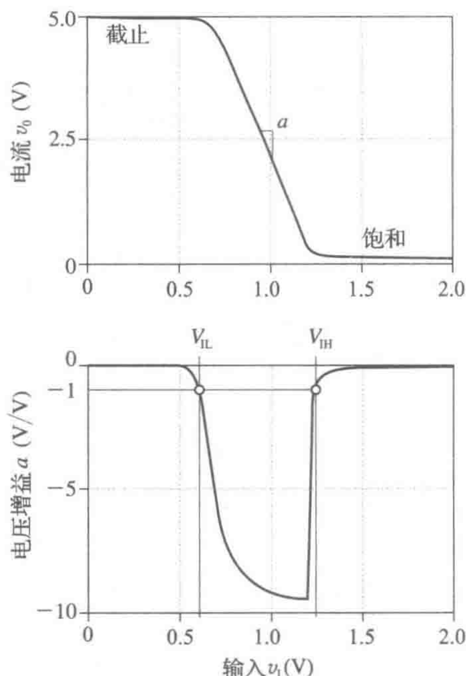
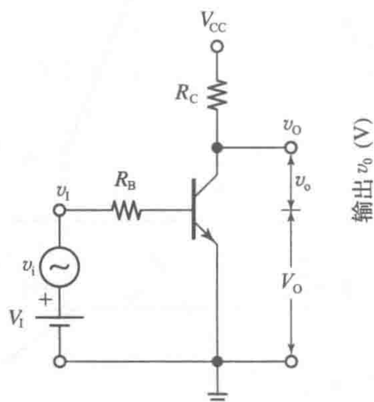


图2.34 VTC及其表示电压增益a的斜率

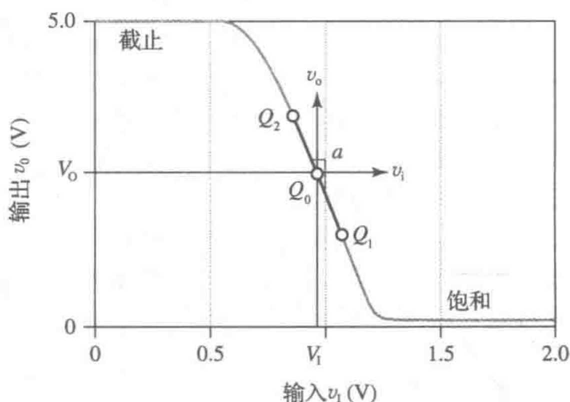
在我们的讨论中，我们依赖于一些在二极管学习中被证明是很方便的符号表示，我们将输入和输出电压记为：

$$v_I = V_I + v_i \tag{2.43a}$$

$$v_O = V_O + v_o \tag{2.43b}$$



a）图2.32中作为电压放大器的BJT



b）随工作点Q_0的变化情况

图 2.35

此处：

- v_I和v_O代表总信号(小写符号和大写下标)；
- V_I和V_O是其直流分量(大写符号和大写下标)；
- v_i和v_o是其交流分量(小写符号和小写下标)。

如图2.35b所示，对于图2.32所示的电路参数，偏置点Q_0被选在VTC的有源区中部，因此$V_O=2.5V$。此处的电压增益是$a(Q_0)$。

例2.10 若想将图2.32所示的BJT偏置在$V_O=2.5V$，求出所需的电压V_I。此处的电压增益a是多少？

解：

由式(2.38)，得：

$$V_I = \left(\frac{5-2.5}{10} + 0.026\ln\frac{5-2.5}{2\times10^{-12}}\right)V = (0.25+0.724)V = 0.974V$$

这表明我们需要 0.724V 来偏置 BE 结，以及 R_B 上的 0.25V 来提供所需的基极电流。由式(2.42)，得：

$$a(Q_0) = -10\times\frac{5-2.5}{5.26-2.5}V/V \approx -9V/V$$ ◀

用一个幅值逐渐增大的三角波输入信号 v_i 来进行 PSpice 仿真，得到如图 2.36 所示的波形。我们做出以下观察。

- 在图 2.36a 所示波形中，交流输入 v_i 的峰值是 ±0.1V，交流输出 v_o 是 v_i 的反向和放大的结果，为 $v_o \approx -9v_i$。输出的失真是很小的。
- 使 v_i 的峰值翻倍变为 ±0.2V，仍然可以得到一个几乎未失真的输出，如图 2.36b 所示。电压转换曲线上工作点上下移动的范围变得更大，但仍近似为直线。

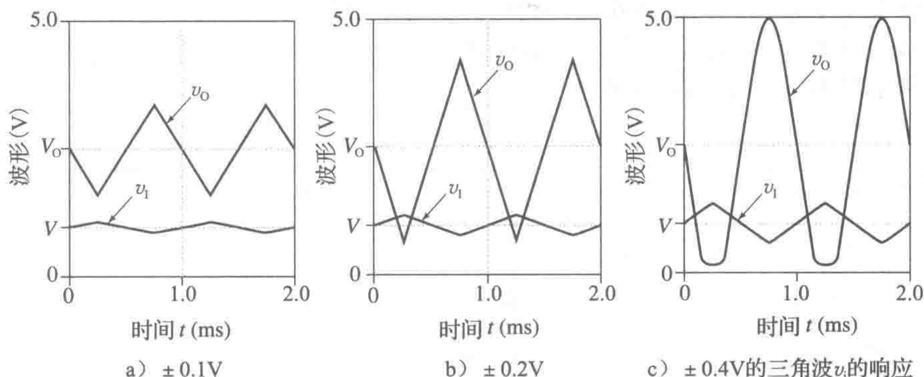


图 2.36　图 2.39 中的电路对峰值

BJT 的偏置电压为 V_I=0.94V 和 V_O=2.5V

- 将 v_i 的峰值上升到 ±0.4V，会使工作点进入截止区和饱和区，此时的电压增益明显下降。造成了图 2.36c 所示的输出波形的严重失真。上方的失真是因为 BJT 截止，下方的失真是因为 BJT 饱和。

我们现在可以更好地理解将 BJT 偏置在正向有源区中间的某一点，离截止区和饱和区充分远，以及保持 v_i 相比 v_o 充分小的原因。实际上，输入信号越小，输出的失真越小。在这点上看来，v_i 和 v_o 也被认为是小信号。下一节将会对这个问题进行更加严格的分析。

作为开关/反相器的 BJT

当 BJT 工作在截止态和饱和态之间时，该器件表现为一个电子开关 SW。对于这个功能，如图 2.37 所示，BJT 可以在任意负载 R_L 下开启/关闭电源，例如一个发光器件、直流电动机或是加热元件。参考图 2.37 所示电路，我们做出以下的观察。

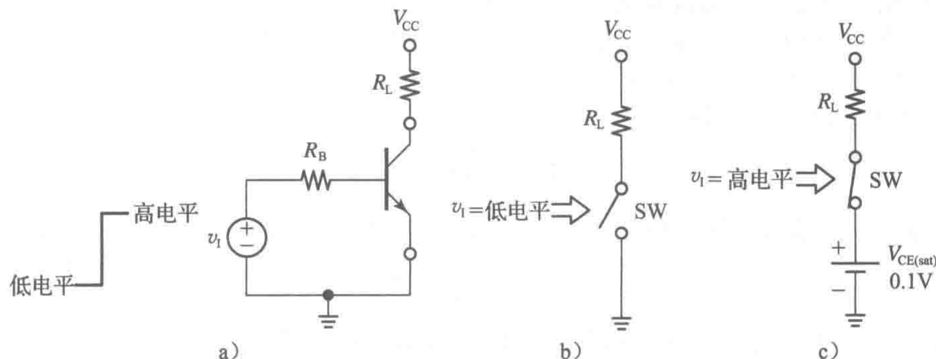


图 2.37　BJT 作为电子开关时的工作情形

- 当 v_I 较小，接近 0V 时，BJT 是截止的，因此其不抽取电流，可以认为其是断开的开关。图 2.37b 画出了这种情况。
- 当 v_I 较大，接近 V_{CC} 时，BJT 是饱和的。因此可以认为其是闭合的开关，但串联了一个小电源 $V_{CE(sat)} \approx 0.1V$，如图 2.37c 所示。因此，负载 R_L 现在接受 V_{CC} 的电源供应。为了保证开关在所有可能情况下都是闭合的，特别是在 β_F 大幅度变化时，我们必须使 BJT 深度饱和。为了安全考虑，我们需要保证 $\beta_{sat} < \beta_{F(min)}$。

例 2.11 一个 $50 \leqslant \beta_F \leqslant 200$ 的 BJT 用作一个开关，带 100mA 的负载。若 v_I 是只有 0V 和 5V 的逻辑信号，求出合适的 R_B 值。

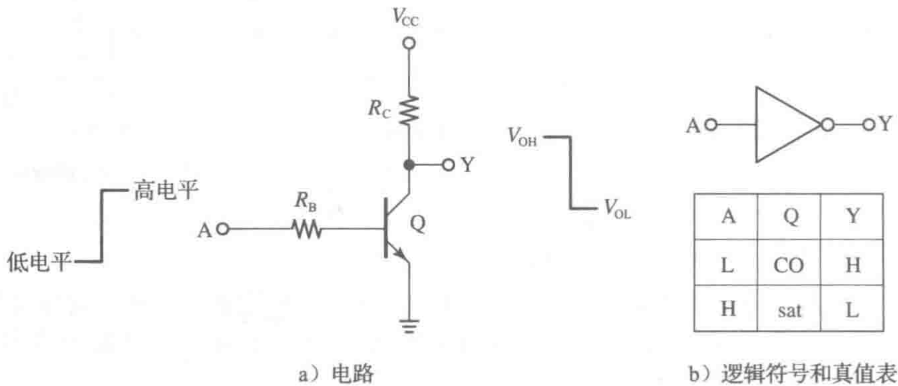
解：

为了保证 BJT 在任何情况下都饱和，包括最坏的情况即 $\beta_F = 50$，我们需要 $I_B > (100/50)\text{mA} = 2\text{mA}$。为了安全考虑，用 $I_B = 3\text{mA}$，则 $R_B = ((5-0.8)/3)\text{k}\Omega = 1.4\text{k}\Omega$。◀

BJT 开关一个常见的用途是在计算机电路系统中提供逻辑反相。正如其名，一个反相器对于低输入电平(L)，输出一个高电平(H)，而对于高输入电平输出一个低电平。对于图 2.38a 所示的 BJT 反相器，这些电平分别是：

$$V_{OH} = V_{CC} \tag{2.44a}$$

$$V_{OL} = V_{CE(sat)} \tag{2.44b}$$



A	Q	Y
L	CO	H
H	sat	L

a）电路　　b）逻辑符号和真值表

图 2.38　BJT 作为反相器

典型的值是 $V_{OH} = 5V$，$V_{OL} = 0.1V$。图 2.38b 画出了反相器的逻辑符号，及包含 BJT 工作模式和两种可能输入混合下逻辑输出的真值表。

2.6　BJT 的小信号工作状态

我们现在想对上一节提到的小信号工作状态进行更加系统的探究。我们从图 2.39a 所示的电路开始，这里我们用直流电压源 V_{BE} 来将 BJT 偏置在指数曲线(见图 2.40a)上合适的静态工作点 $Q_0 = Q_0(I_C, V_{BE})$，电压源 V_{CC} 和电阻 R_C 用来将 BJT 偏置在正向有源区(见图 2.40b)内合适的工作点 $Q_0 = Q_0(I_C, V_{CE})$。

在 Q_0 处，运用式(2.21)得到：

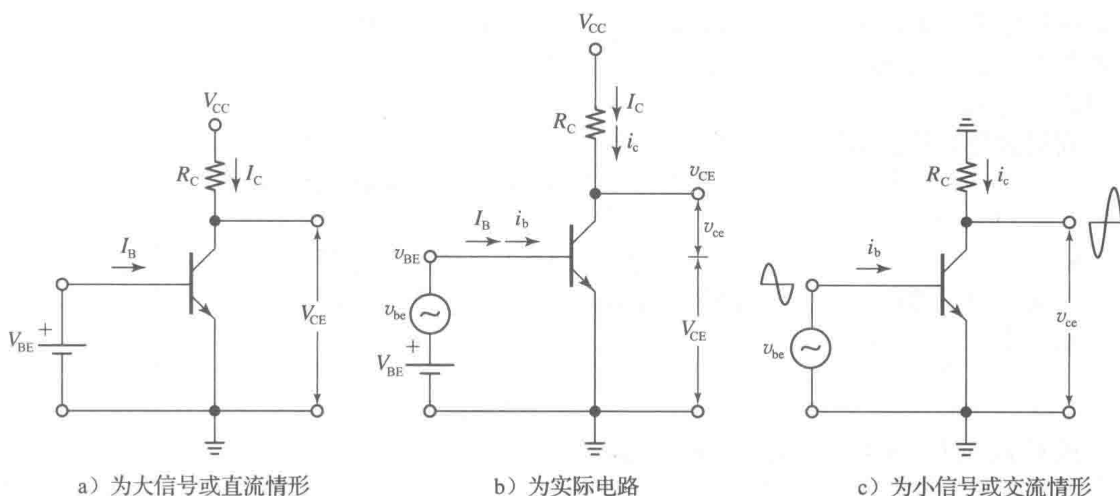
$$I_C = I_s e^{V_{BE}/V_T}\left(1 + \frac{V_{CE}}{V_A}\right) \tag{2.45}$$

连同 BJT 的 i_C-v_{CE} 曲线一起，图 2.40b 还画出了集电极外部的电路曲线，即负载线，即

$$i_C = \frac{V_{CC} - v_{CE}}{R_C} \tag{2.46}$$

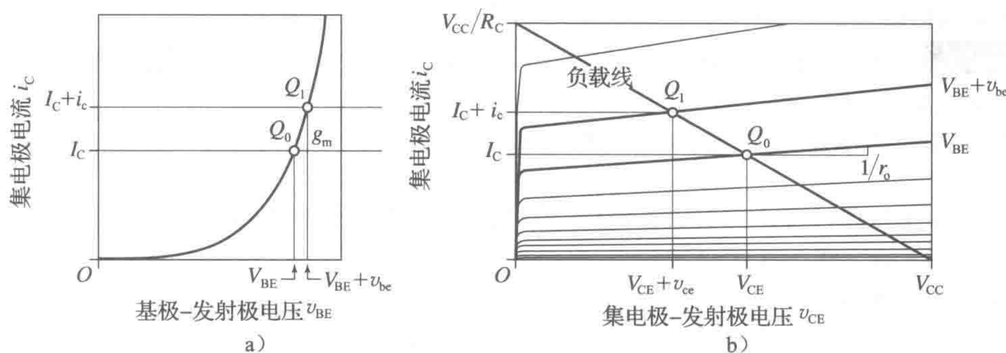
静态工作点 $Q_0 = Q_0(I_C, V_{CE})$ 正处在给定 V_{BE} 值下的 BJT 曲线和负载线相交处。

如果我们现在接上交流源 v_{be}，如图 2.39b 所示，工作点将在图 2.40a 所示的指数曲线上上下移动，同时也在图 2.40b 所示的负载线上上下移动。在图 2.40a 所示曲线中，当



a）为大信号或直流情形　b）为实际电路　c）为小信号或交流情形

图 2.39 BJT 作小信号放大器情形下的系统分析



a）　b）

图 2.40 图 2.39 中 BJT 放大器的图象解释

v_{be}是一个正值时，瞬态工作点是 $Q_1=Q_1(I_C+i_c,\ V_{BE}+v_{be})$，图 2.40b 所示曲线中 $Q_1=Q_1(I_C+i_c,\ V_{CE}+v_{ce})$。我们希望在交流电流 i_c和交流电压 v_{be}及 v_{ce}之间求出一个关系式。在新工作点 Q_1处应用式(2.21)，得：

$$I_C+i_c=I_s e^{(V_{BE}+v_{be})/V_T}\left(1+\frac{V_{CE}+v_{ce}}{V_A}\right)=I_s e^{V_{BE}/V_T}\left(1+\frac{V_{CE}}{V_A}+\frac{v_{ce}}{V_A}\right)e^{v_{be}/V_T}$$

当 $V_{CE}/V_A\ll 1$ 时，近似有 $I_s\exp(V_{BE}/V_T)\approx I_C$，重新写为：

$$I_C+i_c\approx I_C\left(1+\frac{v_{ce}}{V_A/I_C}\right)e^{v_{be}/V_T}$$

对指数项进行级数展开，得到：

$$I_C+i_c\approx I_C\left(1+\frac{v_{ce}}{V_A/I_C}\right)\left[1+\frac{v_{be}}{V_T}+\frac{1}{2!}\left(\frac{v_{be}}{V_T}\right)^2+\frac{1}{3!}\left(\frac{v_{be}}{V_T}\right)^3+\cdots\right]$$

$$\approx I_C+\frac{I_C}{V_T}v_{be}+\frac{v_{ce}}{V_A/I_C}+\cdots \tag{2.47}$$

只要我们忽略包含交流乘积和幂数项的高阶项，式(2.47)让我们可以写出：

$$i_c=g_m v_{be}+\frac{v_{ce}}{r_o} \tag{2.48}$$

式中：

$$g_m=\frac{I_C}{V_T} \tag{2.49}$$

是 BJT 的跨导；

$$r_o=\frac{V_A}{I_C} \tag{2.50}$$

是集电极输出电阻。如图 2.40 所示，g_m和$1/r_o$分别代表Q_0处i_C-v_{BE}曲线的斜率和i_C-v_{CE}曲线的斜率。g_m和r_o都与工作电流I_C有关。而且，$V_A \gg V_T$表明，i_c对v_{ce}的依赖性比对v_{be}的依赖性小得多。

我们希望在任意情况下都可以忽略式(2.47)中的高阶幂数项和乘积项。通过检验，在进行到式(2.47)中括号内的第二项时可以停止运算，只要我们保持v_{be}足够小，以满足$1/2\times(v_{be}/V_T)^2 \ll |v_{be}|/V_T$，即

$$|v_{be}| \ll 2V_T(\approx 52\text{mV}) \tag{2.51}$$

显然，式(2.48)可称为小信号近似，式(2.51)证明了这个近似的正确性。小信号近似带来的误差ε是：

$$\varepsilon \approx \frac{v_{be}}{2V_T} \approx \frac{v_{be}}{52\text{mV}} \tag{2.52}$$

或对v_{be}的每 1mV 变化有 2%的误差。因此，如果我们确保ε低于 10%(在大多数实际情况下这是可接受的误差)，那么需要保证：

$$|v_{be}| \leqslant 5\text{mV} \tag{2.53}$$

这是我们进行下一步研究的先决条件。

例 2.12 (a) 参考图 2.40a 所示曲线，假设v_{be}是一个交流信号，峰值为±5V。为了简便，假设$V_A=\infty$，用小信号近似来估计$I_C=1\text{mA}$时，i_c的峰值。

(b) 求出i_c峰值的精确值，与(a)问中的近似值比较并分析。

解：

(a) 由式(2.49)，$g_m=(1/26)\text{A/V}$。式(2.48)的小信号近似预测i_c的峰值是$(1/26)\times(\pm5\times10^{-3})\text{A}\approx\pm192\mu\text{A}$。

(b) i_c的精确峰值是：

$$i_c = I_C(1-e^{v_{be}/V_T}) = (1.0\text{mA})\times(e^{\pm5/26}-1)$$

即分别为$+212\mu\text{A}$和$-175\mu\text{A}$。因为i_C-v_{BE}曲线的弯曲，小信号近似低估了正向电流峰值约为$(212-192)/212\approx9.4\%$，高估了反向峰值约为$(192-175)/175\approx9.7\%$。这些误差与式(2.52)相符。◀

如同我们利用图 2.39a 所示的直流等效电路来研究 BJT 的偏置条件一样，我们利用图 2.39c 所示的交流等效电路来研究其作为放大器的工作状态。实际上，根据 KVL、欧姆定律和式(2.48)，后面的等效给出：

$$v_{ce} = 0 - R_C i_c = -R_C\left(g_m v_{be} + \frac{v_{ce}}{r_o}\right)$$

求解v_{ce}，可以写出：

$$v_{ce} = -g_m(R_C /\!/ r_o)v_{be}$$

这表明电路把v_{be}放大了$-g_m(R_C/\!/r_o)$倍。

例 2.13 假设图 2.39b 所示电路中$R_C=10\text{k}\Omega$，$V_A=100\text{V}$，求$I_C=1\text{mA}$时的小信号增益。

解：

我们有$g_m=1/26\ \text{A/V}$，$r_o=(100/1)\text{k}\Omega=100\text{k}\Omega$，$-g_m(R_C/\!/r_o)=(-(1/26)\times(10/\!/100)\times10^3)\text{V/V}\approx-350\text{V/V}$。◀

BJT 的小信号模型

图 2.41 画出了 BJT 的小信号模型。这个模型也称为增量模型或简称为交流模型，其功能是根据式(2.48)表达出的i_c相对于v_{be}和v_{ce}的关系，作出电路相应的表现形式。我们知道，i_c对v_{ce}的相关性比对v_{be}的小得多，所以在加快计算时v_{ce}/r_o项有时可以忽略。这相当于在交流模型中假设$r_o=\infty$。该模型还包括电阻

$$r_\pi = \frac{v_{be}}{i_b} \tag{2.54}$$

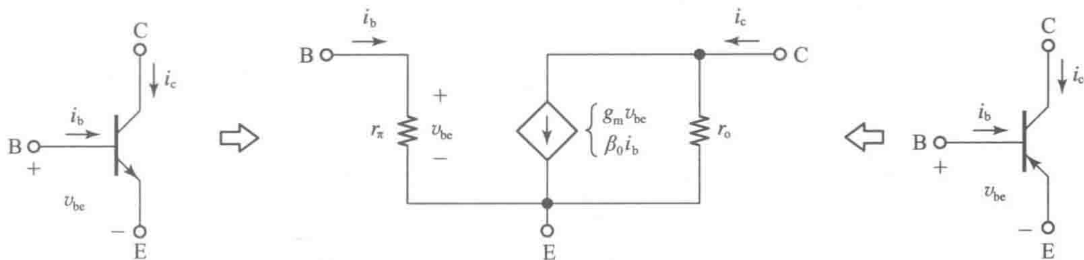


图 2.41　小信号 BJT 模型。此模型可用于 npn 和 pnp BJT

来说明 BJT 对 v_{be} 的响应不仅体现在集电极电流 i_c 上，还体现在基极电流 i_b 上。这两个量的比值称为共射极交流电流增益，即

$$\beta_0 = \frac{i_c}{i_b} \tag{2.55}$$

且习惯假设 $\beta_0 \approx \beta_F$，虽然这两个 β 间存在着细微差别。根据以上的等式，我们有 $r_\pi = v_{be}/i_b = (i_c/g_m)/i_b = (i_c/i_b)/g_m$，即

$$r_\pi = \frac{\beta_0}{g_m} = \beta_0 \frac{V_T}{I_C} \tag{2.56}$$

这表明 r_π 其本身取决于偏置电流 I_C，正如 g_m 和 r_o 一样。为了对各种参数有一个直观的印象，考虑一个 $\beta_0 = 100$、$V_A = 100\text{V}$ 的 BJT，其工作在 $I_C = 1\text{mA}$ 下。所以，有：

$$1/g_m = 26\Omega(\text{小型})$$
$$r_\pi = 2.6\text{k}\Omega(\text{中型})$$
$$r_o = 100\text{k}\Omega(\text{大型})$$

在分析一个 BJT 放大器时，了解其参数的数量级是很重要的。它们的定义(对于 npn BJT 而言)及计算总结如表 2.1 所示。

表 2.1　小信号参数总结

定义	计算公式
$g_m = \left.\frac{\partial i_C}{\partial v_{BE}}\right\|_{V_{CE}}$	$g_m = \frac{I_C}{V_T}$
$\frac{1}{r_\pi} = \left.\frac{\partial i_B}{\partial v_{BE}}\right\|_{V_{CE}}$	$r_\pi = \frac{\beta_0}{g_m} = \beta_0 \frac{V_T}{I_C}$
$\frac{1}{r_o} = \left.\frac{\partial i_C}{\partial v_{CE}}\right\|_{V_{BE}}$	$r_o = \frac{V_A}{I_C}$

我们知道，一个处于正向有源工作模式下的 BJT 既可以认为是电压控制(VC)器件，也可以认为是电流控制(CC)器件。这种多样性也可以扩展到小信号领域，此时我们可将受控源表示为 $g_m v_{be}$(VCCS)或是 $\beta_0 i_b$(CCCS)。这在图 2.41 所示的交流模型中清晰地表现了出来。当我们用第二种表示方式时，式(2.48)变为：

$$i_c = \beta_0 i_b + \frac{v_{ce}}{r_o} \tag{2.57}$$

随着我们的学习深入，我们可以选择简化计算的表达方式。

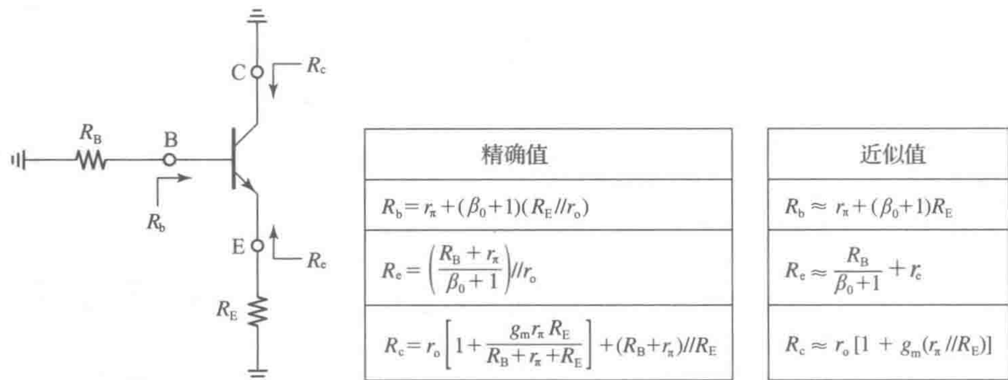
我们希望指出，图 2.41 所示的模型同时适用于 npn BJT 和 pnp BJT，无需改变电压极性或电流方向。实际上，考虑在两种器件中通过增大 v_{be} 来增大 v_{BE} 的情况。在 npn BJT 中，i_c 也会增加，但在 pnp BJT 中 i_c 会下降。因此，对于 npn 型的情况，i_c 将与 i_C 的方向相同(i_c 流进集电极端)，但对于 pnp 型的情况，则是相反方向。因为在 pnp BJT 中，i_C 是流出集电极端，而 i_c 是流入集电极端，正如 npn 的情况一样。我们必须强调，小信号模型决不能与大信号模型相混淆。大信号模型用来进行直流分析，具体实例我们已经学习过。小信号模型用于交流分析，接下来将说明这点。

作为电阻转换器件的 BJT

在对 BJT 的放大能力进行系统分析之前，我们希望探究一些有意思的电阻转换性能，接下来会证明这种性能十分有用。特别地，我们希望求出对于图 2.42 所示的电路而言，从基极、发射极和集电极看进去的小信号电阻。我们把这些电阻记为 R_b、R_e 和 R_c(小写下标)。相反地，我们把 BJT 外部电阻记为 R_B 和 R_E(大写下标)。为了求出从 X 端(X=B、

E、C)看入的小信号电阻 R_x，步骤如下。

- 将 BJT 用小信号模型代替；
- 在 X 端上加上测试电压 v_x；
- 求出流入 X 的电流 i_x；
- 求出从此端看入的电阻 $R_x=v_x/i_x$。



精确值	近似值
$R_b=r_\pi+(\beta_0+1)(R_E//r_o)$	$R_b\approx r_\pi+(\beta_0+1)R_E$
$R_e=\left(\dfrac{R_B+r_\pi}{\beta_0+1}\right)//r_o$	$R_e\approx\dfrac{R_B}{\beta_0+1}+r_e$
$R_c=r_o\left[1+\dfrac{g_m r_\pi R_E}{R_B+r_\pi+R_E}\right]+(R_B+r_\pi)//R_E$	$R_c\approx r_o[1+g_m(r_\pi//R_E)]$

图 2.42　从 BJT 各端看入的小信号阻抗

这个过程给了我们运用 BJT 小信号模型的机会。有时我们发现将受控源表示为 $g_m v_{be}$ 更加简便，而其他情况下表示为 $\beta_0 i_b$ 更为简便。

- 从基极看入的小信号电阻 R_b。求此电阻的电路如图 2.43a 所示(注意因为我们是从基极端看入的，所以不考虑 R_B)。

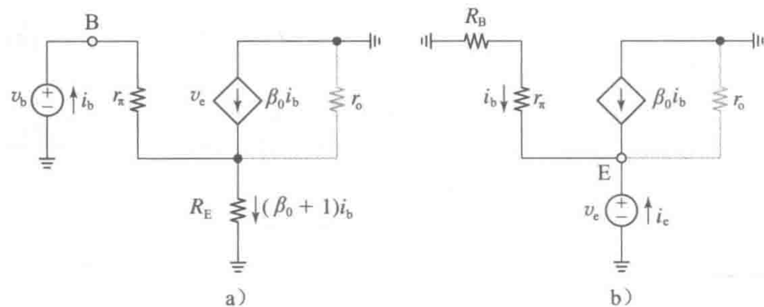


图 2.43　得到小信号阻抗的测试电路(a)从基极看入的 R_b，(b)从发射极看入的 R_e。两种情形下，我们都忽略 r_o 来简化内部分析

为了简化计算，我们暂时忽略 r_o。由欧姆定律和 KCL，有：

$$i_b=\frac{v_b-v_e}{r_\pi}=\frac{v_b-R_E(\beta_0+1)i_b}{r_\pi}$$

求比值 $R_b=v_b/i_b$，得到：

$$R_b=r_\pi+(\beta_0+1)R_E \tag{2.58a}$$

有趣的是，当我们通过基极看入时，R_E 表现为原来的 (β_0+1) 倍。我们也称发射极电阻映射到基极时，被放大了 (β_0+1) 倍。这并不令人惊讶，因为基极电流是流过 R_E 电流的 $1/(\beta_0+1)$。

将 R_E 和受控源 $\beta_0 i_b$ 合并考虑为一个阻值为 $(\beta_0+1)R_E$ 的电阻是很有意义的。

在上面的分析中，我们有意忽略了 r_o，但我们可以轻易地将其考虑进来，只需注意其是与 R_E 并联的(r_o 与 R_E 共用相同的节点，即 v_e 和交流地)。我们将式(2.58a)中的 R_E 用 $R_E//r_o$ 替换，得到：

$$R_b=r_\pi+(\beta_0+1)\cdot(R_E//r_o) \tag{2.58b}$$

读者应留意此例中的这些技巧，以简化手工分析。

- 从发射极看入的小信号电阻 R_e。求此电阻的电路如图 2.43b 所示(注意因为我们是从发射极端看入的，所以不考虑 R_E)，同样地，为了简化分析，我们暂时忽略 r_o。对流入发射极的电流求和，我们得到：

$$i_b + \beta_0 i_b + i_e = 0$$

再由欧姆定律，得：

$$i_b = \frac{0 - v_e}{R_B + r_\pi}$$

消去 i_b，求出比值 $R_e = v_e/i_e$，得到：

$$R_e = \frac{R_B + r_\pi}{\beta_0 + 1} = \frac{R_B}{\beta_0 + 1} + r_e \tag{2.59a}$$

式中：r_e是在 $R_B \to 0$ 时，从发射极看进去的小信号电阻。这个电阻是 $r_e = r_\pi/(\beta_0+1) = (\beta_0/g_m)/(\beta_0+1)$。定义共基极交流电流增益为：

$$\alpha_0 = \frac{\beta_0}{\beta_0 + 1} \tag{2.60}$$

我们得到：

$$r_e = \frac{\alpha_0}{g_m} \approx \frac{1}{g_m} \tag{2.61}$$

一般而言，r_e相比于 r_π和 r_o是非常小的，例如，在 $I_C = 1\text{mA}$ 时，我们有 $r_e \approx 1/g_m = (26\text{mV})/(1\text{mA}) = 26\Omega$。式(2.59a)表明 BJT 的存在使得从发射极看入时，R_B表现为以前的 $1/(\beta_0+1)$。也可以说是基极电阻 R_B反映到发射极上时，除以(β_0+1)。这是由于发射极的电流是流过 R_B电流的(β_0+1)倍。显然，BJT 对于 R_B的影响与 R_E的相反。

在上面的分析中，我们有意忽略了 r_o，但我们可以轻易地将其考虑进来，只需注意，其与测试源是并联的。因此，我们将式(2.59a)修正为：

$$R_e = \left(\frac{r_\pi + R_B}{\beta_0 + 1}\right) /\!/ \; r_o \tag{2.59b}$$

例 2.14 令图 2.42 所示的 BJT 有 $\beta_0 = 100$，$g_m = 1/26\ \text{A/V}$，$r_\pi = 2.6\text{k}\Omega$，$r_o = 100\text{k}\Omega$。若 $R_B = 10\text{k}\Omega$，$R_E = 1.0\text{k}\Omega$，估计 R_b和 R_e。

解：

应用式(2.58a)和式(2.59a)中的近似表达式，我们有：

$$R_b \approx (2.6 + 101 \times 1.0)\text{k}\Omega = 103.6\text{k}\Omega\text{(大型)}$$

$$R_e \approx \left(\frac{10\,000}{101} + 26\right)\Omega = 125\Omega\text{(小型)}$$

而用式(2.58b)和式(2.59b)中的精确表达式，我们有 $R_b = 102.6\text{k}\Omega$，$R_e = 124.6\text{k}\Omega$。区别很小，所以忽略 r_o是可以接受的，至少在本例中是可行的。◀

- 从集电极看入的小信号电阻 R_c。求此电阻的电路如图 2.44 所示，此时，r_o有意加入考虑。这次我们用另一种形式 $g_m v_{be}$来表示受控源。由 KCL 和欧姆定律，有：

$$i_c = g_m v_{be} + \frac{v_c - v_e}{r_o}$$

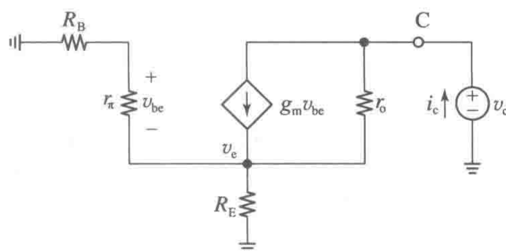


图 2.44　得到从集电极看入的小信号电阻 R_c 的测试电路

由分压公式，得：

$$v_{be} = -\frac{r_\pi}{R_B + r_\pi} v_e$$

测试电流 i_c被 r_o和受控源分流，并在 v_e节点重新聚集，应用欧姆定律可写出：

$$v_e = [(R_B + r_\pi) /\!/ R_E] \times i_c$$

消去 v_{be} 和 v_e，求解比值 $R_c=v_c/i_c$，经过计算可得：

$$R_c = r_o\left[1+\frac{g_m(r_\pi /\!/ R_E)}{1+R_B/(r_\pi+R_E)}\right]+[(R_B+r_\pi) /\!/ R_E] \quad (2.62a)$$

在大多数实际情况下，最后一项与其他项相比是微不足道的，所以可以忽略掉。一个很令人感兴趣的限定条件是 $R_B \ll R_E+r_\pi$，因此式(2.62a)可以简化为：

$$R_c \approx r_o[1+g_m(r_\pi /\!/ R_E)] \quad (2.62b)$$

另外两种情况也令人感兴趣。其一是 $R_E \ll r_\pi$，则式(2.62a)可以简化为：

$$R_c \approx r_o(1+g_mR_E) \quad (2.62c)$$

另一种情况是 $R_E \gg r_\pi$，则式(2.62a)可以简化为 $R_c \approx (1+g_mr_\pi)$，或是：

$$R_c \approx r_o(1+\beta_0) \quad (2.62d)$$

无论是哪一种情况，我们注意到 R_E 的存在提高了从集电极看入的电阻。为了在物理层面上证明这点，首先假设 $R_E=0$ 的情况，这在图 2.44 所示电路中导致 $v_e=0$。在这种情况下我们有 $v_{be}=0$。这表明图 2.44 所示电路中的受控源是关断的，因此有 $i_c=v_c/r_o$，或是 $R_c=v_c/i_c=r_o$。现在考虑 $R_E \neq 0$ 的情况，这会导致 $v_e>0$，因为 r_o 上流过测试源电流。我们现在有 $v_{be}<0$，这表明受控源现在是反向导通的，所以其向节点 C 输入电流。但是，这降低了测试源需要的电流 ic，因此提高了 v_c/i_c 的比值。测试源电流遇到了尝试使其减小的反向行为，这表明 R_E 提供了一种负反馈。在第 7 章我们会了解到负反馈的各种形式，以提高 R_c。

例 2.15 (a) 求出例 2.14 中 BJT 的 R_c。

(b) 若将 R_E 从 1.0kΩ 提高到 100kΩ，重做(a)问。评价你的结果。

解：

(a) 应用式(2.62a)我们得到：

$$R_c=\left(100\times\left[1+\frac{(2.6 /\!/ 1.0)/0.026}{1+10/(2.6+1)}\right]+(10+2.6) /\!/ 1\right)\text{k}\Omega=(835+0.93)\text{k}\Omega$$
$$=836\text{k}\Omega(\text{非常大})$$

(b) 由相似的计算我们现在得到 $R_c \approx 9\text{M}\Omega$(大)。显然，$R_E$ 越大，R_c 越大。在 $R_E \to \infty$ 时，式(2.62d)表明 $R_c \approx 101r_o \approx 10\text{M}\Omega$，这是个非常大的值。◀

从式(2.58)到式(2.62)揭示了 BJT 一个有趣的特性，即改变从各端向内看电阻值的能力。这并不令人惊讶，因为受控源是通过 CE 端口的，又被 BE 端口控制，这就在 BJT 的三个端口之间建立了一种互相依赖的关系。三个电阻的表达式在图 2.42 所示列表中已经列出。在图 2.45 所示电路中也将它们分别画出，其中用了近似，故表达式更加简单，在以后的几章中学习分立 BJT 放大器时会更加简便。我们注意到最后两个例子揭示了一种通常成立的趋势，即从 R_e(小)到 R_b(中)再到 R_c(大)，电阻等级是逐渐升高的。

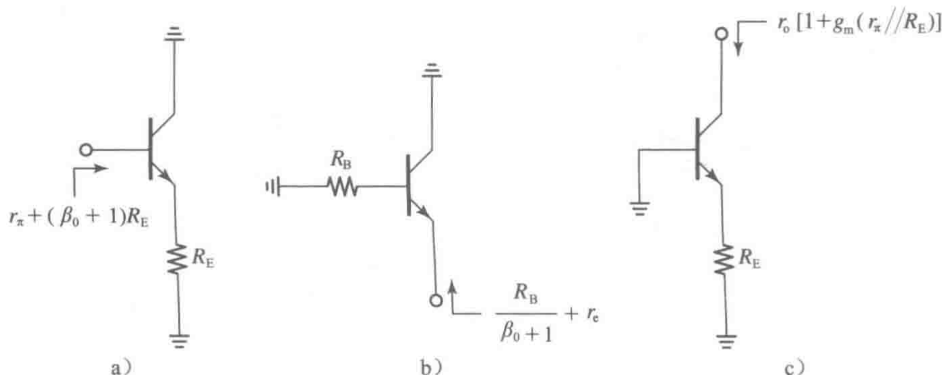


图 2.45 可视化从基极，发射极，以及集电极看入的小信号阻抗。r_o 的影响在 a)和 b)中都是微不足道的，可以忽略

一个实际应用：作为电流源的 BJT

BJT 可以达到非常高的 R_c 值，使其适用于作为电流源/电流沉来使用。图 2.46 提供了一个例子，解释了一个 pnp BJT 怎样对一个负载(LD)实现电流源作用。

如果我们需要从负载中抽取电流，只需将 npn BJT 所有的电压与电流反向即可。我们将看到，电流源/沉的应用是去偏置其他电路。

例 2.16 令图 2.46 所示的 BJT 有 $\beta_0=\beta_F=100$，$V_A=100V$，$V_{EB(on)}=0.7V$，$V_{EC(EOS)}=0.2V$。

(a) 求出 I_o和 R_o。

(b) 使电路能正常工作的最大负载电压是多少？

(c) 负载上的电压每变化 1V，I_o将会变化多少？将这个变化表示为百分比的形式。

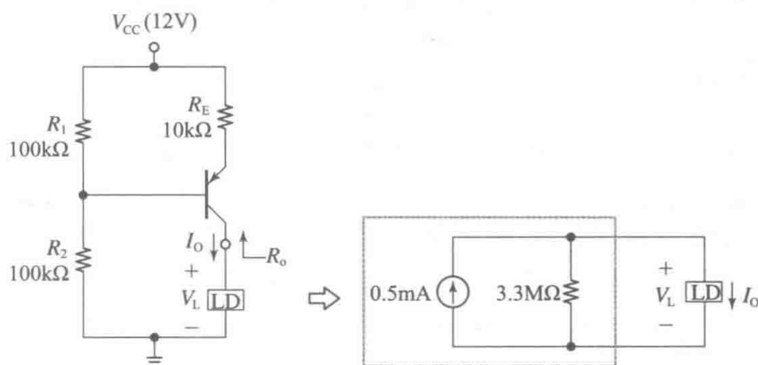


图 2.46 使用 pnp BJT 来实现电流源及其诺顿等效电路

解：

(a) 我们有 $V_{BB}=6V$，$R_B=50k\Omega$。根据例 2.8 的第一部分同样进行下去，我们得到 $I_o=0.5mA$。所以，$g_m=0$，$65/26=1/(52\Omega)$，$r_\pi=(100\times52)\Omega=5.2k\Omega$，$r_o=(100/0.5)k\Omega=200k\Omega$。由式(2.62a)，

$$R_o\approx\left(200\times\left[1+\frac{(5.2\,/\!/\,10)/0.052}{1+50/(5.2+10)}\right]\right)k\Omega=3.3M\Omega$$

(b) 为了保证电路正常工作，必须防止 BJT 进入饱和态。假设 $V_E\approx(12-10\times0.5)V=7V$，我们需要保证集电极电压不能上升到$(7-0.2)V=6.8V$以上。因此，最大的允许负载电压是 6.8V。

(c) 对负载电压在可允许范围内的每变化 1V，I_o变化为$(1V)/(3.3M\Omega)=0.3\mu A$。这也就是标注的 $500\mu A$ 输出电流的 0.06%，这是一个非常小的值。我们现在知道怎样用 BJT 来实现一个高质量的电流源/沉。◀

2.7 放大器的 BJT 偏置设计

我们知道，为了使一个 BJT 作为放大器工作，我们必须将其偏置在正向有源(FA)区。因为放大器的特性是由小信号参数 g_m、r_π和 r_o决定的，这也就取决于偏置电流 I_C，显然为了达到可观测且稳定的放大特性，我们需要建立一个可观测且稳定的偏置电流 I_C。在各种因素中，我们最关心的是所用 BJT 各种参数值的变化范围，特别是 $V_{BE(on)}$和 β_F。设计一个 BJT 电路时，习惯假设一些典型值：

$$V_{BE(on)}=0.7V \tag{2.63a}$$

$$\beta_F=100 \tag{2.63b}$$

我们也把上式作为标准值。但是，由于制造工艺的变化，两个 BJT 上的实际值将会不同，即使在同一器件类型的样品上也是如此，例如，前面讨论的常用的 2N2222 型。例如，

式(2.11)和式(2.15)表明 I_s和 β_F都与基区宽度 W_B成反比关系，而基区是非常薄的(微米数量级)以保证高的β值。参考图 2.1 所示结构，很容易想象若在制造过程中，n^+ 发射极扩散深度发生了哪怕一点细微的变化，都会带来很大的影响。而且，I_s和 β_F随着温度和时间变化而漂移，所以它们的实际值可在落在一个较宽范围内的任一点。为了讨论的需要，我们假定以下的参数值范围：

$$0.4\text{V} \leqslant V_{BE(on)} \leqslant 0.8\text{V} \tag{2.64a}$$

$$50 \leqslant \beta_F \leqslant 200 \tag{2.64b}$$

一个晶体管电路的表现应当不依赖于所用的某个晶体管样品，这是一个准则，所以一个好的 BJT 放大器需要一个对于 $V_{BE(on)}$和 β_F 相对无关的静态工作点 $Q=Q(I_C, V_{CE})$。还有另外一点，假如一个 BJT 失效了，我们可以很轻易地用同一型号的 BJT 替代它，并依然希望得到相同的整体性能指标，即使新器件的实际参数值可能与老器件有明显的不同。

基于我们目前的学习，一个给定的电流偏置 I_C可以通过三种方法建立：

$$I_C = \beta_F I_B = \alpha_F I_E = I_s e^{V_{BE}/V_T}$$

即通过 I_B、I_E或是 V_{BE}。在下面我们将研究各种方法的优缺点。

通过 I_B偏置 BJT

图 2.47 所示的偏置方案用 R_B来建立基极驱动电流 I_B，以得到所需的偏置电流 $I_C=\beta_F \cdot I_B$。而且，其用 R_C来实现所需的电压 V_{CE}。我们有：

$$I_C = \beta_F \frac{V_{CC} - V_{BE(on)}}{R_B} \tag{2.65a}$$

$$V_{CE} = V_{CC} - R_C I_C \tag{2.65b}$$

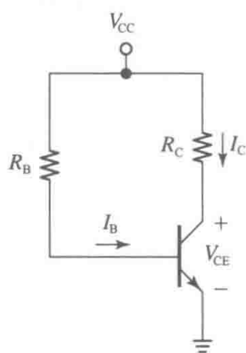


图 2.47 通过 I_B偏置 BJT

我们马上注意到这个偏置方案一个很严重的缺点，那就是 I_C与 β_F成正比，这显然不是一个明确的参数。因此，式(2.64b)的范围将也会影响 I_C。下面通过实例说明。

例 2.17 (a) 假设图 2.47 所示的电路有 $V_{CC}=12\text{V}$，及式(2.63)中的标准参数，在 BJT 偏置为 $I_C=1\text{mA}$，$V_{CE}=5\text{V}$ 条件下，求出标准值 5%范围内的 R_B和 R_C电阻值。

(b) 求出式(2.64)中参数变化带来的 I_C和 V_{CE}的变化范围，并对结果进行评价。

解：

(a) 由式(2.65a)，有：

$$R_B = 100 \times \frac{12-0.7}{1}\text{k}\Omega = 1.13\text{M}\Omega$$

最接近的标准值是 1.1MΩ。将其重新代入式(2.65a)，得到 $I_{C(nom)} \approx 1.03\text{mA}$。由式(2.65b)，得：

$$R_C = \frac{12-5}{1.03}\text{k}\Omega = 6.8\text{k}\Omega$$

这就是标准值。总的来说，用 $R_B=1.1\text{M}\Omega$ 及 $R_C=6.8\text{k}\Omega$，得到 $I_{C(nom)}\approx 1.03\text{mA}$，$V_{CE(nom)}=5\text{V}$。

(b) 式(2.65)表明当 β_F最小、$V_{BE(on)}$最大时，I_C最小。而且，当 I_C最小时，V_{CE}最大，反之亦然。因此我们得到：

$$I_{C(min)} = 50 \times \frac{12-0.8}{1100}\text{A} = 0.51\text{mA}, \quad V_{CE(max)} = (12-6.8\times 0.51)\text{V} = 8.5\text{V}$$

同样，用 β_F的最大值和 $V_{BE(on)}$的最小值，我们可以得到：

$$I_C = 200 \times \frac{12-0.4}{1100}\text{A} = 2.1\text{mA}, \quad V_{CE} = (12-6.8\times 2.1)\text{V} = -2.3\text{V}$$

最后的结果是不可能的，此时 BJT 已经进入饱和区！因此，在给定的条件下，我们有：

$$V_{CE(min)} = V_{CE(sat)} = 0.1\text{V}, \quad I_{C(max)} = \left(\frac{12-0.1}{6.8}\right)\text{mA} = 1.75\text{mA}$$

显然在给定的条件下，这种偏置方案是不可行的，不仅因为其使工作点落在一个很宽的范围内，而且其可能使 BJT 进入饱和区。◀

虽然图 2.47 所示电路中的偏置方案很简便，但其很少用于实际的 BJT 放大器设计中。但是，它通常用来在开关器件中，将 BJT 偏置进饱和区。正如我们在例 2.11 中所看到的，BJT 被精确地偏置于饱和区，来应对 β_F 的较大变化幅度。介绍这种方案的原因是为了介绍马上将要讨论的其他方案。

通过 I_E 来偏置 BJT

另一种好得多的方案是通过射极电流 I_E 来偏置 BJT，以得到 $I_C=\alpha_F I_E$。这是因为 α_F 值的变化范围比 β_F 的小得多。实际上，因为 $\alpha_F=\beta_F/(\beta_F+1)$，式(2.64b)的范围变为以下的 α_F 变化范围，$0.980 \leqslant \alpha_F \leqslant 0.995$，这种变化范围小于 1.5%！为了得到 I_E，我们需要将发射极偏置在某个电压 $V_E>0$ 下，再利用发射极电阻 R_E 来得到 $I_E=V_E/R_E$。这可以通过偏置基极来实现，可用分压电阻 R_1-R_2 来实现偏置，如图 2.48 所示。这个电路与图 2.27a 所示的一致，所以我们简单地再利用此处的结果并写出：

$$I_C = \beta_F \frac{V_{BB}-V_{BE(on)}}{R_B+(\beta_F+1)R_E} \tag{2.66a}$$

$$V_{CE} \approx V_{CC}-(R_C+R_E)I_C \tag{2.66b}$$

式中：

$$V_{BB} = \frac{R_2}{R_1+R_2}V_{CC}, \quad R_B = R_1 /\!/ R_2 \tag{2.67}$$

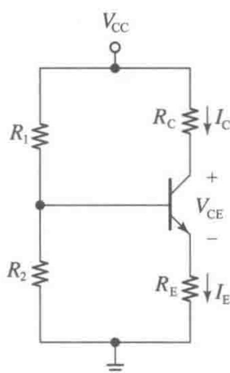


图 2.48　通过 I_E 偏置 BJT

注意在式(2.66b)中我们近似有 $I_E \approx I_C$。

将式(2.66a)右侧的分子、分母同时除以 β_F，并令 $(\beta_F+1)/\beta_F \approx 1$，得到一个更直接的表达式：

$$I_C \approx \frac{V_{BB}-V_{BE(on)}}{R_B/\beta_F+R_E}$$

这指出了如何得到一个相当稳定和可测的偏置电流 I_C。

- 使 I_C 对于 $V_{BE(on)}$ 的变化相对不敏感，可利用：

$$V_{BB} \gg \Delta V_{BE(on)}$$

其中，$\Delta V_{BE(on)}$ 是 $V_{BE(on)}$ 的预期变化范围(在这个例子中我们有 $\Delta V_{BE(on)}=(0.8-0.4)\text{V}=0.4\text{V}$)。这个条件间接地要求发射极电压 V_E 应足够大，来避免 $V_{BE(on)}$ 的变化。显然，V_E 越大越好。然而，这会影响集电极的信号摆幅。一种合理的折中是令 $V_E \approx 10\Delta V_{BE(on)}$，再将集电极偏置到 V_{CC} 与 V_E 的中间值，来保证匀称的集电极信号摆幅。有些作者提出了简单的 1/3-1/3-1/3 准则：令 $V_E=1/3V_{CC}$、$V_{CE}=1/3V_{CC}$、$R_C I_C=1/3V_{CC}$。

- 使 I_C 对于 $V_{BE(on)}$ 的变化相对不敏感，可利用：

$$R_B/\beta_F \ll R_E$$

这个条件简明地表示了 R_1 和 R_2 应该足够的小，使其静态电流足够的大，从而避免由于 β_F 变化引起基极电流 I_B 变化所带来的影响。虽然 R_1 和 R_2 越小越好，但是从 V_{CC} 抽取的电流会上升，甚至会到不可接受的地步。当基极作为放大器输入时，这会降低输入电阻。一个合理的折中是令静态电流约为 $10I_{B(nom)}$。

例 2.18 (a) 假设图 2.48 所示电路中，$V_{CC}=12\text{V}$，及式(2.63)中的标准参数，在 BJT 偏置为 $I_C=1\text{mA}$，集电极电压在 V_{CC} 和 V_E 之间的条件下，求出标准值 5% 范围内的电阻值。画出你的电路，并计算 I_C 和 V_{CE} 的标准值。

(b) 求出式(2.64)的变化所带来的 I_C 和 V_{CE} 变化的范围。评价你的结果。

解：

(a) 令 $V_E=10\Delta V_{BE(on)}=(10\times0.4)\mathrm{V}=4\mathrm{V}$。为了将集电极偏置在中间，我们需要 $V_C=(V_{CC}+V_R)/2=((12+4)/2)\mathrm{V}=8\mathrm{V}$。接着，近似有 $I_E\approx I_C$，我们求出

$$R_E=\frac{V_E}{I_E}\approx\frac{4}{1}\mathrm{k\Omega}=4\mathrm{k\Omega},\quad R_C=\frac{V_{CC}-V_C}{I_C}=\frac{12-8}{1}\mathrm{k\Omega}=4\mathrm{k\Omega}$$

最接近的标准值是 $R_E=R_C=3.9\mathrm{k\Omega}$。

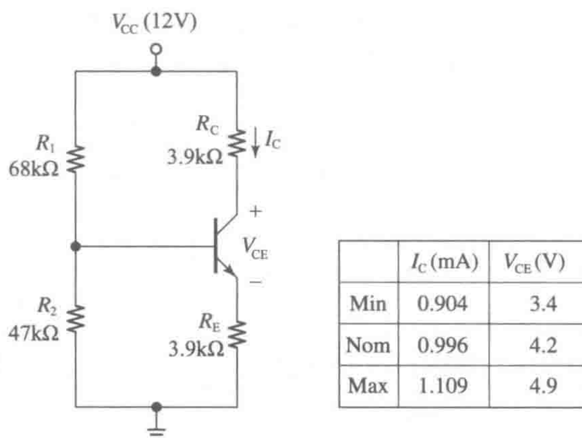
我们有 $I_{B(nom)}=(1/100)\mathrm{mA}=10\mu\mathrm{A}$。使通过 R_2 的电流为 $10I_{B(nom)}$，即 $10\times10\mu\mathrm{A}=100\mu\mathrm{A}$。这样我们可以由 KVL 得到，$V_B=V_E+V_{BE(on)}=(4+0.7)\mathrm{V}=4.7\mathrm{V}$，则有：

$$R_2=\frac{V_B}{I_{R_2}}=\frac{4.7}{0.1}\mathrm{k\Omega}=47\mathrm{k\Omega}$$

这就是标准值。流过 R_1 的电流由 KCL 可得，$(10+100)\mu\mathrm{A}=110\mu\mathrm{A}$，所以，有：

$$R_1=\frac{V_{CC}-V_B}{I_{R_1}}=\frac{12-4.7}{0.11}\mathrm{k\Omega}=66\mathrm{k\Omega}$$

最接近的标准值是 68kΩ。电路如图 2.49 所示。



	I_C(mA)	V_{CE}(V)
Min	0.904	3.4
Nom	0.996	4.2
Max	1.109	4.9

图 2.49　例 2.18 的电路图

为了求出 I_C 和 V_{CE} 的标准值，将 $R_1=68\mathrm{k\Omega}$、$R_2=47\mathrm{k\Omega}$ 代入式(2.67)，求出 $V_{BB}=4.9\mathrm{V}$、$R_B=27.8\mathrm{k\Omega}$。再用式(2.66)，求出：

$$I_{C(nom)}=100\times\frac{4.9-0.7}{27.8+(100+1)\times3.9}\mathrm{mA}=0.996\mathrm{mA}$$

$$V_{CE(nom)}=(12-(3.9+3.9)\times0.996)\mathrm{V}=4.2\mathrm{V}$$

(b) 式(2.66)表明 β_F 最小，且 $V_{BE(on)}$ 最大时 I_C 是最小的。而且，当 I_C 是最小时，V_{CE} 是最大的，反之亦然。因此可以得到：

$$I_{C(min)}=50\times\frac{4.9-0.8}{27.8+(50+1)\times3.9}\mathrm{mA}=0.904\mathrm{mA}$$

$$V_{CE(max)}=(12-(3.9+3.9)\times0.904)\mathrm{V}=4.9\mathrm{V}$$

同样的，用 β_F 的最大值和 $V_{BE(on)}$ 的最小值，可以得到：

$$I_{C(max)}=200\times\frac{4.9-0.4}{27.8+(200+1)\times3.9}\mathrm{mA}=1.109\mathrm{mA}$$

$$V_{CE(min)}=(12-(3.9+3.9)\times1.109)\mathrm{V}=3.4\mathrm{V}$$

数据在图 2.49 所示表格列出，此处我们观察到 I_C 的波动在 ±10% 的数量级。考虑到式(2.64)中宽得多的变化范围，这个结果是可以接受的。◀

你可能会疑惑是什么使 BJT 将 I_C 维持在固定值 1mA。假设 BJT 尝试将 I_C 拉到 1mA

以下。那 R_E 上的压降会降低，导致 V_E 也降低。但是这反过来又会增加 V_{BE}，因此会使得 BJT 抽取更多电流。相反地，I_C 高于 1mA 会使得 V_{BE} 下降，这会导致 BJT 抽取更少的电流。在两种情况下，任何想使 I_C 偏离其规定值 1mA 的行为都会遇到一个相反的趋势来将 I_C 保持在其规定值。这种情况总的来说，就是 R_E 对 BJT 提供了一种负反馈，这种行为固定了器件的偏置条件(在第 7 章会有更多的讨论)。

反馈偏置

图 2.50 画出了另一种偏置方案，其中稳定反馈的行为是由 R_C 和 R_F 实现的。观察电路可以发现，从 R_C 而来的电流分流至基极和集电极，接着在射极重新汇合，所以其肯定等于 I_E，如图 2.50 所示。由 KVL 和欧姆定律，得：

$$V_{CC} = R_C I_E + R_F I_B + V_{BE(on)}$$

将 $I_E=[(\beta_F+1)/\beta_F]I_C$ 及 $I_B=I_C/\beta_F$，求解 I_C，得到：

$$I_C = \beta_F \frac{V_{CC} - V_{BE(on)}}{R_F + (\beta_F + 1)R_C} \tag{2.68a}$$

这个表达式与式(2.66a)相似，不同的是 R_C 取代了 R_E，R_F 取代了 R_B，V_{CC} 取代了 V_{BB}。因此，上面讨论的稳定优势在这种情况下也成立。由 KVL，还可以得到 $V_{CE}=V_{BE(on)}+R_F I_B$，即

$$V_{CE} = V_{BE(on)} + \frac{R_F}{\beta_F} I_C \tag{2.68b}$$

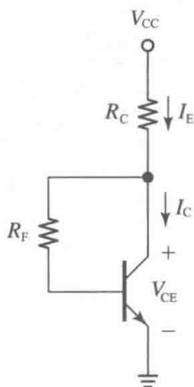


图 2.50　反馈偏置

这表明这种方案 V_{CE} 值的灵活性不高。典型的情况是 V_{CE} 只比 $V_{BE(on)}$ 高一点点，这样一来集电极最小输出就比图 2.48 所示的方案更受限制。图 2.50 所示的电路应用在前置放大器中，其输入信号是足够小的，输出在合适的信号摆幅之内。

例 2.19　(a) 假设图 2.50 所示的电路有 $V_{CC}=12V$，及式(2.63)中的标准参数，BJT 偏置在 $I_C=1mA$ 条件下求出标准值 5%范围内的电阻值。

(b) 电路的标准集电极摆幅是多少？

解：

(a) 假定 $R_F \ll (\beta_F+1)R_C=101R_C$。取 $R_F=10R_C$。再代入式(2.68a)，得到：

$$1 = 100 \times \frac{12 - 0.7}{10R_C + (100 + 1)R_C}$$

即 $R_C=10.2k\Omega$。取标准值 $R_C=10k\Omega$，那么 $R_F=100k\Omega$。

(b) 将上述的阻值代入式(2.68)，得到 $I_C=1.02mA$、$V_{CE}=1.7V$。标准最小输出是 $V_{CE}-V_{CE(EOS)}=(1.7-0.2)V=1.5V$。标准最大输出是 $V_{CC}-V_{CE}=(12-1.7)V=10.3V$，这是一种高度不对称的情况。◀

通过 V_{BE} 偏置的 BJT(电流镜)

第三种偏置 BJT 的方法是通过一个合适的驱动电压 V_{BE}，用图 2.39a 所示的方法实现。因为 I_C 与 V_{BE} 成指数关系，如果需要保证 I_C 能很好地再现，V_{BE} 的驱动需要精确地处在毫伏数量级以下。考虑到式(2.64a)的变化及 V_{BE} 对温度敏感，这是个很艰难的任务，除非 V_{BE} 可以根据温度来不断调整得到我们所期望的值。

在集成电路(IC)中，实现这个任务是相当简单，可用高度匹配的器件在衬底上同时进行制造。简而言之，为了将一个特定的 BJT Q_2 偏置在给定的电流 I_{C2} 下，我们用一个相同的 BJT Q_1 进行二极管连接，并用跟所期望的电流 I_{C2} 相同数量级的电流 I_{C1} 来驱动它。那么 Q_1 会产生一个电压 V_{BE}，用来提供给 Q_2。因为两个器件是匹配的，其 V_{BE} 压降相同，I_{C2} 会跟随 I_{C1}，这就是为什么说，这两个 BJT 形成了一个电流镜的原因。而且，如果 BJT 在芯片中相互靠近，它们可以有相同的温度变化，所以它们的特性也会一致漂移，这种特性称为温度追踪。这种精巧的技术在图 2.51 中有所阐述。直流分析中，为了将 Q_2 的偏置

条件表示出来，通常会忽略掉细微的基极电流及其厄利效应。因为 $I_{C2}=I_{C1}$，所以 Q_2 器件的偏置条件为：

$$I_{C2}=\frac{V_{CC}-V_{BE}}{R_1} \tag{2.69a}$$

$$V_{CE2}=V_{CC}-R_2 I_{C2} \tag{2.69b}$$

电流镜在 IC 设计中被广泛应用，既可以作为电流信号处理模块，也可以作为电流反相器，以及为其他电路提供偏置的直流偏置模块。例如，这个电路中的 Q_2 可以用来对另一个 BJT 提供射极电流偏置，因为它是作为一个放大器工作的。

例 2.20 假设图 2.51 所示电路中有 $V_{CC}=5\text{V}$，及式(2.63)中的标准参数，BJT 偏置在 $I_C=1\text{mA}$，集电极电压为有源区的正中间的条件下，求出标准值 5%范围内的电阻值。

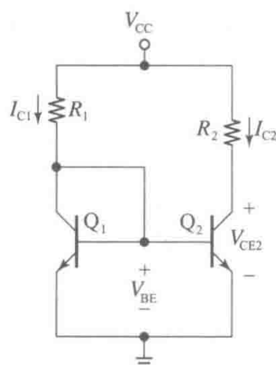


图 2.51　电流镜偏置的 Q_2

注：Q_1 和 Q_2 是匹配的 BJT

解：

由欧姆定律，得：

$R_1=((5-0.7)/1)\text{k}\Omega=4.3\text{k}\Omega$

$R_2=((5-2.5)/1)\text{k}\Omega=2.5\text{k}\Omega$(用 $2.4\text{k}\Omega$)。

显然，图 2.51 所示的偏置方案只有在电路集成的条件下才能良好地工作。如果我们使用用分立 BJT 器件，它们很可能是不匹配的，当然也就不会像单片器件那样，在温度变化时互相紧密地跟随。如果你用 PSpice 仿真一个电路时，所有的 BJT 都采用了同样的器件模型，也是完全匹配的。这就给初学者一个错误的印象，认为到处都是匹配器件。如有必要，可以使用蒙特卡洛仿真来对实际器件的参数范围进行仿真。◀

2.8　基本双极型电压放大器

一个 BJT 有三种放大结构，这取决于我们用哪个端口输入、哪个端口输出。三种放大结构是：共射极、共集电极和共基极结构。将放大器看作二端口网络，显然 BJT 的三端中有一个必须为其他端口共用(这也是以上这些命名的原因)。此处讨论的电路实现方法是分立的，因为我们可以用分立的晶体管、电阻及电容来实现。虽然现在大量的 BJT 放大器是用 IC 方式制造的，但学习分立 BJT 方法的动机不仅是去追溯历史，也是为了教学的需要，因为分立器件相对易于掌握，并且也揭示了很多在 IC 制造中同样要用到的知识。另外，能进入电子实验室的学生可以尝试搭建它们，既可以加深理解，也可以同时培养实验技巧。没有条件进入实验室的学生，可以通过 PSpice(见附录 2A)对电路进行仿真。

单向电压放大器

图 2.52 画出了一个单向电压放大器的模块框图，之所以这样命名，是因为信号只会正向传输，从信号源到负载，没有任何信号返回的路径(在下一节我们将在共集电极结构中遇到非单向放大器的例子)。放大器的输入信号 v_i 是来自内阻为 R_{sig} 的信号源 v_{sig}，其输出送入负载 R_L。这个放大器的特性由输入电阻 R_i、输出电阻 R_o 和开环电压增益 a_{oc} 描述。

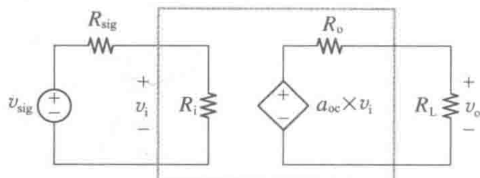


图 2.52　单向电压放大器的框图

在放大器的输入端有电阻分压，得到输入为：

$$v_i=\frac{R_i}{R_{sig}+R_i}v_{sig} \tag{2.70}$$

同样的，放大器的输出端有另一个电阻分压，得到输出为：

$$v_o = \frac{R_L}{R_o + R_L} a_{oc} \times v_i \tag{2.71}$$

我们观察到

$$a_{oc} = \lim_{R_L \to \infty} \frac{v_o}{v_i} \tag{2.72a}$$

a_{oc}代表了放大器不带任何负载时对输入 v_i的增益。因此，a_{oc}称为开环电压增益，也称为空载增益。消去上式中的 v_i，我们得到从信号到负载的电压增益为：

$$\frac{v_o}{v_{sig}} = \frac{R_i}{R_{sig} + R_i} \times a_{oc} \times \frac{R_L}{R_o + R_L} \tag{2.73}$$

因为信号是从信号源传输到负载的，其在放大器的输入会有一定的衰减，接着被放大 a_{oc}倍，最终在输出又会有衰减。根据式(2.73)，我们也可以写出：

$$a_{oc} = \left. \frac{v_o}{v_{sig}} \right|_{R_{sig} \to 0,\, R_L \to \infty} \tag{2.72b}$$

这为我们求空载增益提供了另一种可行的方法。

共射极(CE)结构

在图 2.53 所示的电路中，放大器完全是由 BJT 和周围电路组成的。为了防止信号源和负载干扰放大器的直流条件，我们采用了交流耦合电容器 C_1和 C_2。而且，为了在发射极端建立一个交流地，我们又采用了旁路电容 C_3。

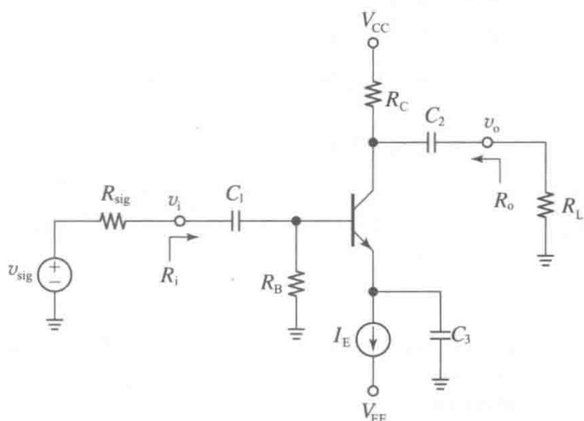
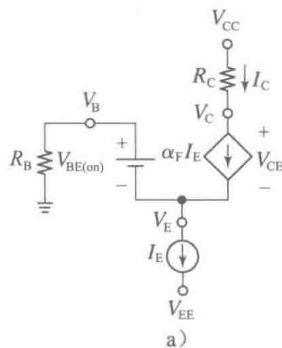


图 2.53　共射极(CE)放大器

在直流分析中，电容不通过电流，即是开路的。实际上，在图 2.54a 所示的直流等效电路中，电容都被省略了。为了简化直流分析，我们假设 $V_A=\infty$，并用一个直流电流沉 I_E来偏置 BJT。这种电流沉可用图 2.51 所示的电流镜来制造(此处我们不要在意这么多细节)。直流电压是：

$$V_B = -R_B \frac{I_E}{\beta_F + 1}, \quad V_C = V_C - \alpha_F R_C I_E, \quad V_E = V_B - V_{BE(on)} \tag{2.74}$$



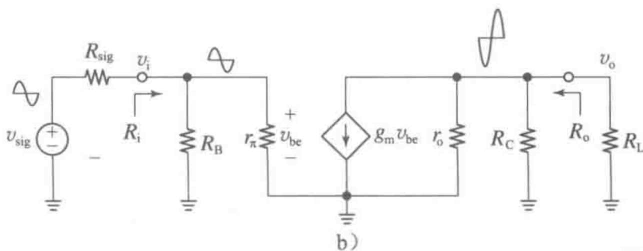


图 2.54　图 2.53 所示 CE 放大器的(a)直流和(b)交流等效图

而且，我们有 $I_C=\alpha_F I_E \approx I_E$。当对电路供电时，每个电容都会被充电，直至极板达到对应节点的直流电压为止。例如，当 C_3的下极板保持接地时，上极板将被充至 V_E，在这个电路中是负值。同样的，C_2的左极板将被充电至 V_C，而右极板被 R_L拉至 0V。

当分析一个电压放大器时，我们对它从信号源到负载的增益 v_o/v_{sig}感兴趣。由式(2.73)，这需要求出从信号源看进去的输入电阻 R_i，从负载看进去的输出电阻 R_o，以及空载电压增

益 a_{oc}。通过图 2.54b 所示的交流等效电路，可以求出这些参数。然而，因为小信号参数 g_m、r_π和 r_o与 BJT 的直流偏置有关，我们需要用图 2.54a 所示的直流等效电路分析。在进行分析之前，我们希望读者注意到直流分析和交流分析的区别，以及将它们分开的必要性。

从图 2.53 所示的原始电路变为图 2.54a 所示的直流等效电路，我们按照以下的过程进行设计。

- 直流分析过程：
  将所有交流源置零；
  将 BJT 用其大信号模型代替(为了简化，规定 $V_A=\infty$)；
  将所有电容开路。

相反地，将图 2.53 所示的原始电路变化为图 2.54b 所示的交流等效电流，我们按以下的过程进行设计。

- 交流分析过程：
  - 将所有直流源置零；
  - 将 BJT 用其小信号模型代替，r_o也包括在内；
  - 将所有电容短路。

参考图 2.54b 所示电路，我们注意到：

$$R_i = R_B \parallel r_\pi, \quad R_o = R_C \parallel r_o \tag{2.75}$$

而且，由欧姆定律，我们有：

$$0 - v_o = (r_o \parallel R_C \parallel R_L) g_m v_{be} = (r_o \parallel R_C \parallel R_L) g_m v_i$$

因为式(2.72a)中 v_o/v_i的比值是 $R_L \to \infty$时的空载电压增益，所以令 $R_L \to \infty$，可以得到 $v_o = -(r_o /\!/ R_C) g_m v_i$，即：

$$a_{oc} = -g_m (R_C \parallel r_o) \tag{2.76}$$

得到 R_i、R_o和 a_{oc}的表达式后，我们就可以用式(2.73)求出信号源到负载的增益。

例 2.21 在图 2.53 所示的电路中，令 $V_{CC}=-V_{EE}=12\text{V}$，$I_E=1\text{mA}$，$R_B=75\text{k}\Omega$，$R_C=6.2\text{k}\Omega$。而且，令 BJT 有 $\beta_F=150$，$V_{BE(on)}=0.7\text{V}$，$V_A=80\text{V}$。假设 $R_{sig}=0.5\text{k}\Omega$，$R_L=30\text{k}\Omega$，以及

$$v_{sig} = (5\text{mV})\cos(\omega t)$$

求出电路中所有节点电压，并按照式(2.43)的方式，将每个电压表示为其直流分量和交流分量的和。

解：

我们有 $I_C \approx I_E = 1\text{mA}$。由式(2.74)，可得：

$$V_B = -75 \times \frac{1}{151}\text{V} = -0.5\text{V}$$

$$V_C \approx (12 - 6.2 \times 1)\text{V} = 5.8\text{V}$$

$$V_E = (-0.5 - 0.7)\text{V} = -1.2\text{V}$$

而且，$g_m=(1/26)\text{A/V}$，$r_\pi=(150\times 26)\text{k}\Omega=3.9\text{k}\Omega$，$r_o=(80/1)\text{k}\Omega=80\text{k}\Omega$。因此，由式(2.75)和(2.76)给出

$$R_i = (75 \parallel 3.9)\text{k}\Omega = 3.7\text{k}\Omega$$

$$R_o = (6.2 \parallel 80)\text{k}\Omega = 5.8\text{k}\Omega$$

$$a_{oc} = (-5\,800/26)\text{V/V} = -223\text{V/V}$$

而且，式(2.70)给出 $v_i=[3.7/(0.5+3.7)]v_{sig}=0.88v_{sig}=(4.4\text{mV})\cos(\omega t)$。最后，由式(2.73)得到：

$$v_o = \left[\frac{3.7}{0.5+3.7} \times (-223) \times \frac{30}{5.8+30}\right] v_{sig} = -165 v_{sig} = -165(5\text{mV})\cos(\omega t)$$

$$= (825\text{mV})\cos(\omega t - 180^\circ)$$

节点电压如图 2.55 所示。鼓励读者详细验证每个电压值。◀

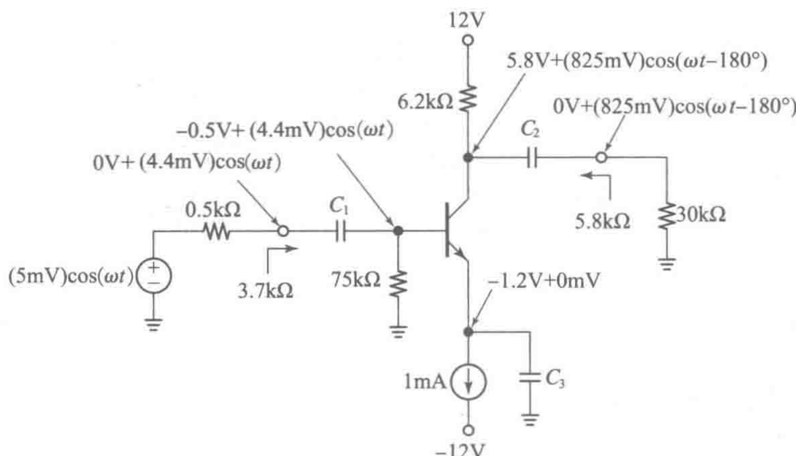
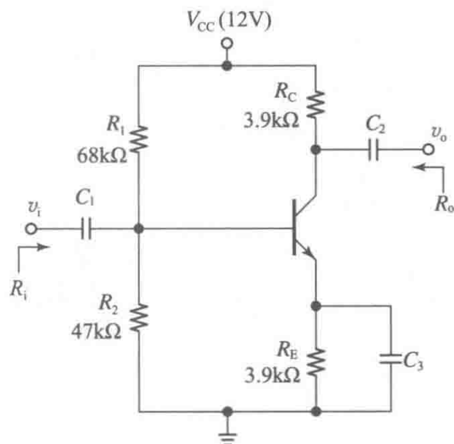


图 2.55 例 2.21 的电路图，每个节点电压都表示为直流和交流分量的和

将一个放大器重新画为直流形式和交流形式的完整过程，参考图 2.54 所示的例子。虽然强力推荐初学者这么做，但可能对于想加快分析速度的人是一个累赘。当有经验以后，某些中间步骤就可以在脑中进行，而不用画出具体的电路等效。而且，我们可以应用图 2.42 中大量已有的结果。随着我们的学习，我们将介绍大量的实例。

例 2.22 (a) 在图 2.56a 所示电路中，例 2.18 设计的电路用作一个共源极放大器使用。有 $\beta_F=100$，$I_C=0.99\text{mA}$，求出小信号参数 R_i、R_o和 a_{oc}。假设 $V_A=100\text{V}$。

(b) 假设电路由一个内阻为 $R_{sig}=1\text{k}\Omega$ 的电源驱动，且负载为 $R_L=18\text{k}\Omega$，求其信号源到负载的增益。



a）例2.22中单电源CE放大器

解：

(a) 我们有 $g_m=(0.99/26)\text{A/V}=38\text{mA/V}$，$r_\pi=(100\times 26/0.99)\text{k}\Omega=2.6\text{k}\Omega$，$r_o=(100/0.99)\text{k}\Omega=101\text{k}\Omega$。接着，参考图 2.56b 所示的交流等效电路，我们观察到由于 C_3 的旁路作用，发射极是接交流地的。观察可得 $R_b=r_\pi$，$R_c=r_o$。因此，有：

$$R_i=R_1 /\!/ R_2 /\!/ R_b=(68 /\!/ 47 /\!/ 2.6)\text{k}\Omega=2.4\text{k}\Omega$$

$$R_o=R_C/R_c=(3.9 /\!/ 101)\text{k}\Omega=3.8\text{k}\Omega$$

$$a_{oc}=-g_mR_o=(-38\times 3.8)\text{V/V}=-144\text{V/V}$$

(b) 根据输入输出负载，增益下降到：

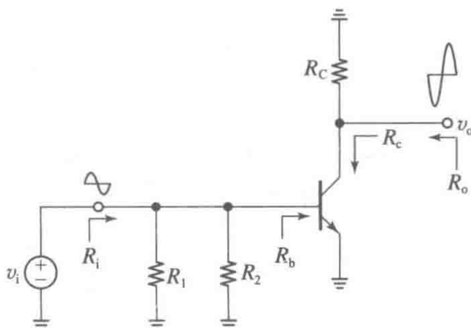
$$\frac{v_o}{v_{sig}}=\frac{2.4}{1+2.4}\times(-144)\times\frac{18}{3.8+18}\text{V/V}$$
$$=-84\text{V/V}$$ ◀

共射极结构的快速估算

在日常实践中，电路设计者们通常需要快速且粗略地对 BJT 放大器的相关参数进行估算。基于以上的衍生情况及例题，对于共射极结构我们得到以下一些结论。

- R_i由 r_π控制；
- R_o由 R_C控制；
- a_{oc}近似为$-g_mR_C$。

应用 $g_m=I_C/V_T$，我们还可以写出：



b）交流等效图

图 2.56

$$a_{oc} \approx -\frac{R_C I_C}{V_T} \tag{2.77a}$$

这表明一个共射极放大器的空载电压大小近似为 R_C 上的压降与热电压 V_T 的比值。例如，在例 2.21 的双电源放大器中，R_C 上压降约为 $V_{CC}/2$，所以由式(2.77a)可估算 $a_{oc} \approx -(V_{CC}/2)/V_T = (-(12/2)/0.026)\text{V/V} = -230\text{V/V}$。同样地，在例 2.22 的单电源设计中，BJT 是按照 1/3-1/3-1/3 规则进行偏置的，由式(2.77a)可得到 $a_{oc} \approx -(V_{CC}/3)/V_T = (-(12/3)/0.26)\text{V/V} = -160\text{V/V}$。两个估算都与相应的例题相当吻合，所以记住式(2.77)！

练习 2.2

假如将 r_o 加入考虑，证明式(2.77a)变为：

$$a_{oc} = -\frac{R_C I_C}{V_T(1 + R_C I_C / V_A)} \tag{2.77b}$$

发射极负反馈(CE-ED)结构的共射极

图 2.57 所示的电路与图 2.53 所示的电路相似，不同的是存在一个非旁路电阻 R_E 与发射极串联。为了求出小信号参数，我们考虑图 2.58 所示的交流等效电路。式(2.62b)表明 R_E 的存在可以很大程度地提高 R_c，以达到 $R_c \gg R_C$。在分立设计中，这是通常的情况，所以我们近似有 $R_o = R_C /\!/ R_c \approx R_C$。实际上，为了简化分析并帮助初学者对电路形成快速的印象，通常在分立 CE-ED 电路中完全忽略 r_o(我们将在第 4 章看到，这在对应的 IC 中并不必要)。这允许我们做出以下近似：

$$R_i = R_B /\!/ R_b \approx R_B /\!/ [r_\pi + (\beta_0 + 1)R_E], \quad R_o \approx R_C \tag{2.78}$$

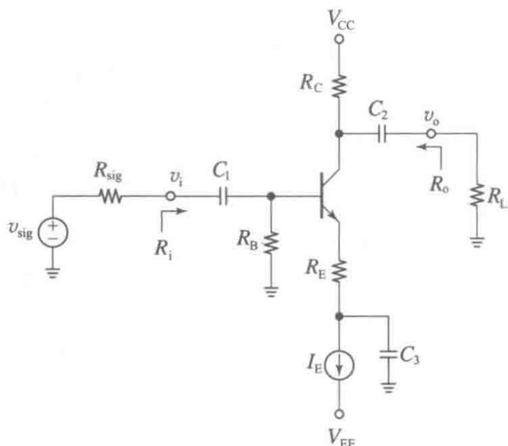


图 2.57 采用发射极负反馈的共射极(CE-ED)放大器

接下来我们想得到 i_c 的表达式。忽略掉 r_o，式(2.52)简化为 $i_c = g_m v_{be}$。参考图 2.58 所示的交流等效电路，我们有：

$$i_c = g_m v_{be} = g_m(v_b - v_e) = g_m(v_i - R_E i_e) \approx g_m(v_i - R_E i_c)$$

这其中用到了 $i_e = i_c/\alpha_0 \approx i_c$。求解 i_c，可得：

$$i_c = G_m v_i \tag{2.79a}$$

式中：

$$G_m \approx \frac{g_m}{1 + g_m R_E} \tag{2.79b}$$

我们观察到当 $R_E = 0$ 时，整个信号 v_i 都通过了 BE 端口，这给出 $G_m = g_m$。然而，当 $R_E \neq 0$ 时，只有一部分的 v_i 通过了 BE 端口，

其余的则通过 R_E。因此我们有 $G_m < g_m$，这表明对于同样的 v_i，i_c 变小了。这种跨导变小的情况称为退化，因为 R_E 提供了一个负反馈功能，我们之前有所提及。虽然负反馈将会在第 7 章进行系统性的研究，但在这里我们需要了解，R_E 通常称为射极退化电阻，其存在不仅降低了跨导，而且根据式(2.78)，也提高了 R_b 和 R_i 的值。

为了求出电压增益，参考图 2.58 所示的交流等效电路，写出欧姆定律：

$$0 - v_o = (R_o /\!/ R_L)i_c \approx (R_C /\!/ R_L)i_c = (R_C /\!/ R_L)G_m v_i$$

因为式(2.72a)中 v_o/v_i 比值是 $R_L \to \infty$ 时的空载电压增益，所以令 $R_L \to \infty$，得到 $v_o \approx -R_C \cdot G_m v_i$，所以，有：

$$a_{oc} \approx -G_m R_C \approx -\frac{g_m R_C}{1 + g_m R_E} \tag{2.80}$$

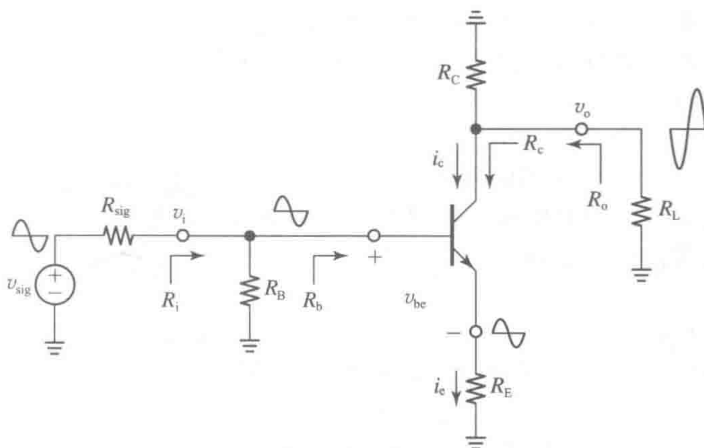


图 2.58 图 2.57 中 CE-ED 放大器的交流等效图

与式(2.76)比较，我们注意到退化电阻 R_E 导致 a_{oc} 下降为以前的 $1/(1+g_m R_E)$。将式(2.80)重新写为另一种形式：

$$a_{oc} \approx \frac{R_C}{1/g_m + R_E} \approx -\frac{R_C}{r_e + R_E} \tag{2.81a}$$

这就给出了快速估计 CE-ED 结构增益的一个有用的经验法则：
从基极到集电极的空载电压增益，等于(负的)总集电极电阻与总发射极电阻的比值。
如果 $g_m R_E \gg 1$(即 $R_E \gg 1/g_m$)，那么，有：

$$a_{oc} \approx -\frac{R_C}{R_E} \tag{2.81b}$$

这表明增益变得与 g_m 无关，因此也就与 BJT 的偏置条件无关——这是发射极负反馈的一个重要优点！得到 R_i、R_o和 a_{oc}的表达式后，由式(2.73)就可以求出信号到负载的增益。

例 2.23 (a) 在例 2.21 的共射极电路中插入一个射极退化电阻 $R_E=220\Omega$，即将其变为图 2.57a 所示的 CE-ED 电路，研究其效果。

(b) 求出空载增益为−10V/V 时的 R_E。

解：

(a) 所有的交流电压和交流电流保持不变，所以 g_m(=38mA)和 r_π(=3.9kΩ)不变。在电路中插入 $R_E=220\text{k}\Omega$ 有以下的效果：

- R_b从 3.9kΩ 增加到[3.9+(150+1)0.22]kΩ=37kΩ(几乎增大了 10 倍)；
- R_i从 3.7kΩ 增大到(75∥37)kΩ=25kΩ(可接受的结果)；
- a_{oc}从−223V/V 减小到(或是简并到)−[6 200/(26+220)]V/V=−25V/V

运用式(2.73)，我们求出 v_o下降到：

$$v_o = \left[\frac{25}{0.5+25} \times (-25) \times \frac{30}{6.2+30}\right] v_{sig} = -20 v_{sig} = -20(5\text{mV})\cos(\omega t)$$
$$= (100\text{mV})\cos(\omega t - 180°)$$

(b) 运用式(2.80)，令−6 200/(26+R_E)=−10。得到 $R_E=594\text{k}\Omega$。◀

对 CE-ED 结构的总结

我们将射极退化电阻 R_E的效果总结如下：

- 跨导 g_m和空载增益 a_{oc}下降为原来的 $1/(1+g_m R_E)$。
- R_b从 r_π上升到 $r_\pi+(\beta_0+1)R_E \approx r_\pi(1+g_m R_E)$，也就是增大为原来的$(1+g_m R_E)$倍。
- 输入信号范围增大到 $v_i=v_{be}+v_e=v_{be}+R_E i_e \approx v_{be}+R_E i_c=v_{be}(1+g_m R_E)$，也就是增大为原来的$(1+g_m R_E)$倍，因此也拓宽了小信号近似的适用范围。
- 从信号到负载的增益与 β_0和 I_C的相关性减小，与外部电阻比值相关。

虽然增益下降在某些场合下是不希望得到的，但其他所有的效果都是我们欢迎的，而且设计者们在优化电路时也常用到它们(在第 6 章我们将看到退化的另一个重要效果，即更快的频率/时间响应)。

电容选择

为了完善对分立 BJT 放大器的理解，我们需要处理怎样在分立设计中选择各种电容的问题。当信号源打开时我们希望每个电容 C 在电源频率 f_{sig} 下是可当作交流短路的。在器件本身上，这需要我们选择足够大的 C，以防止 v_{sig} 的幅度变化时，电容产生明显的充放电过程。

我们知道，在信号频率 f_{sig} 下电容 C 表现出的阻抗为 $Z_C(jf_{sig})=1/(j2\pi f_{sig})$。为了在 f_{sig} 下，电容能作为有效的交流短路工作，其阻抗必须满足

$$|Z_C(jf_{sig})|\ll R_{eq}$$

此处的 R_{eq} 是从 C 看入的等效电阻。这个条件可轻易改写为：

$$C\gg 1/(2\pi R_{eq}f_{sig}) \tag{2.82}$$

如果电路被设计在一定的信号频率范围内工作，那么在上述条件中我们必须用最低频率，即 $f_{sig(min)}$。

例 2.24 求出在例 2.21 中的共源极放大器的合适电容值，以使其能工作在音频范围内。

解：

音频范围是从 20Hz 到 20kHz，所以 $f_{sig(min)}=20\text{Hz}$。

- 对于 C_1，我们有 $R_{eq1}=R_{sig}+R_i=(0.5+3.7)\text{k}\Omega=4.2\text{k}\Omega$，所以需要 $C_1\gg(1/(2\pi\times 4.2\times10^3\times20))\text{F}\approx2.0\mu\text{F}$。
- 对于 C_2，我们有 $R_{eq2}=R_o+R_L=(5.8+30)\text{k}\Omega=35.8\text{k}\Omega$，所以令 $C_2\gg(1/(2\pi\times 35.8\times10^3\times20))\text{F}\approx0.22\mu\text{F}$。
- 对于 C_3，我们对该例应用式(2.59a)并写出：

$$R_{eq3}\approx\frac{(R_{sig}/\!/R_B)+r_\pi}{\beta_0+1}=\frac{(0.5/\!/75)+3.9}{150+1}\Omega=29\Omega$$

所以令 $C_3\gg(1/(2\pi\times29\times20))\text{F}\approx275\mu\text{F}$。

一个合理的方法是使用比计算下限高一个或更高数量级的标准电容值来设计电路。也就是用 $C_1=22\mu\text{F}$、$C_2=2.2\mu\text{F}$，以及 $C_3=2.7\text{mF}$。因为对于 C_3，其等效电阻非常小，所以 C_3 值就非常大。为了减小尺寸，一般采用折中的方法，用一个较小的值，在此例中可取 $330\mu\text{F}$。◀

PSpice 仿真

这里讨论的电路可以轻易地通过 PSpice 验证(见附录 2A)。学生既可以搭建特定的 BJT 模型，也可以用学生版 PSpice 库中可用的器件模型，例如常用的 2N2222 npn BJT。图 2.59 画出了一个 PSpice 电路来对例 2.22 中的共射极放大器进行仿真，但用的是 2N2222 BJT。所有相关的波形如图 2.60 所示。

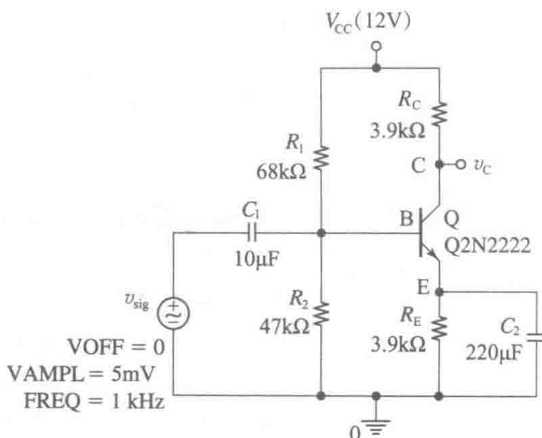


图 2.59 使用 PSpice 电路来显示 CE 放大器的波形

正如所看到的，输入信号 v_{sig} 是一个频率为 1kHz、峰值为 ±5mV 的正弦波。基极的波形 v_b 仍然是一个正弦波，峰值差不多也是 ±5mV，但含有由直流偏置电阻 R_1 和 R_2 建立起的直流分量 $V_B=4.717\text{V}$。发射极的波形 v_E 含有直流分量 $V_E=4.072\text{V}$，大概比 V_B 低 0.7V。我们注意到还有一个小交流分量 v_e。

理想情况下，v_e应该是 0(发射极表现为交流地)，但这需要 $C_2 \to \infty$。在实际运用中我们指定 C_2 为一个足够大的值，来保证 $|v_e| \ll |v_b|$。最后，我们注意到集电极的波形 v_C 含有直流分量 $V_C = 7.968$ 和一个交流分量 v_c，其是输入 v_{sig} 的放大，但有 180°的相移。

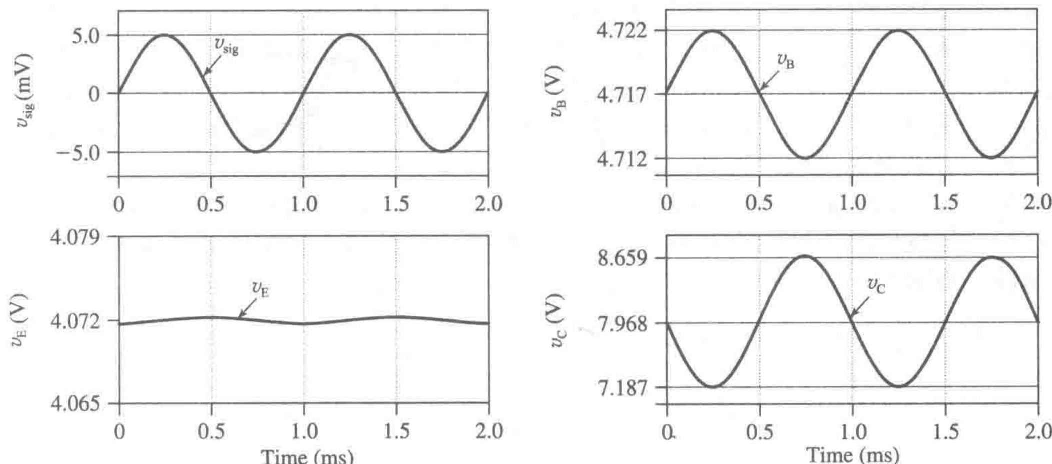


图 2.60　图 2.59 中 CE 放大器的波形图

其峰峰值是(8.659－7.187)V＝1.472V。因为输入的峰峰值是 10mV，所以增益是(－1.472/0.010)V/V＝－147.2V/V，这与例 2.22 中所预测的值－144V/V 相当吻合。在实际应用中输出波形有细微地失真，这是由于 BJT 的非线性(指数)特性。因为其平均值不是精确地等于峰值的一半，因此，例 2.22 中根据小信号近似进行的计算，必然会与电脑仿真或实验室测量的更可靠结果有细微的出入。

2.9　双极型电压和电流缓冲器

在本节我们探究另外两种单管放大器结构，即共集电极结构和共基极结构。我们将看到，这些结构分别在电压缓冲和电流缓冲中的应用。

共集电极(CC)结构

共集电极(CC)放大器从基极输入并从发射极输出。在图 2.61a 所示的电路实现中，我们直接由信号源驱动基极，所以我们可以只关注电路的基本参数。再考虑图 2.61b 所示的交流等效电路，与图 2.42 所示电路相同，所以我们再用从图 2.42 所示电路中得到的结果，方便我们可以重新选择合适的电阻。

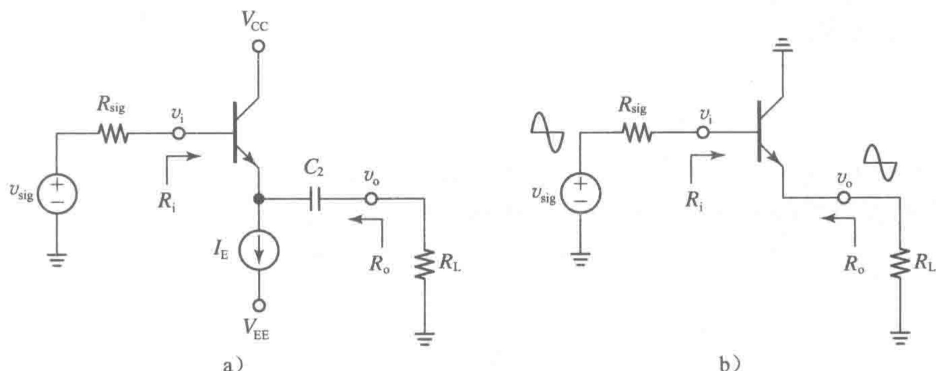


图 2.61　共集电极(CC)放大器及其交流等效图

图 2.61b 所示的输入电阻是式(2.58b)给出的 R_b，其中 $R_E \to R_L$，有：

$$R_i = r_\pi + (\beta_0 + 1)(R_L \mathbin{/\!/} r_o) \tag{2.83}$$

这个电阻通常很大，这是由于被放大了 β_0 倍。图 2.61b 所示的输出电阻就是式(2.59b)中

的 R_e，其中 $R_B \to R_{sig}$，有：

$$R_o = \left(\frac{R_{sig} + r_\pi}{\beta_0 + 1}\right) /\!/ \; r_o \tag{2.84}$$

这个电阻通常很小，这是由于分母中有 β_0。正如式(2.83)揭示了 R_i 是 R_L 的函数一样，式(2.84)揭示了 R_o 是 R_{sig} 的函数。如上所述，表现出这种相互依赖关系的放大器称为非单向放大器。

为了求出电压增益，我们观察到：如果将 BJT 用其小信号模型代替并从基极看进去，可以看到 r_π，接着是 $\beta_0 i_b$、R_L 和 r_o。

根据式(2.83)，我们可以将这三个器件混合在一起，将其作为单个值为 $(\beta_0+1)\times(R_L /\!/ r_o)$ 的等效电阻。这恰恰就是图 2.62a 所做的工作，其画出了从信号源看进去的交流等效电路。根据分压定理，我们求出信号到负载的增益是：

$$\frac{v_o}{v_{sig}} = \frac{(\beta_0 + 1)(R_L /\!/ r_o)}{R_{sig} + r_\pi + (\beta_0 + 1)(R_L /\!/ r_o)} \tag{2.85a}$$

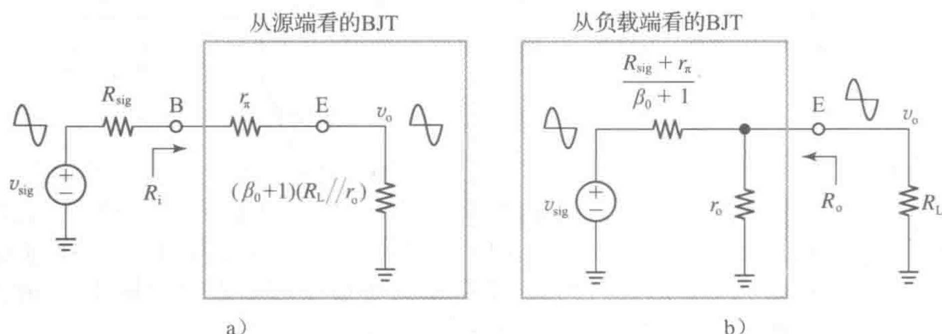


图 2.62　图 2.61 中 CC 放大器从源端看和从负载端看的小信号等效电路

分子、分母同除 (β_0+1) 得到一个更利于观察的表达式：

$$\frac{v_o}{v_{sig}} = \frac{R_L /\!/ r_o}{\dfrac{R_{sig} + r_\pi}{\beta_0 + 1} + (R_L /\!/ r_o)} \tag{2.85b}$$

将这个表达式看作分压定理，我们可以轻易地画出相应的电路。如图 2.62b 所示，这是从负载看进去的等效交流电路。这些电路应该能帮助读者更好地理解这个有趣的电路。如上面所提到的，一个共集电极放大器可提供高输入电阻和低输出电阻。

为了更好地研究增益，我们将分子、分母同时除以式(2.85)右侧的分子本身，并得到另一种更利于观察的表达式：

$$\frac{v_o}{v_{sig}} = \frac{1}{1 + \dfrac{R_{sig} + r_\pi}{(\beta_0 + 1)(R_L /\!/ r_o)}} \tag{2.86}$$

电压增益小于 1，通常是非常接近 1 的，这是由于 β_0 相当大。因此共集电极放大器也称为电压跟随器(发射极的交流电压会跟随基极的交流电压，虽然总发射极电压相对于基极电压相差了 -0.7V)。与式(2.72b)一致，令式(2.86)中的 $R_{sig}\to 0$、$R_L \to \infty$，就可以求出空载增益 a_{oc}。结果是：

$$a_{oc} \approx \frac{1}{1 + 1/(g_m r_o)} = \frac{1}{1 + V_T/V_A} \tag{2.87}$$

这个值非常接近 1。我们将观察结果总结如下。

- 虽然共集电极结构并不是好的电压放大器，但是它提供了高输入电阻和低输出电阻，使其称为优良的电压缓冲器。理想情况下，一个电压缓冲器有：

$$R_i \to \infty,\quad R_o \to 0,\quad \frac{v_o}{v_{sig}} \to 1\text{V/V} \tag{2.88}$$

虽然共集电极结构只是对理想电压缓冲器的一个近似，但它广泛地用于降低级间负载。例如，在共射极放大器前接上一个电压缓冲器，可以提供很高的输入电压，其代价只是对总的增益有一个微不足道的降低，同样地在其后接上一个电压缓冲器可以得到很低的输出电阻。

- 共集电极放大器也可以看作电流放大器，其在基极接收交流电流 i_b，并在发射极送出交流电流 i_e，增益为：

$$\frac{i_e}{i_b} = \beta_0 + 1 \tag{2.89}$$

当应用这个能力时，共集电极结构提供了功率放大，并在功率处理电路的输出级得到了应用，例如直流电源和音频功率放大器等。

例 2.25 (a) 在图 2.61a 所示的电路中，令 $V_{CC}=-V_{EE}=12V$，$I_E=1mA$，其 BJT 有 $\beta_0=\beta_F=150$，$V_{BE(on)}=0.7V$，$V_A=80V$。若 $R_{sig}=47k\Omega$，$R_L=10k\Omega$，$v_{sig}=0V+(2.0V)\cos(\omega t)$。求出电路中所有的节点电压，并将每个电压都表示为直流分量和交流分量之和的形式，如式(2.43)的形式。并在电路中明确标注出来。

(b) 验证 BJT 是否复合式(2.51)的小信号近似条件。

解：

(a) 电路的直流条件是：

$$v_B = \left(0 - 47 \times \frac{1}{151}\right)V \approx -0.3V, \quad V_E \approx (-0.3 - 0.7)V = -1.0V$$

而且，$I_C \approx I_E = 1mA$，$r_\pi \approx (150 \times 26/1)\Omega = 3.9k\Omega$，$r_o \approx (80/1)k\Omega = 80k\Omega$。所以，由式(2.83)和式(2.84)得到：

$$R_i = (3.9 + (150+1)(10 /\!/ 80))k\Omega \approx 1.35M\Omega(\text{high})$$

$$R_o = \left(\frac{47+3.9}{150+1} /\!/ 80\right)k\Omega = 0.336k\Omega(\text{low})$$

由式(2.86)，得：

$$v_o = \frac{1}{1 + \frac{47+3.9}{(150+1)(10 /\!/ 80)}} v_{sig} = 0.963 v_{sig} = (1.927V)\cos(\omega t)$$

而且，

$$v_i = \frac{R_i}{R_{sig}+R_i} v_{sig} = \frac{1.35}{0.047+1.35} v_{sig} = (1.933V)\cos(\omega t)$$

节点电压如图 2.63 所示。鼓励读者逐个进行详细验证。

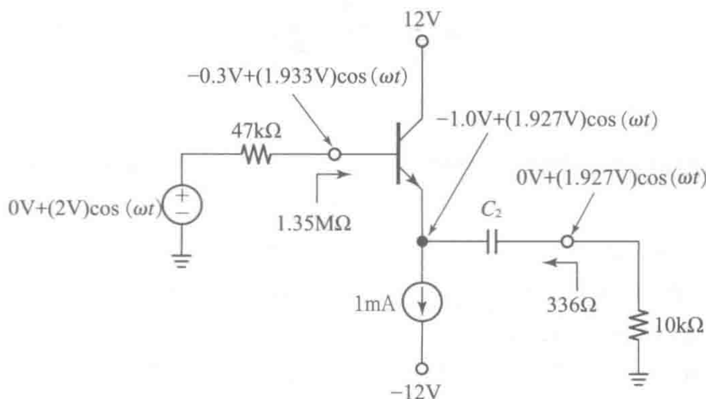


图 2.63　例 2.25 的电路图，每个节点电压都表示为其直流分量和交流分量的和

(b) 对于 BJT，我们有 $v_{be}=v_i-v_o\approx(6\text{mV})\cos(\omega t)$，这表明其峰值约为 5mV，这与式(2.51)所讨论的一致。共集电极放大器可以线性处理外部信号，即使不是严格的小信号类型，这种能力源于发射极电阻(本例中为 R_L)提供的负反馈。如之前在 CE-ED 放大器中提到的，R_L的存在将输入信号的范围提高了$(1+g_mR_L)=(1+10\ 000/26)=386$ 倍！◀

例 2.26 图 2.64 画出了一个单电源的射极跟随器。我们知道，R_1和 R_2提供基极偏置，R_E提供射极偏置电流。假设 $\beta_0=\beta_F=100$，$V_{BE(on)}=0.7\text{V}$，$V_A=75\text{V}$，求出小信号电阻 R_i和 R_o，以及从信号到负载的增益。

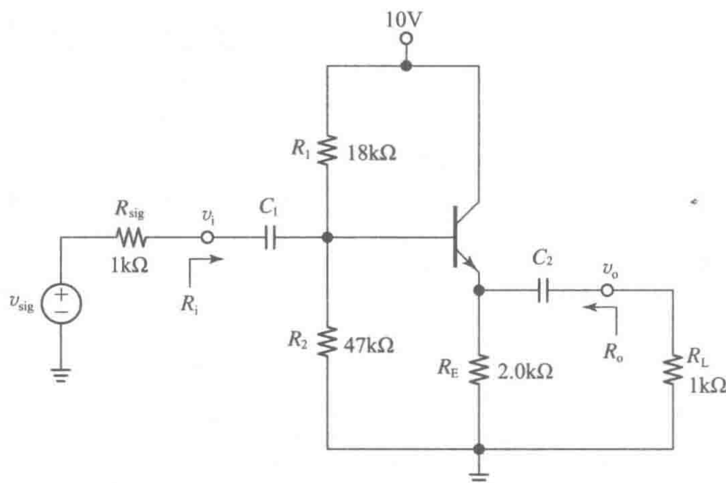
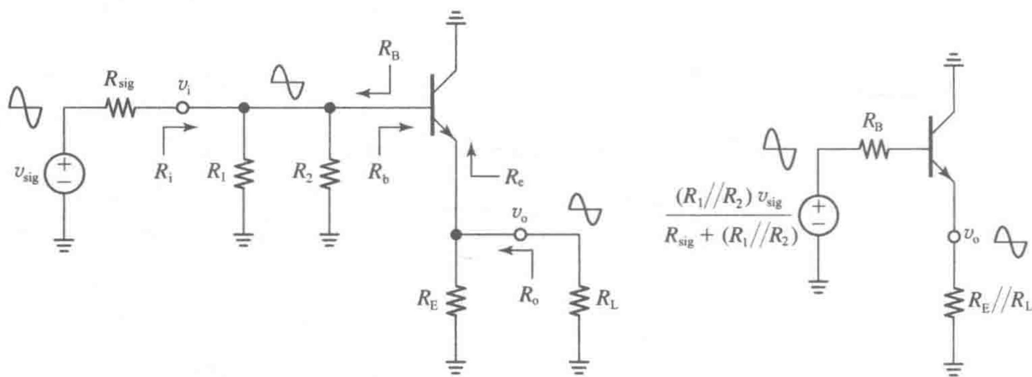


图 2.64　例 2.26 中单电源射极跟随器

解：

运用熟悉的方法，我们得到 $I_C=3\text{mA}$。因此，$r_\pi=100\times(26/3)\Omega=0.87\text{k}\Omega$，以及 $r_o=(75/3)\text{k}\Omega=25\text{k}\Omega$。参考图 2.65a 所示的交流等效电路，运用式(2.58)，我们写出：

$$R_b=r_\pi+(\beta_0+1)(R_E\ /\!/\ r_o\ /\!/\ R_L)=(0.87+101\times(2\ /\!/\ 25\ /\!/\ 1))\text{k}\Omega=66\text{k}\Omega$$



a）图2.64所示电路的交流等效图　　　b）进一步的简化图

图　2.65

以及

$$R_i=R_1\ /\!/\ R_2\ /\!/\ R_b=(18\ /\!/\ 47\ /\!/\ 66)\text{k}\Omega=11\text{k}\Omega$$

从基极左端看进去的等效电阻为：

$$R_B=R_{sig}\ /\!/\ R_1\ /\!/\ R_2=(1\ /\!/\ 18\ /\!/\ 47)\text{k}\Omega=0.93\text{k}\Omega$$

所以，应用式(2.59b)，可写出：

$$R_e=\frac{R_B+r_\pi}{\beta_0+1}\ /\!/\ r_o=\left(\frac{0.93+0.87}{101}\ /\!/\ 25\right)\text{k}\Omega\approx0.018\text{k}\Omega=18\Omega$$

以及

$$R_o = R_E /\!/ R_e = (2\,000 /\!/ 18)\Omega \approx 18\Omega(\text{非常低})$$

为了求出信号到负载的增益，我们对输入网络使用戴维南定理，得到图 2.65b 所示的等效电路。最后再运用式(2.86)，可写出：

$$v_o = \frac{1}{1+\dfrac{R_B + r_\pi}{(\beta_0+1)(R_E /\!/ R_L /\!/ r_o)}} \times \frac{R_1 /\!/ R_2}{R_{sig} + (R_1 /\!/ R_2)} v_{sig} = 0.90 v_{sig}$$

这表明信号到负载的增益是 0.90V/V。◀

例 2.27 图 2.66 画出了怎样用共集电极结构来降低图 2.56 所示共射极放大器的输出电阻的。假设 Q_2 与 Q_1 是相同的($\beta_0=\beta_F=100$，$V_{BE(on)}=0.7V$，$V_A=100V$)，求出整体电路的小信号参数 R_i、R_o和 $a_{oc}=v_o/v_i$。评价你的结果。

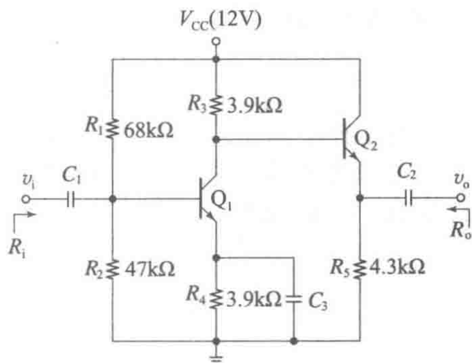


图 2.66　例 2.27 的共射极-共集电极电路图

解：

使用与例 2.8 相同的方法，逐级进行分析。对于直流分析，将共射极用其直流戴维南等效代替，如图 2.67a所示。根据之前的分析，$I_{C1}=0.99mA$，所以共射极提供的开路直流电压 $V_{C1}=V_{CC}-R_3 I_{C1}=(12-3.9\times0.99)V=8.1V$，其等效串联电阻 $R_{eq}=R_3=3.9k\Omega$。将 $V_{BB}=V_{C1}=8.1V$ 代入式(2.32)，我们得到：

$$I_{C2} = 100 \times \frac{8.1-0.7}{3.9+101\times4.3}A = 1.7mA$$

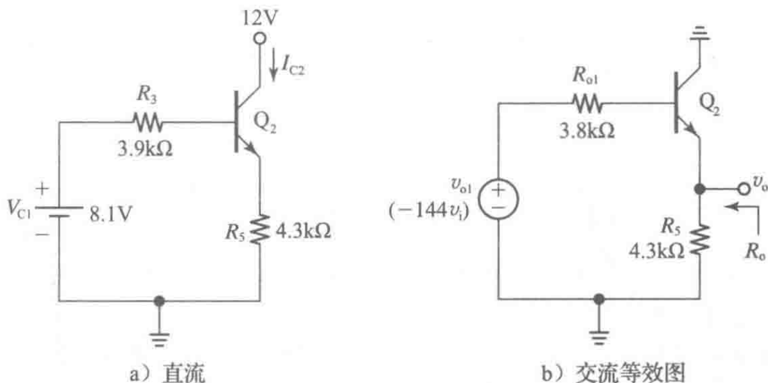


图 2.67　图 2.66 所示 CE-CC 电路

因此，$r_{\pi2}=100\times(26/1.7)k\Omega=1.5k\Omega$，$r_{o2}=(100/1.7)k\Omega=59k\Omega$。

对于交流分析，将共射极用其戴维南交流等效代替，如图 2.67b 所示。根据例 2.22 的分析，共射极提供了开路交流电压 $v_{o1}=-144v_i$，其等效输出电阻 $R_{o1}=3.8k\Omega$。因此可以应用式(2.86)，并写出：

$$\frac{v_o}{v_{o1}} = \frac{v_o}{-144v_i} = \frac{1}{1+\dfrac{3.8+1.5}{(100+1)(4.3 /\!/ 59)}} = 0.987$$

所以总的电压增益是 $a_{oc}=v_o/v_i=-144\times0.987V/V=-142V/V$。最后，我们应用式(2.59a)(从例 2.25 得到的经验表明我们可以忽略 r_o)，并得到：

$$R_{e2} = \frac{R_{o1}+r_{\pi2}}{\beta_{02}+1} = \frac{3.8+1.5}{101}k\Omega = 0.052k\Omega = 52\Omega$$

因此，

$$R_o = R_5 \mathbin{/\!/} R_{e2} = (4\,300 \mathbin{/\!/} 52)\Omega \approx 52\Omega(\text{非常低})$$

因为 a_{oc} 从 -144V/V 降低到了 -142V/V，因此对于共集电极而言，共射极只是一个小负载，但是，R_o 的降低是非常显著的，从 3800Ω 降低到了 52Ω。◀

共基极(CB)结构

共基极(CB)结构放大器从发射极输入，从集电极输出。因为从发射极看进去的电阻通常较小($R_e \approx 1/g_m$)，这种结构的输入信号自然是一个电流 i_{sig}。从集电极看进去的电阻通常较大($R_c = \approx r_o$，当发射极简并时更高)，输出信号自然也是一个电流 i_o。在理想条件下，共集电极结构的 $R_i \to \infty$、$R_o \to 0$ 和 $v_o/v_{sig} \to 1\text{V/V}$，可以近似为一个电压缓冲器，同样地共基极结构可以近似为一个电流缓冲器，它在理想条件下，有：

$$R_i \to 0, \quad R_o \to \infty, \quad \frac{i_o}{i_{sig}} \to 1\text{A/A} \tag{2.90}$$

共基极结构如图 2.68a 所示，此处我们观察到信号源是用诺顿等效模拟的。为了求出小信号参数，参考图 2.68b 所示的交流等效电流。输出电阻 R_o 可用式(2.62a)求出，不同的是 $R_B \to 0$ 以及 $R_E \to R_{sig}$，

$$R_o \approx r_o[1 + g_m(r_\pi \mathbin{/\!/} R_{sig})] \tag{2.91}$$

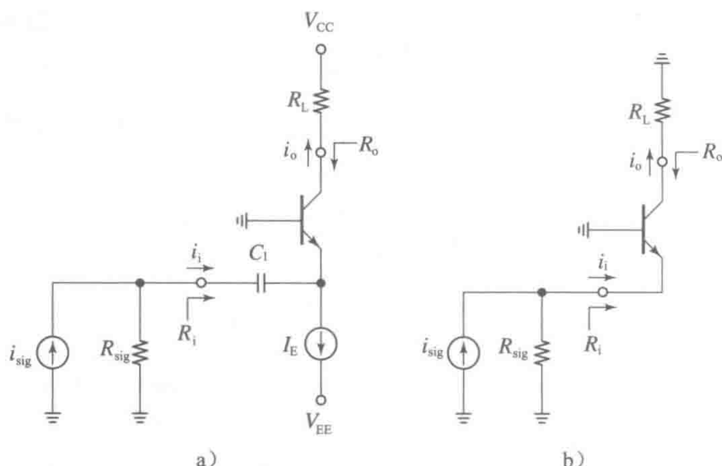


图 2.68 共基极(CB)放大器及其交流等效图

如果 $R_{sig} \gg r_\pi$，那么 $R_o \approx r_o(1 + g_m r_\pi) = r_o(1 + \beta_0)$，这是个很大的值。在计算(低)输入电阻 R_i 时，通常忽略(高)电阻 r_o 的存在，至少在分立设计中是如此，其中发射极和集电极通过 r_o 的耦合通常可忽略(但在集成电路的设计中可能不需要如此，我们将会在第 4 章中学习)。因此运用式(2.59)，可写出：

$$R_i \approx r_e \tag{2.92}$$

为了求出信号到负载的电流增益，我们注意到源电阻 R_{sig} 与输入电阻 R_i 形成了分流，得到：

$$i_i = \frac{R_{sig}}{R_{sig} + R_i} i_{sig}$$

但是，$i_o = \alpha_0 i_i$，所以结合式(2.92)，我们得到：

$$\frac{i_o}{i_{sig}} = \frac{\alpha_0}{1 + r_e/R_{sig}} \tag{2.93}$$

显然增益小于 1，但当 $R_{sig} \gg r_e$ 时其很接近于 1。当输入信号是由另一个 BJT 的集电极提供时，共基极结构非常有用。这样产生的双管结构，通常称为共射共基结构，拥有速度和灵活性的优势，故它特别适用于 IC 制造中，我们将在第 4 章和第 6 章学习到。

例 2.28 在图 2.68a 所示的电路中，令 $V_{CC} = -V_{EE} = 5\text{V}$，$I_E = 1\text{mA}$，令 BJT 有 $\beta_0 = \beta_F = 100$，$V_A = 100\text{V}$。若 $R_{sig} = 10\text{k}\Omega$，求出 R_i、R_o 和 i_o/i_{sig}，评价你的结果。

解：

我们有 $\alpha_0=0.99$，$g_m=38.5\text{mA/V}$，$r_e=26\Omega$，$r_\pi=2.6\text{k}\Omega$，$r_o=100\text{k}\Omega$。由式(2.91)和式(2.93)可得：

$$R_i\approx 26\Omega$$

$$R_o=(100\times[1+38.5(2.6\ //\ 10)])\text{k}\Omega\approx 8\text{M}\Omega$$

$$\frac{i_o}{i_{sig}}=\frac{0.99}{1+0.026/10}\text{A/A}=0.987\text{A/A}$$

当作为一个电流缓冲使用时，R_i非常低，R_o非常高，增益非常接近于 1。◀

作为电压放大器的共基极结构

虽然共基极结构最常见的应用是电流缓冲，但也可将它用作增益为 v_c/v_e的电压放大器。考虑到 $v_c=-g_m(R_L//r_o)v_{be}=-g_m(R_L//r_o)(v_b-v_e)=-g_m(R_L//r_o)(0-v_e)$，可得到：

$$\frac{v_c}{v_e}=+g_m(R_L\ //\ r_o) \tag{2.94}$$

用文字表述是，共基极结构的电压增益跟共射极结构的电压增益大小相同、极性相反。另一个主要的区别是在输入电阻上，共射极情形下是 r_π，共基极情况下是 r_e(是共射极的 $1/\beta_0+1$)。例如，例 2.28 的电路在 $R_L=10\text{k}\Omega$ 时，可给出电压增益 $v_c/v_e=38\times(10//100)\text{V/V}\approx+350\text{V/V}$，这是个相当大的值。

BJT 的 T 模型

虽然图 2.41 所示的小信号模型足够对三种 BJT 结构进行交流分析，但还有一种模型是可用的，它能更详尽地研究共基极结构。为了说明，可考虑图 2.41 所示的交流模型，在图 2.69a 中重新画出了，只是忽略了 r_o以简化分析。因为这容易让人联想到希腊字母 π，所以这也称为 π 模型。

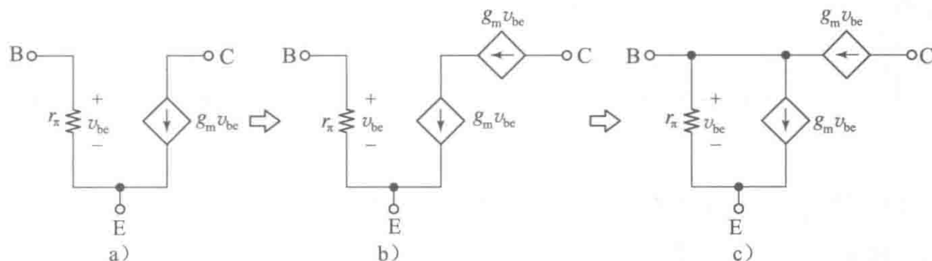


图 2.69 将 BJT π 模型转换成 T 模型的步骤

如图 2.69b 所示，如果我们现在将受控源用两个串联的相同信号源来代替，电路行为不会改变。实际上，因为两个源共用的节点处流入的电流等于流出的电流，我们可以将其与基极端连接起来，如图 2.69c 所示，电路行为依然不变。然而，采用这种技巧可以避免在集电极和发射极之间有一个受控源，我们将看到这在对共基极结构进行交流分析时是一个很明显的优势。现在我们可以进一步简化这个模型，因为底部的受控源现在是由其两端电压 v_{be}控制的，可以将其看作一个值为 $v_{be}/(g_m v_{be})=1/g_m$的电阻。其与 r_π并联，有：

$$r_\pi\ //\ \frac{1}{g_m}=\frac{\beta_0}{g_m}\ //\ \frac{1}{g_m}=\frac{\beta_0}{\beta_0+1}\frac{1}{g_m}=\frac{\alpha_0}{g_m}=r_e$$

这也就是式(2.61)中所推导的 BE 结动态电阻(我们应该早就直观预见到这点)。关于上方的受控源，我们也可认为受 v_{be}控制，或是受电流 $i_e=v_{be}/r_e$控制，在这种情况，我们可以将其表述为：

$$g_m v_{be}=g_m r_e i_e=\alpha_0 i_e$$

我们可以将这种小信号 BJT 模型画为图 2.70 所示的电路，此处由于厄利效应，我们将小信号电阻 r_o加入考虑。

因为这个忽略了 r_o的模型看起来像倒过来的字母 T，所以将其称为 T 模型。

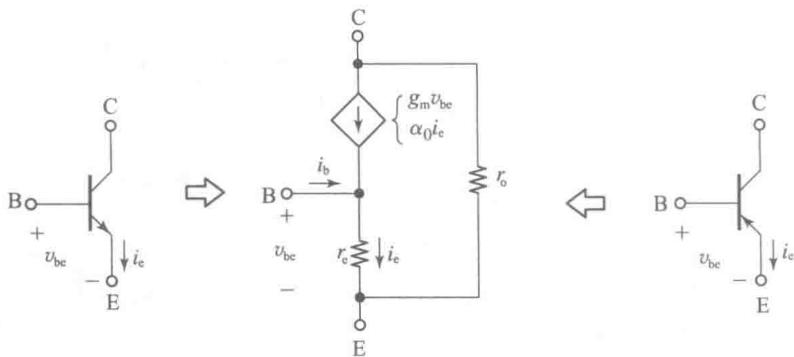


图 2.70 BJT 的小信号 T 模型，可用于 npn 和 pnp BJT 中

图 2.71 画出了两种 BJT 模型(再次忽略 r_o以简化分析)，以对共射极和共基极结构进行比较。通过观察，图 2.71a 所示的共射极放大器的输入电阻为 r_π，得到 $v_c=-R_C g_m v_b$，表明其增益为 $v_c/v_b=-g_m R_c$。考虑图 2.71b 所示电路，我们注意到受控源的方向与图 2.70 所示的方向相反，这是因为 $g_m v_{be}=g_m(v_b-v_e)=g_m(0-v_e)=-g_m v_e$。通过观察，共基极放大器的输入电阻为 r_e，得到 $v_c=+R_C g_m v_e$，表明其增益为 $v_c/v_e=+g_m R_C$。这些快速的分析证明输入电阻相差(β_0+1)倍，而增益大小相同、方向相反。同时，在两种情形下，对输入电阻(r_π或 r_e)施加一个电压都会导致另一个电阻(输出端的 R_C)上的电流变化。这并不令人惊讶，晶体管的名称(transistor)就是用 transfer 和 resisrtor 两个单词的缩写拼成的。

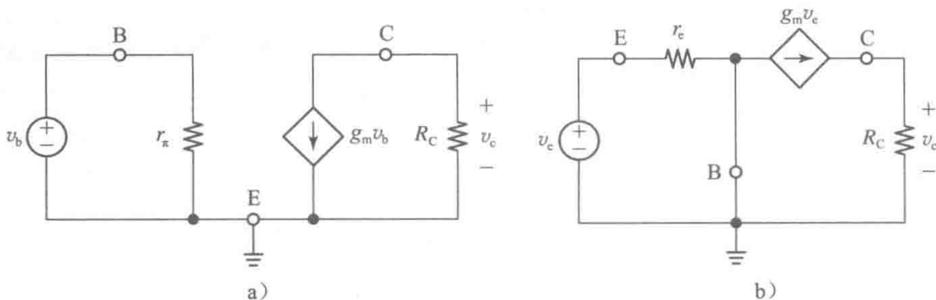


图 2.71 若分别使用 BJT 的 a)π 模型和 b)T 模型，可以对 CE 和 CB 结构进行有效的比较

PSpice 仿真

当我们学习 BJT 电路时，用计算机仿真或是实验室测量来验证手工计算的结果是一个很好的途径。图 2.72a 画出了例 2.27 中共射共集放大器的 PSpice 仿真电路，但采用的是 2N2222 BJT。

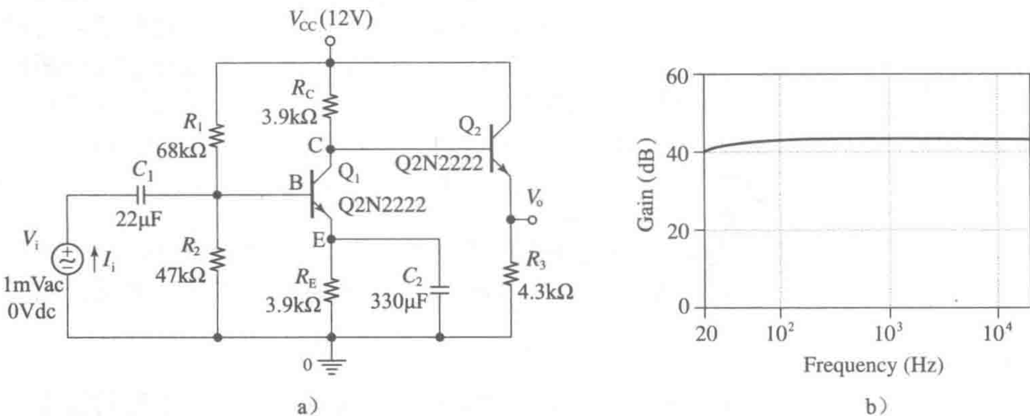


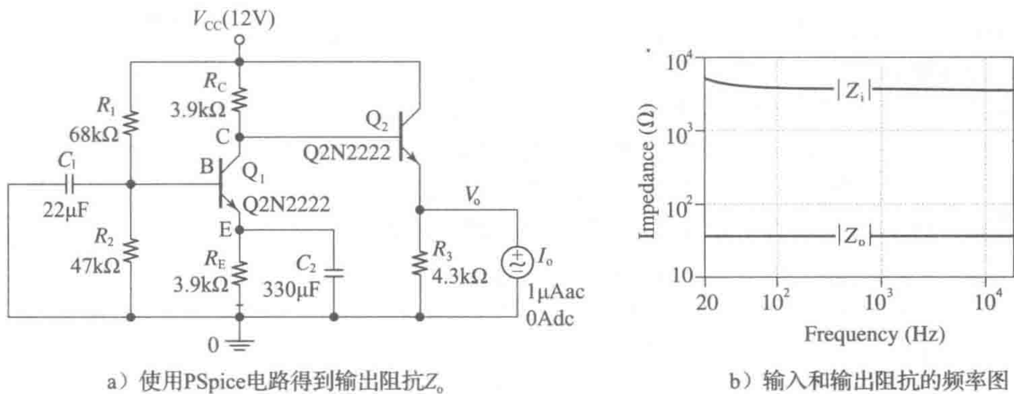
图 2.72 使用 PSpice 画出例 2.27 中 CE-EC 放大器增益的伯德图，但是使用的是 2N2222 BJT

图 2.72b 画出的是增益大小为$|V_o/V_i|$的伯德(Bode)图。在 1kHz 时，PSpice 显示的增益为 43.3dB，大小为 $10^{43.3/20}=146V/V$。在例 2.27 中，我们得到的增益大小是 142V/V。考虑到所给出的模拟用的是 2N2222 BJT，其特性与例中的 BJT 稍有些不同，这些差异是可接受的。我们还注意到增益在低频端会下降。这也可以预知到，因为电容在低频时不能看作交流短路了。在所给的情形下，增益下降主要为 C_2所控制。

为了显示出完整的图形，我们需要显示出输入和输出阻抗，$|Z_i|$和$|Z_o|$。回顾基础电路课程，从某端看进去的阻抗 Z 可通过施加一个交流测试电压 V(或交流测试电流 I)，得到响应的交流电流 I(或交流电压 V)，并计算 $Z=V/I$ 来得到。这里的 V 和 I 代表所给的交流测试信号的相量。

为了求出 Z_i，仍然使用图 2.72a 所示的 PSpice 电路，但现在输入源是作为测试电压使用。然后求 $Z_i=V_i/I_i$，其中 I_i是从源 V_i流出的交流电流。结果在图 2.73b 的上方画出，在 1kHz 下得到$|Z_i|=3.7k\Omega$。注意到$|Z_i|$在低频时上升了，这还是因为在低频时电容不能看作是交流短路。

为了求出 Z_o，运用图 2.73a 所示的 PSpice 电路，其中输入信号被置零，输出端连入测试电流 I_o。



a) 使用PSpice电路得到输出阻抗Z_o　　b) 输入和输出阻抗的频率图

图 2.73

再求 $Z_o=V_o/I_o$，这里的 V_o是输出处的交流电压。结果如图 2.73b 底部所示，在 1kHz 可得$|Z_o|=36\Omega$。这些结果再次与例 2.22 和例 2.27 的结果相符。造成差异的主要原因是例题与仿真中所用的晶体管的 β 值不同。积极的学生可能想对例题中的 BJT 搭建临时的 PSpice 模型，并证明预测与仿真更加相符。

附录 2A

BJT 的 SPICE 模型

跟 pn 结二极管相同，BJT 的特性可用一系列的参数来表示，SPICE 再用这些参数来创建器件的内部模型。如表 2A.1 所列出。PSpice 的库中有常用的几种 BJT 模型，例如 npn 2N2222 和 pnp 2N2907。用户可以通过编辑已提供的这些模型中的一个来创建新的模型。

表 2A.1 BJT PSpice 模型的部分参数

符号	名称	参数描述	单位	默认值	示例
I_s	Is	饱和电路	A	0.1fA	2fA
β_F	Bf	正向电流增益		100	250
V_A	Vaf	正向厄利电压	V	∞	75V
β_R	Br	反向电流增益		1	2.5
r_b	Rb	基极体电阻	Ω	0	200Ω
r_c	Rc	集电极体电阻	Ω	0	50Ω

（续）

符号	名称	参数描述	单位	默认值	示例
r_{ex}	Re	发射极体电阻	Ω	0	1Ω
C_{je0}	Cje	零偏置 BE 结电容	F	0	1.0pF
ϕ_e	Vje	BE 内建电势	V	0.75V	0.8V
m_e	Mje	BE 梯度系数		0.33	0.5
C_{jc0}	Cjc	零偏置 BC 结电容	F	0	0.5pF
ϕ_c	Vjc	BC 内建电势	V	0.75V	0.7V
m_c	Mjc	BC 梯度系数		0.33	0.5
C_{s0}	Cjs	零偏置集电极-衬底结电容	F	0	1.0pF
ϕ_s	Vjs	集电极-衬底内建电势	V	0.75V	0.6V
m_s	Mjs	集电极-衬底梯度系数		0	0.5
τ_F	Tf	正向传递时间	s	0	0.2ns
τ_R	Tr	反向传递时间	s	0	15ns

例如，考虑图 2.59 所示的 PSpice 电路，其中采用的是常用的 2N2222 npn BJT。按照 PSpice 的习惯，BJT 的名字通常用字母 Q 开头，所以这部分的代号是 Q2N2222。为了创造一个 PSpice 电路原理图，我们用 Place→Part 命令，拖出各种组件，再用 Place→Wire 命令来连接它们。当放置 BJT 时，我们在库中向下拉，并单击选取 Q2N2222。只要 BJT 已放置到电路原理图中，我们就可以单击其本身来选中它，再右击激活下拉动作菜单来查看其模型。如果我们单击 Edit PSpice Model，将会出现下面这个列表：

```
.model    Q2N2222 NPN(Is=14.34f Xti=3 Eg=1.11 Vaf=74.03 Bf=255.9
+         Ne=1.307 Ise=14.34f Ikf=.2847 Xtb=1.5 Br=6.092 Nc=2
+         Isc=0 Ikr=0 Rc=1 Cjc=7.306p Mjc=.3416 Vjc=.75 Fc=.5
+         Cje=22.01p Mje=.377 Vje=.75 Tr=46.91n Tf=411.1p Itf=.6
+         Vtf=1.7 Xtf=3 Rb=10)
```

所显示的参数值与制造商数据表中所给的尽可能地接近。浏览这个列表我们可以轻易地看出这个 BJT 有 $I_s=14.34\text{fA}$、$V_A=74.03\text{V}$、$\beta_F=255.9$、$\beta_R=6.092$、$r_c=1\Omega$、$C_{jc0}=7.306\text{pF}$、$m_c=0.3416$、$\phi_e=0.75\text{V}$、$\tau_R=46.91\text{ns}$、$\tau_F=411.1\text{ps}$、$r_b=10\Omega$。这个列表包括了代表高阶效应的其他参数，这超出了我们现在学习的范围。其中一种效应是 β_F 与 I_C 的相关性，这在图 2.12b 中有所解释。对于更多的细节，见参考文献[1]、[2]。列表中还有一些影响结电容计算的参数，如基射电容(C_{je})、基集电容(C_{jc})和集底结电容(C_s)。这个问题将要第 6 章中详细讨论，那时我们将研究 IC 的频率响应。

作为另一个例子，可以考虑 2N2907 pnp BJT，其模型可在 PSpice 库中找到。其参数列出如下：

```
.model    Q2N2907A PNP(Is=650.6E-18 Xti=3 Eg=1.11 Vaf=115.7
+         Bf=231.7 Ne=1.829 Ise=54.81f Ikf=1.079 Xtb=1.5
+         Br=3.563 Nc=2 Isc=0 Ikr=0 Rc=.715 Cjc=14.76p
+         Mjc=.5383 Vjc=.75 Fc=.5 Cje=19.82p Mje=.3357
+         Vje=.75 Tr=111.3n Tf=603.7p Itf=.65 Vtf=5
+         Xtf=1.7 Rb=10)
```

如同 2N2222 的情形，但名称变为 Q2N2907A，表格(括号里的)现在是定义 pnp 的具体类型。参数列表与 Q2N2222 的模型非常相似，除了反应特性的某些参数值不同以外。

如果你想创造你自己的 BJT 模型，可以简单地通过覆盖(编辑)已有 BJT 模型的参数来实现，例如前面所给的 Q2N2222 或者 Q2N2907 模型。然而，为了避免丢失原始参数列表，必须在保存之前给新形成的模型一个新的名字。这就是建立一个图 2.32 所示的简化

npn BJT 模型的过程。BJT 模型被重命名为 Q_n，参数列表编辑如下：

```
.model Qn NPN(Is=2fA Bf=100)
```

同样的，自制的 pnp BJT 模型有 $I_s=0.5\text{fA}$、$\beta_F=75$、$V_A=50\text{V}$，则得到：

```
.model Qp PNP(Is=0.5fA Bf=75 Vaf=50V)
```

所有忽略的参数都会根据表 2A.1 来设置成默认值。

参考文献

1. G. W. Neudeck, *The Bipolar Junction Transistor*, Modular Series on Solid State Devices, 2/E, Vol. II, G. W. Neudeck and R. F. Pierret, eds., Addison-Wesley, 1989.
2. R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*, 2/E, J. Wiley and Sons, 1986.
3. R. T. Howe and C. G. Sodini, *Microelectronics: An Integrated Approach*, Prentice Hall, 1997.
4. P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 4/E, Wiley and Sons, 2001.
5. A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 5/E, Oxford University Press, 2004.
6. R. C. Jaeger and T. N. Blalock, *Microelectronic Circuit Design*, 3/E, McGraw-Hill, 2007.
7. G. W. Gordon and A. S. Sedra, *SPICE for Microelectronic Circuits*, 2/E, Oxford University Press, 1996.

习题

2.1 节

2.1　(a) 一学生想通过将两个分立二极管的负极相连来得到 n 型基极，再指定一个正极为 p 型发射极，另一个为 p 型集电极，以得到一个自制的 pnp BJT。紧接着这个学生发现所得到的器件不能提供任何基极电流放大作用。为什么？列出至少两个原因。

(b) 这个不屈不挠的学生决定用一个 pnp BJT 的 BE 结和另一个 pnp BJT 的 BC 结来满足 BJT 所需的相对掺杂条件。他再将两个基极连接起来以形成复合器件的基极。这个器件仍然不能提供任何电流增益。为什么？

2.2 节

2.2　(a) 一个特定的 npn BJT，其发射结面积为 (10um)×(20um)，其基极和发射极掺杂浓度是 $N_{AB}=10^{17}/\text{cm}^3$、$N_{DE}=10^{19}/\text{cm}^3$。假设 $D_p=1.8\text{cm}^2/\text{s}$，$D_n=18\text{cm}^2/\text{s}$，$W_B=W_E=1\mu\text{m}$，$\tau_n=150\text{ns}$，求出 I_s 和 β_F。

(b) 若 $V_{BE}=700\text{mV}$，求出 I_C 和 I_B。

(c) I_B 的哪一部分是受从基极到发射极的空穴扩散影响的，哪一部分是受在基极内复合的电子影响的？

2.3　一个特定的 npn BJT 有 $N_{DE}=10^{19}/\text{cm}^3$，$N_{AB}=10^{17}/\text{cm}^3$，$N_{DC}=10^{15}/\text{cm}^3$。而且，$D_p=1.8\text{cm}^2/\text{s}$，$D_n=18\text{cm}^2/\text{s}$，$\tau_n=150\text{ns}$。

(a) 在 $I_{BE}=I_{BB}$ 的条件下，求出使得 $\beta_F=250$ 的 W_B 和 W_E。

(b) 参考图 2.6 所示电路，假设 $V_{BE}=700\text{mV}$、$V_B=-2.0\text{V}$，求出 BE 和 BC 冶金结的距离，以及 BE 冶金结和 E 电极的距离。假设两个结的缓变因子是 0.5。

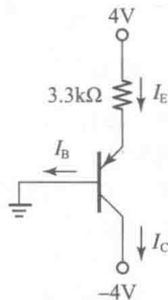
2.4　一个 npn BJT，其发射结面积为 (25um)×(50um)，其基极和发射极掺杂浓度是 $N_{DB}=10^{17}/\text{cm}^3$、$N_{AE}=10^{19}/\text{cm}^3$。

(a) 若 $D_n=3\text{cm}^2/\text{s}$，$D_p=8\text{cm}^2/\text{s}$，$W_E=W_B=1\text{um}$，$\tau_p=100\text{ns}$，求出 I_s 和 β_F。

(b) 假设 W_B 缩短到 $0.5\mu\text{m}$，重做 (a) 问。

(c) 假设 W_E 延长到 $2\mu\text{m}$，重做 (a) 问。在这两种情况下，评价你的结果。

2.5　对于题 2.5 图所示的 pnp BJT，假设式 (2.17) 和式 (2.18) 给出 $I_S=4\text{fA}$，$\beta_F=1/(0.002+0.004)$。



题 2.5 图

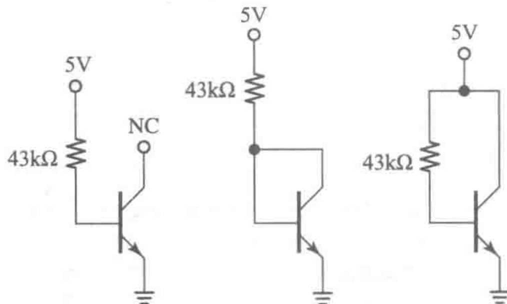
(a) 求出 I_E、I_B、I_C 和 V_{EB}。

(b) I_B 的哪部分是由基极内的空穴复合产生的，哪部分是由从基极到发射极的电子扩散产生的？

(c) 若集电极不接 −4V 电源而保持悬空，重新计算 I_E、I_B 和 I_C。

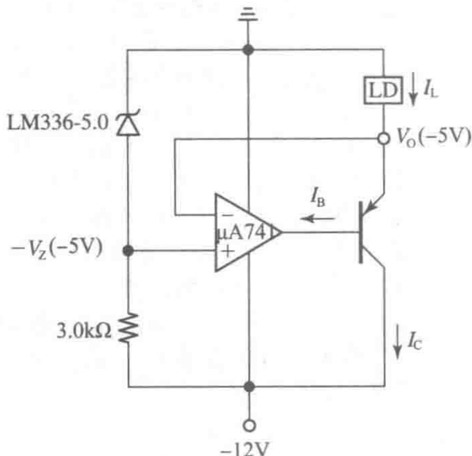
2.6　假设题 2.6 图所示的 BJT 有 $V_{BE(on)}=0.7\text{V}$，

$\beta_F=100$，估算三种情况下的 I_B、I_C 和 I_E(集电极端悬空、接基极和接电源)，并指出每个电流的组成部分。



题 2.6 图

2.7 题 2.7 图画出了一个 pnp BJT 作负载的电流沉(与本章中讨论过的做负载的电流源相反)时，怎样提高一个运放的输出电流能力。假设 BJT 有 $\beta_F=80$，EB 结压降为 0.8V，求出 $I_L=500$mA 时，BJT 各端的电流和电压。运放输出所需的电压和电流是多少?

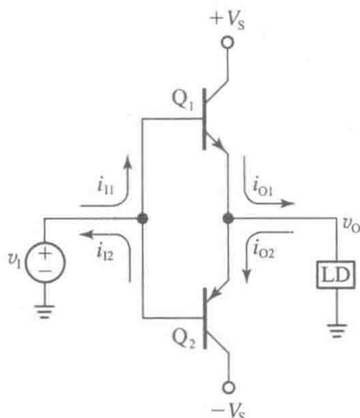


题 2.7 图

2.8 当作为电流放大器使用时，一个 npn BJT 将只供给发射极电流，而一个 pnp BJT 将只沉积发射极电流。在交流情况下，电流在负载电压的正半波进行供给，且在负半波进行沉积。为了解决这个情况，采用题 2.8 图所示的结构。在正半波时 Q_1 导通，Q_2 截止；在负半波时 Q_2 导通，Q_1 截止。这种晶体管结构称为推挽级，是很多输出级的基础，包括运放及音频放大器等。

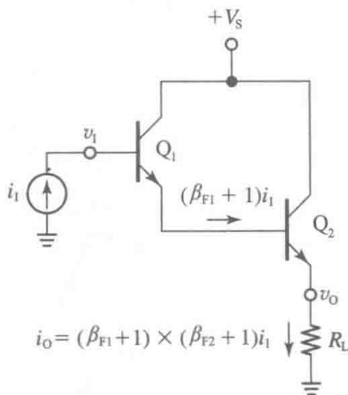
假设负载为 100Ω，电源是±12V，BJT 分别有 $I_{S1}=10$fA、$\beta_{F1}=150$，$I_{S2}=20$fA、$\beta_{F2}=100$。对于 Q_1，应用 $v_{BE1}=V_T\ln(i_{C1}/I_{s1})$，对于 Q_2，应用 $v_{BE2}=V_T\ln(i_{c2}/I_{s2})$，且有 $i_C\approx i_E$，$i_B=i_E/(\beta_F+1)$，求出达到以下条件时的输入电压 v_I 和输入电流 i_{I1} 或 i_{I2}。

(a) $v_O=+1$V，(b) $v_O=-1$V。
(c) $v_O=+5$V，(d) $v_O=-8$V。



题 2.8 图

2.9 假设某个给定的 BJT 的电流增益对于应用而言不够，我们可以在其后接入另一个 BJT 以进一步放大第一级已放大的电流。这类似在望远镜的一个镜头后接入第二个镜头来提高整体放大性能。这样得到的双晶体管结构称为达林顿(Darlington)结构，在功率处理电路中尤为常见。题 2.9 图画出了一种 npn BJT 组成的达林顿结构(pnp 的情况如题 2.10 图)。电流 i_I 进入 Q_1 的基极，并在放大 $(\beta_{F1}+1)$ 倍后从发射极流出。电流随后进入 Q_2 的基极，并在放大 $(\beta_{F2}+1)$ 倍后从 Q_2 的发射极流出。整体的电流增益是 $i_O/i_I=(\beta_{F1}+1)\times(\beta_{F2}+1)\approx\beta_{F1}\times\beta_{F2}$，当 β 相等时，整体电流增益是 β_F^2。假设 $R_L=8\Omega$，$V_S=24$V，且令 BJT 分别有 $I_{S1}=10$fA、$\beta_{F1}=100$，$I_{S2}=1$pA、$\beta_{F2}=50$。假设对于 Q_1 有 $v_{BE1}=V_T\ln(i_{C1}/I_{s1})$，$Q_2$ 有 $v_{BE2}=V_T\ln(i_{C2}/I_{s2})$，且有 $i_C\approx i_E$，$i_B=i_E/(\beta_F+1)$，求出达到以下条件时的输入电流 i_I 和输入电压 v_I(精确到 1mV)。



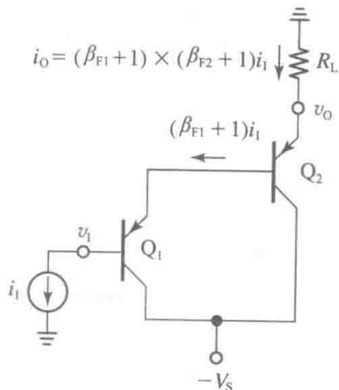
题 2.9 图

(a) $v_O=1$V。
(b) $v_O=4$V。

(c) $v_O = 16V$。

提示：应用经验法则来加快你的计算。

2.10 阅读习题 2.9 中所述的达林顿结构，并考虑题 2.10 图所示的 pnp 实现方式。假设 $R_L = 4\Omega$，$-V_S = -12V$，且令 BJT 分别有 $I_{S1} = 5fA$、$\beta_{F1} = 100$，$I_{S2} = 100pA$、$\beta_{F2} = 40$。对于 Q_1，有 $v_{BE1} = V_T \ln(i_{C1}/I_{s1})$，对于 Q_2，有 $v_{BE2} = 1.5V_T \ln(i_{C2}/I_{s2})$，求出达到以下条件时的输入电流 i_I 和输入电压 v_I。



题 2.10 图

(a) $v_O = -1V$。

(b) $v_O = -5V$。

提示：可以用经验法则来加快你的计算。

2.3 节

2.11 (a) 假设在 $T = 25℃$ 时，一个特定的 npn BJT 有 $I_s = 1fA$，$V_A = 75V$。求出 V_{BE} 的值(mV)以保证在 $V_{CE} = 5.0V$ 时 $I_C = 1.0mA$。

(b) 若 V_{CE} 上升到 10V，I_C 会发生什么变化？降低到 1V 呢？

(c) 假设 $V_{CE} = 5.0V$。求出在 $T = 0℃$ 时使 $I_C = 1.0mA$ 的 V_{BE} 值(mV)，$T = 50℃$ 时使 $I_C = 0.2mA$ 呢？$T = 40℃$ 时使 $I_C = 4.0mA$ 呢？

提示：先用(a)问中求出的 V_{BE} 值，再用经验法则来估算。

2.12 (a) 假设在 $T = 25℃$ 时，pnp BJT 有 $I_s = 2fA$，$V_A = 50V$。求出在 $V_{EC} = 4.0V$ 时使得 $I_C = 500\mu A$ 的 V_{EB} 值(mV)。

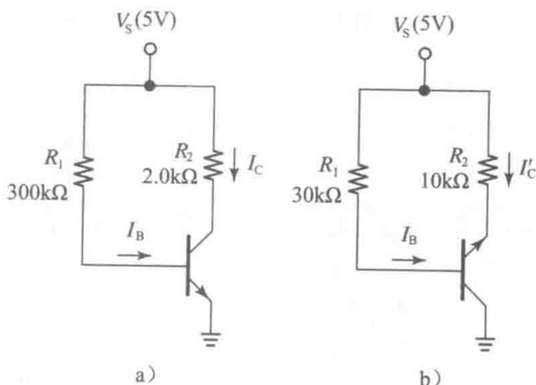
(b) 如果 V_{EC} 下降到 1.0V，I_C 会发生什么变化？上升到 8V 呢？

(c) 在 $T = 75℃$ 及 $V_{EC} = 4.0V$ 时，为了使得 $I_C = 0.2mA$，求出所需的 V_{EB} 值(mV)。

(d) 假设 V_{EB} 和 V_{EC} 保持(a)问中的值不变，但温度从 25℃ 上升到 55℃。新的 I_C 值是多少？

提示：先用(a)中求得的 V_{EB} 值，再用经验法则估算。

2.13 令题 2.13 图所示的 BJT 有 $\beta_F = 120$，$V_A = 100V$，$\beta_R = 2$。



题 2.13 图

(a) 假设 $V_{BE} = 0.7V$，如题 2.13 图 a 所示若器件工作在正向有源区，预测其 I_C 与 V_C。

(b) 若 R_2 短路，集电极电压被固定在 5V，预测 I_C 的值。

(c) 假设 $V_{BC} = 0.7V$，如题 2.13 图 b 所示器件工作在反向有源区，预测发射极电压(因为集电极的作用现在由发射极完成，发射极端的电流现在为记为 I'_C)。

2.14 一个学生正在用电压表测量题 2.13 图所示的电路，以求出主要的 BJT 参数。

(a) 在左边的电路中，BJT 工作在正向有源模式。若有 $V_B = 710mV$、$V_C = 1.000V$，I_S 和 β_F 的值是多少(在计算中假设 $V_A = \infty$)？

(b) 若将 R_2 从 2.0kΩ 变化到 1.0kΩ，得到 $V_C = 2.950V$，求出 I_C 的变化值，并间接求出 V_A。

(c) 接着，该学生将电路如右侧连接，使得 BJT 工作在反向有源模式。因为集电极的作用现在由发射极完成，所以该学生将发射端电流记为 I'_C，方向流入 BJT。且有 $\beta_R = I'_C/I_B$。若有 $V_E = 2.0V$，β_R 的值是多少？

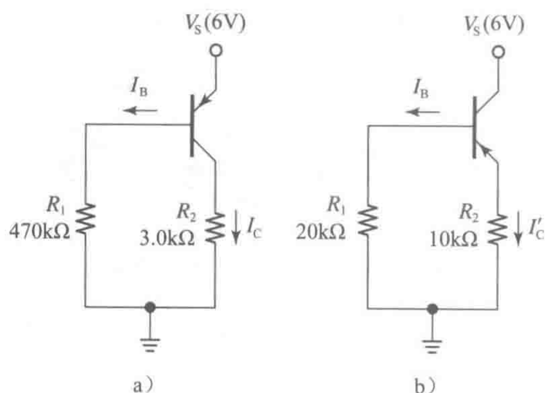
2.15 一个学生正在用电压表测量题 2.15 图所示的电路，以求出主要的 BJT 参数。

(a) 在题 2.15 图 a 所示的电路中，BJT 工作在正向有源模式。假设有 $V_{EB} = 690mV$，$V_{EC} = 1.0V$，I_s 和 β_F 的值是多少(在计算中假设 $V_A = \infty$)？

(b) 假设令 $R_2 \to 0$ 会使得 I_C 下降 10%，V_A 的值是多少？

(c) 接着，该学生将电路如题 2.15 图 b 所示的连接，使得 BJT 工作在反向有源模式。因为集电极的作用现在由发射极完成，所以该学生将发射端电流记为 I'_C，方向流出

BJT。且有 $\beta_R = I'_C / I_B$。若有 $V_E = 3.5V$，β_R 的值是多少？

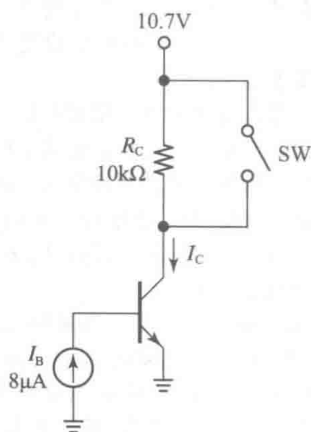


题 2.15 图

2.16　(a) 在题 2.16 图所示的电路中，当开关断开时，电源已被调整至产生 $V_{BC}=0$。在这种状态下，有效基区宽度为 $W_B=500nm$，且有部分 BC 空间电荷区延伸到基区内，其宽度为 $x_p=20nm$。那么 β_F 的值是多少？

(b) 如果该开关闭合，BC 结变得反向偏置，其两端电压为 10V，x_p 会变宽，W_B 会缩小，I_C 会增大(厄利效应)。假设 BC 结的内建电势为 $\phi_c=0.8V$，缓变因子为 $m_c=0.5$，估算开关闭合所导致的 x_p、W_B 和 I_C 的变化。

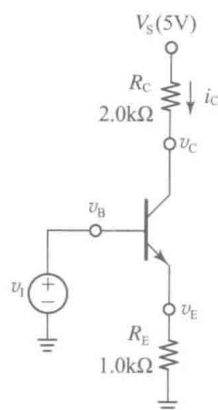
(c) 用 I_C 的变化量间接估计厄利电压 V_A 的值。



题 2.16 图

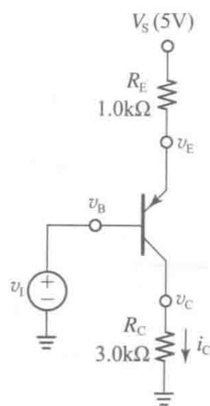
2.4 节

2.17　假设题 2.17 图所示电路中的 BJT 有 $V_{BE(EOC)}=0.6V$、$V_{BE(on)}=0.7V$、$V_{BE(sat)}=0.8V$、$V_{CE(OS)}=0.2V$、$V_{CE(sat)}=0.1V$ 和较大的 β_F 值，当 v_I 从 0V 上升到 7V 时，画出 v_B、v_C 和 v_E 相对于 v_I 的图形并标注(都画在同一幅图中)。指出 BJT 的各种工作区，并画出相应的转折点和斜率。评价你所得到的结果。



题 2.17 图

2.18　假设题 2.18 图所示电路中的 BJT 有 $V_{EB(EOC)}=V_{EB(on)}=V_{EB(EOS)}=0.8V$、$V_{EC(EOC)}=V_{EC(sat)}=0.1V$，以及较大的 β_F 值，当 v_I 从 5V 下降到 −2V 时，画出 v_B、v_C 和 v_E 相对于 v_I 的图形并标注(都画在同一幅图中)。在另一幅图中，画出 i_C 的图形并标注。指出 BJT 的各种工作区，并画出相应的转折点和斜率。评价你所得到的结果。



题 2.18 图

2.19　在题 2.19 图所示的电路中，令 $R_E=1.0k\Omega$ 及 $R_C=2.0k\Omega$。假设 BJT 有 $V_{EB(EOC)}=V_{EB(on)}=V_{EB(sat)}=0.7V$、$V_{EC(EOC)}=V_{EC(sat)}=0.1V$，以及 $\beta_F=100$，当 v_s 从 0V 变化到 5V 时，画出 i_E、i_C、i_B、v_C 和比值 i_C/i_B 的图形并标注。评价你的结果。

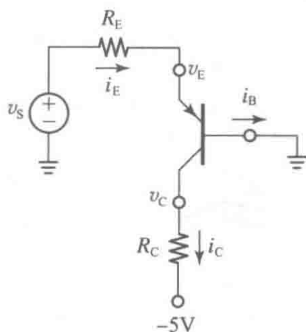
2.20　在题 2.20 图所示的电路中，令 $R_B=300k\Omega$、$R_C=1.0k\Omega$、$R_E=3.0k\Omega$ 及 $V_{CC}=5V$。

(a) 假设已知 $V_{CE}=2.0k\Omega$，R_F 的值是多少？假设 $V_{BE(on)}=0.7V$。

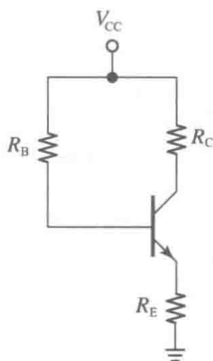
(b) 若想使 BJT 进入饱和区边缘，即 $V_{CE(EOS)}=0.2V$，R_B 需变化为多少？

R_B 的值为多少时，将会使 BJT 饱和且有 $\beta_{sat}=$

$\beta_F/5$？假设 $V_{CE(sat)}=0.1V$、$V_{EB(sat)}=0.8V$。

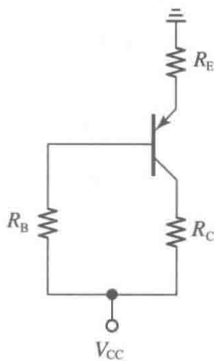


题 2.19 图



题 2.20 图

2.21　在题 2.21 图所示的电路中，令 $R_B=180k\Omega$、$R_C=1.0k\Omega$、$R_E=3.0k\Omega$，以及 $V_{CC}=-5V$。而且，令 $V_{EB(on)}=0.7V$，$V_{EC(EOS)}=0.2V$，$V_{EC(sat)}=0.1V$，以及 $V_{EB(sat)}=0.8V$。



题 2.21 图

(a) 若已知 $V_{EC}=1.0V$，β_F 的值是多少？

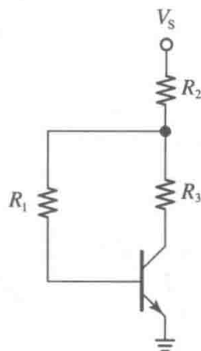
(b) 若 R_C 和 R_E 相互交换，求出 BJT 所有端的电压和电流。

2.22　在题 2.22 图所示的电路中，令 $V_S=5V$，$R_1=20k\Omega$，以及 $R_2=3.0k\Omega$。而且，令 BJT 有 $\beta_F=150$，$V_{BE(on)}=0.7V$，$V_{CE(EOS)}=0.2V$，$V_{CE(sat)}=0.1V$，以及 $V_{BE(sat)}=0.8V$。

(a) 求使得 BJT 工作在正向有源区的 R_3 值，并计算 BJT 各端的电流。

(b) 若 R_3 的值变为原先的 2 倍，且使得 BJT 工作在饱和区边缘处，求出 BJT 的 β 值。

(c) 若将 R_3 从电路中移除并使集电极端悬空，β 值为多少？



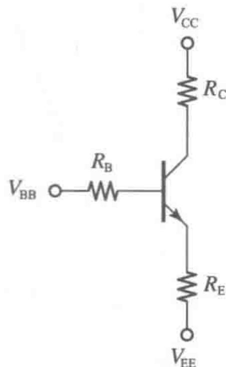
题 2.22 图

2.23　在题 2.22 图所示的电路中，令 $V_S=9V$，$R_1=100k\Omega$、$R_2=20k\Omega$，以及 $R_3=1.0k\Omega$。

(a) 假设 BJT 的参数如习题 2.22，求出电路中所有的电压和电流值。

(b) 若将 R_2 和 R_3 对调，重做上问。

2.24　在题 2.24 图所示的电路中，令 $R_B=R_C=R_E=10k\Omega$，并令 BJT 有 $\beta_F=100$、$\beta_R=5$。而且为了简化计算，假设当某个结是完全正向偏置时，无论其工作模式如何，其压降为 0.7V。在下列条件下，指出 BJT 的工作区并估算其各端电压及电流(大小和方向)：



题 2.24 图

(a) $V_{CC}=10V$，$V_{BB}=5V$ 和 $V_{EE}=0$(接地)。

(b) $V_{BB}=V_{CC}=5V$ 和 $V_{EE}=0$。

(c) $V_{EE}=10V$，$V_{BB}=5V$ 和 $V_{CC}=0$。

(d) $V_{BB}=V_{EE}=5V$ 和 $V_{CC}=0$。

(e) $V_{BB}=0V$，$V_{CC}=10V$ 和 $V_{EE}=5V$。

提示：对于每一种情况，你都应调整电路使得图的上方为正电压，下方为负电压。

2.25　令题 2.24 图所示的 BJT 有 $\beta_F=100$、$\beta_R=5$。而且，假设当某个结是完全正向偏置时，无论其工作模式如何，其压降为 0.7V。当其正向偏置为 0.65V 或者更低时，其正向电流依然为 0。同时，阅读习题 2.24 的提示。

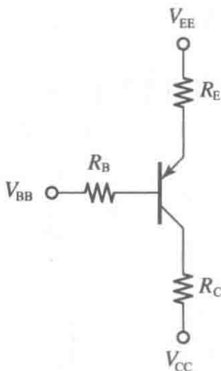
(a) 若 $R_C=R_E=10\text{k}\Omega$，$R_B=100\text{k}\Omega$，$V_{CC}=10\text{V}$，$V_{EE}=0\text{V}$ 及 $V_{CC}=0\text{V}$，求使得 $V_{CE}=1.0\text{V}$ 的 V_{BB} 值。

(b) 重新考虑(a)问中的电路参数，但 $V_{EE}=10\text{V}$、$V_{CC}=0\text{V}$，并求使得 $V_{EC}=1.0\text{V}$ 的 V_{BB} 值。

(c) 若 $R_B=R_C=R_E=10\text{k}\Omega$，$V_{BB}=10\text{V}$ 及 $V_{EE}=0\text{V}$，估算使得 $I_C\approx 0$ 的 V_{CC} 值。

(d) 若 $R_B=R_C=R_E=10\text{k}\Omega$，$V_{CC}=5\text{V}$ 及 $V_{EE}=0\text{V}$，求使得 $I_B=1.5I_E$ 的 V_{BB} 值。此时的 β 值为多少？

2.26　在题 2.26 图所示的电路中，假设 BJT 有 $\beta_F=100$、$\beta_R=4$，并假设当某个结是完全正向偏置时，无论其工作模式如何，其压降为 0.7V。同时，阅读习题 2.24 中的提示。若 $R_C=1\text{k}\Omega$、$R_E=2\text{k}\Omega$ 且 $R_B=3\text{k}\Omega$，在以下条件下，指出 BJT 的工作模式，并估算其各端电压和电流（方向和大小）：



题 2.26 图

(a) $V_{EE}=12\text{V}$，$V_{BB}=6\text{V}$ 和 $V_{CC}=0$(接地)。

(b) $V_{CC}=10\text{V}$，$V_{BB}=5\text{V}$ 和 $V_{EE}=0$。

(c) $V_{EE}=6\text{V}$ 和 $V_{BB}=V_{CC}=0$。

2.27　令题 2.26 图所示的 BJT 有 $\beta_F=150$、$\beta_R=4$，并假设当某个结是完全正向偏置时，无论其工作模式如何，其压降为 0.7V。当其正向偏置为 0.65V 或者更低时，其正向电流依然为 0。同时，阅读习题 2.24 的提示。

(a) 若 $R_C=R_E=10\text{k}\Omega$，$R_B=100\text{k}\Omega$，$V_{EE}=5\text{V}$ 且 $V_{CC}=-5\text{V}$，求出使得 $V_{EC}=1.0\text{V}$ 的 V_{BB} 值。

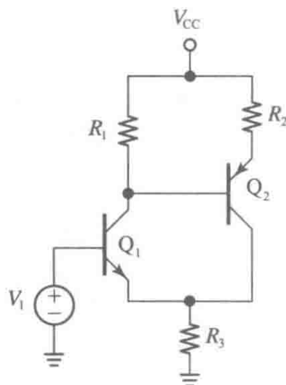
(b) 重新考虑(a)问中的电路参数，但 $V_{EE}=-5\text{V}$、$V_{CC}=5\text{V}$，并求出使得 $V_{EC}=1.0\text{V}$ 的 V_{BB} 值。

(c) 若 $R_B=R_C=R_E=10\text{k}\Omega$，$V_{EE}=9\text{V}$ 且 $V_{BB}=0\text{V}$，估算使得 $I_C\approx 0$ 的 V_{CC} 值。

(d) 若 $R_B=R_C=R_E=10\text{k}\Omega$，$V_{EE}=6\text{V}$ 且 $V_{CC}=0\text{V}$，求出使得 $I_B=0.25I_E$ 的 V_{BB} 值。此时的 β 值为多少？

(e) 重复(d)问，但有 $I_B=1.25I_E$。

2.28　在题 2.28 图所示的电路中，令 $V_{CC}=10\text{V}$，$V_1=4\text{V}$，$R_2=10\text{k}\Omega$ 且 $R_3=3.0\text{k}\Omega$。画出电路并标注。假设 $\beta_{F1}=55$，$\beta_{F2}=50$，$V_{BE(on)}=V_{BE2(on)}=0.7\text{V}$ 且 $V_{CE1(sat)}=V_{EC2(sat)}=0.1\text{V}$，求出使得 $I_{C2}=0.5\text{mA}$ 的 R_1 值。V_1 提供的电流是多少？



题 2.28 图

2.29　在题 2.28 图所示的电路中，令 $V_{CC}=12\text{V}$，$R_1=3.0\text{k}\Omega$，$R_2=2.0\text{k}\Omega$ 且 $R_3=3.0\text{k}\Omega$。而且，令 $V_{BE1(on)}=V_{BE2(on)}=0.7\text{V}$、$V_{CE(sat)}=V_{EC2(sat)}=0.1\text{V}$，并假设 β_{F1} 和 β_{F2} 足够大，以至于我们可以忽略基极电流并假设 $I_C\approx I_E$（仅在正向有源工作模式下）。

(a) 假设 $V_1=5\text{V}$，求出 BJT 的工作点 $Q_1=Q_1(I_{C1},V_{CE1})$ 和 $Q_2=Q_2(I_{C2},V_{CE2})$。

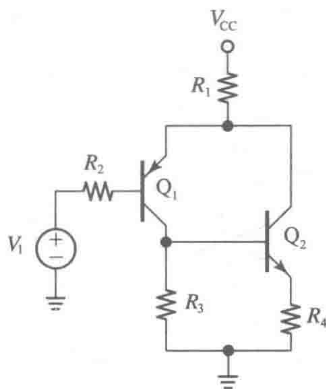
(b) 若 V_1 上升到 8V，重复上问。此时 V_1 提供的电流是多少？

2.30　在题 2.30 图所示的电路中，令 $V_{CC}=12\text{V}$，$V_1=6\text{V}$，$R_2=33\text{k}\Omega$，$R_3=3.0\text{k}\Omega$ 且 $R_4=2.0\text{k}\Omega$。而且，令 $\beta_{F1}=\beta_{F2}=50$，$V_{EB(on)}=V_{BE2(on)}=0.7\text{V}$、$V_{EC1(sat)}=V_{CE2(sat)}=0.1\text{V}$。

(a) 求出使得 $I_{C1}=1.5\text{mA}$ 的 R_1 值。

(b) 检查你的计算，指出基极电流可以被忽略以及不可以被忽略的情形。运用这些近似重新进行计算，比较并评价。

2.31　在题 2.30 图所示的电路中，令 $V_{CC}=12\text{V}$，$V_1=5\text{V}$ 且 $R_1=R_2=R_3=R_4=10\text{k}\Omega$。而且，令 $V_{EB1(on)}=V_{BE2(on)}=0.7\text{V}$、$V_{EC1(sat)}=V_{CE2(sat)}=0.1\text{V}$，并假设 β_{F1} 和 β_{F2} 足够大，以至于我们可以忽略基极电流以及通过 R_2 的压降（仅在正向有源工作模式下）。



题 2.30 图

(a) 求出 BJT 的工作点 $Q_1=Q_1(I_{C1}, V_{CE1})$ 和 $Q_2=Q_2(I_{C2}, V_{CE2})$。

(b) 若将 R_3 从电路中移除，重做上问。

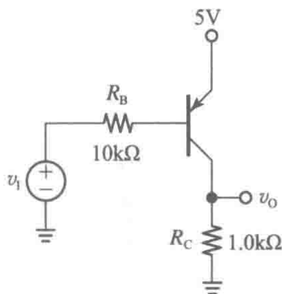
2.32 若题 2.24 图所示的电路有 $V_1=5$，若想使得 Q_2 恰好工作在饱和边缘(EOS)，R_3 的值需变为多少？

提示：只要已知 BJT 工作在正向有源区，就可以假设 $I_C \approx I_E$。

2.33 若题 2.24 图所示的电路有 $I_1 \approx 5V$，求出两个 BJT 所有端的电压和电流。它们工作在什么模式下？

2.5 节

2.34 在题 2.34 图所示的 pnp 反相器/放大器中，令 $V_{CC}=5V$，$R_B=10k\Omega$ 且 $R_C=1.0k\Omega$，并令 BJT 有 $I_S=1fA$，$\beta_F=80$ 和 $V_A=\infty$。



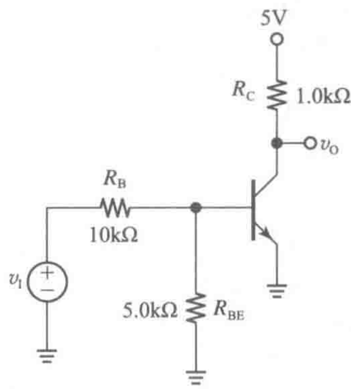
题 2.34 图

(a) 对于 $0 \leqslant v_I \leqslant 5V$，画出电压转换曲线并标注。

(b) 求使得 $V_O=4V$ 的 V_I 值。

(c) (b)问中工作点处，电压转移曲线的斜率是多少？

2.35 在 BJT 反相器的逻辑应用中，一般希望电压转换曲线的中段靠近 v_I 范围的中间。图 2.32 所示简单反相器的 VTC 如图 2.34 上方所示，中点大约在 1V，但通过给 BE 结加上一个电阻 R_{BE} 就可以将曲线向右平移，如题 2.35 图所示。



题 2.35 图

(a) 证明 $v_I=R_B i_B+(1+R_B/R_{BE})v_{BE}$。

(b) 假设 BJT 参数与图 2.32 所示的相同($\beta_F=100$、$I_S=2fA$)，推导出类似式(2.38)的输入、输出关系式，当然要根据 R_{BE} 的存在对其进行适当变化。

(c) 求出使 BJT 偏置在 $V_O=2.5$ 所需的电压 V_1。

(d) 此处的电压增益 a 为多少？与例 2.10 中的相比呢？解释这些差异。

2.36 (a) 求一个电阻 R_{EB}，当其与习题 2.34 中 pnp BJT 的 EB 结并联时，在 $V_I=2.5V$ 下有 $V_O=2.5V$。

提示：认真阅读习题 2.35，来理解 R_{EB} 对于电压转移曲线的影响，并证明题 2.34 图修正后的电路给出 $v_I=5V-R_B i_B-(1+R_B/R_{EB})v_{EB}$，其中 i_B 是基极电流，对于 pnp BJT，是流出基极的，v_{EB} 是 EB 结上的压降。

(b) 求出 v_I 和 v_O 之间的数值关系，并在 $V_O=2.5V$ 时求出 v_O 对 v_I 的导数，即增益 a。

2.37 考虑题 2.34 图所示的电路，其中 $V_{CC}=5V$、$R_B=10k\Omega$ 及 $R_C=2.0k\Omega$，再对 EB 结加上一个并联电阻 $R_{EB}=10k\Omega$。而且，令 BJT 有 $I_S=5fA$，$\beta_F=125$ 及 $V_A=\infty$。

(a) 证明有 $v_I=5-10^4 i_B-2v_{EB}$，其中 i_B 是流出基极的电流，v_{EB} 是通过 EB 结的压降(v_I 和 v_{EB} 以 V 为单位，i_B 以 A 为单位)。

(b) 求出使得 $v_{O1}=2V$ 的 v_{I1} 值，及使得 $v_{O2}=3V$ 的值。从而，通过 $a \approx (v_{O2}-v_{O1})/(v_{I2}-v_{O1})$ 估算出电路的电压增益。

(c) 若 v_I 是在 v_{I1} 和 v_I 之间交替变换的 1kHz 的正弦波，画出 v_I 和 v_O 相对于时间的图形并标注。

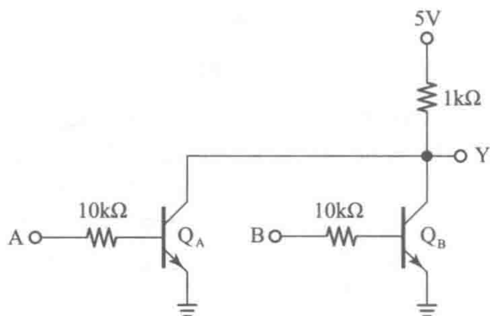
2.38 考虑题 2.8 图所示的推挽式 BJT 结构，其共基极端由带有串联电阻 $R_s=10k\Omega$ 的电源 v_s

驱动，共射极端由负载 $R_L=1k\Omega$ 驱动。BJT 有 $\beta_F=100$，$V_{BE1(EOC)}=V_{EB2(EOC)}=0.6V$，$V_{BE1(on)}=V_{EB2(on)}=0.7V$，$V_{CE1(EOS)}=V_{EC2(EOS)}=0.1V$，且 $V_{CE1(sat)}=V_{EC2(sat)}=0.2V$。

(a) 假设电源为±5V，画出在范围$(-7V)\leqslant v_s\leqslant(+7V)$内 v_o 相对于 v_s 的波形并标注。

(b) 在 $v_s=\pm2.5V$ 时 v_o 的值是多少？

2.39 题 2.39 图所示的是一个实现或非逻辑功能的 BJT。

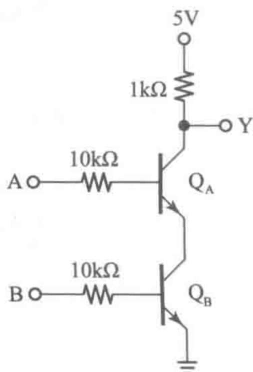


题 2.39 图

(a) 假设 L＝0V、H＝5V，画出真值表，标明每一个 BJT 的工作状态（截止或饱和）以及四种可能的输入组合时 Y 的逻辑电平（H 或 L）：(A，B)＝(L，L)，(L，H，(H，L)，(H，H)。

(b) 若 $V_{BE(sat)}=0.8V$、$V_{CE(sat)}=0.1V$，使得每个 BJT 工作在适当模式下的最小 β_F 值为多少？

2.40 题 2.40 图所示的是一个实现与非逻辑功能的 BJT。



题 2.40 图

(a) 假设 L＝0V、H＝5V，画出真值表，标明每一个 BJT 的工作状态（截止或饱和）以及四种可能的输入组合时 Y 的逻辑电平（H 或 L）：(A，B)＝(L，L)，(L，H，(H，L)，(H，H)。

(b) 若 $V_{BE(sat)}=0.8V$、$V_{CE(sat)}=0.1V$，使得每个 BJT 工作在适当模式下的最小 β_F 值为多少？

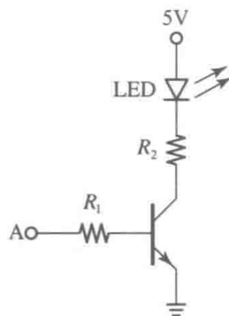
2.41 用两个 pnp BJT 及电阻，设计一个双输入"或非"门电路，即仅当两个输入为低时，输出为高，对于所有其他的输入，输出为低。假设电源为 5V。

提示：认真阅读习题 2.39 和习题 2.40 来获取电路结构和分析电路的方法。

2.42 用两个 pnp BJT 及电阻，设计一个双输入"与非"门电路，即仅当两个输入为高时，输出为低，对于所有其他的输入，输出为高。假设电源为 5V。

提示：认真阅读习题 2.39 和习题 2.40 来获取电路结构和分析电路的方法。

2.43 题 2.43 图画出了在逻辑信号 A 的控制下怎样用一个 BJT 去开启发光二极管（LED）。特别地，当 A＝L（＝0V）时 BJT 截止，LED 也如此；当 A＝H（＝5V）时 BJT 饱和，LED 发光。



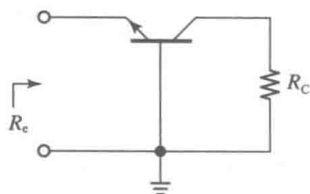
题 2.43 图

(a) 假设 BJT 有 $\beta_{F(min)}=50$，$V_{BE(sat)}=0.8V$，且 $V_{CE(sat)}=0.1V$，求标准值 5%范围内的 R_1 和 R_2 电阻值，使得在电流 $I_D=10mA$ 和压降 $V_D=1.5V$ 下 LED 发光。

(b) 设计一个电路来接收逻辑输入 B，并在 B＝L（＝0V）时使得 LED 发光，在 B＝H（＝5V）时 LED 熄灭。

2.6 节

2.44 (a) 将题 2.44 图所示的 BJT 用其小信号模型代替，并用测试信号的方法来得到 R_e 的表达式。



题 2.44 图

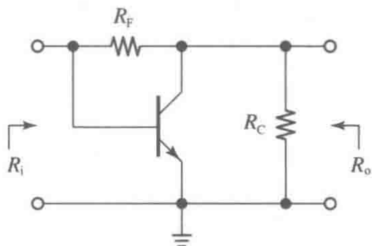
(b) 若 $R_C = 10\text{k}\Omega$，且 BJT 有 $\beta_F = 100$，$V_A = 100\text{V}$ 并偏置在 $I_C = 1\text{mA}$，求 R_e。

(c) 讨论在极限条件 $R_C \to 0$ 时，根据已知的 BJT 特性证明你的结果。

(d) 在极限条件 $R_C \to \infty$ 下，重做(c)问。

2.45 (a) 将题 2.45 图所示的 BJT 用其小信号模型代替，并用测试信号的方法来证明从输入端看入的电阻为：

$$R_i = r_\pi \,/\!/\, \left[\frac{R_F + (R_C \,/\!/\, r_o)}{1 + g_m(R_C \,/\!/\, r_o)}\right]$$



题 2.45 图

(b) 若 $R_F = 10\text{k}\Omega$，$R_C = 1\text{k}\Omega$，BJT 有 $\beta_F = 100$，$V_A = 100\text{V}$ 且其偏置在 $I_C = 1\text{mA}$ 下，计算 R_i。

(c) 讨论在极限条件 $R_F \to 0$ 和 $R_C \to \infty$ 下，根据前面已知的 BJT 特性证明你的结果。

(d) 在极限条件 $R_F \to \infty$ 下，重做(c)问。

2.46 (a) 将题 2.45 图所示的 BJT 用其小信号模型代替，并用测试信号的方法来证明从输出端看入的电阻为：

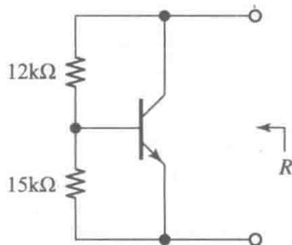
$$R_o = R_C \,/\!/\, r_o \,/\!/\, \left(r_e + \frac{R_F}{\beta_0 + 1}\right)$$

(b) 若 $R_F = 10\text{k}\Omega$，$R_C = 1\text{k}\Omega$，BJT 有 $\beta_F = 100$，$V_A = 100\text{V}$ 且其偏置在 $I_C = 1\text{mA}$ 下，计算 R_o。

(c) 讨论在极限条件 $R_F \to 0$ 和 $R_C \to \infty$ 下，根据前面已知的 BJT 特性证明你的结果。

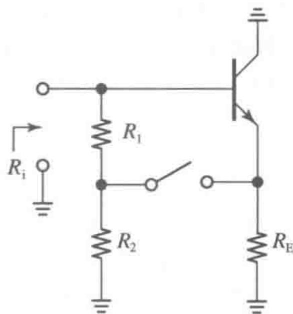
(d) 在输入端加入一个交流短路电路，重做(c)问。

2.47 假设题 2.47 图所示 BJT 的小信号模型有 $r_\pi = 10\text{k}\Omega$，$g_m = 1/(50\Omega)$ 且 $r_o = \infty$ 利用测试信号的方法求出 R。



题 2.47 图

2.48 (a) 运用简单的观察方法得到题 2.48 图所示电路的 R_i 表达式(开关断开)。



题 2.48 图

(b) 接着，研究开关闭合的影响。将 BJT 用其小信号模型代替，并用测试信号的方法来证明现在 R_i 增大到

$R_i = R_x + (1 + g_m R_x) R_y$

$R_x = R_1 /\!/ r_\pi$

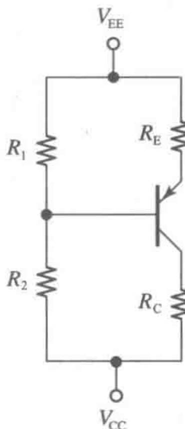
$R_y = R_2 /\!/ R_E$

(c) 若 $R_1 = R_2 = R_E = 10\text{k}\Omega$，BJT 有 $\beta_F = 100$，$V_A = \infty$，且其偏置在 $I_C = 1\text{mA}$ 下，求出两种情况中的 R_i 值。比较两个结果，并评价！

注意：这个习题介绍了自举技术，其用来提高射极跟随器的输入电阻。在实际应用中，采用电容作为开关，其在直流时为开路，在交流时设计为短路。

2.7 节

2.49 (a) 假设 $V_{EE} = 9\text{V}$ and $V_{CC} = 0\text{V}$BJT 参数与题 2.49 图所示相同，运用 1/3-1/3-1/3 规则来求出标准值 5% 范围内的电阻值，使 BJT 偏置在 $I_C = 2\text{mA}$。

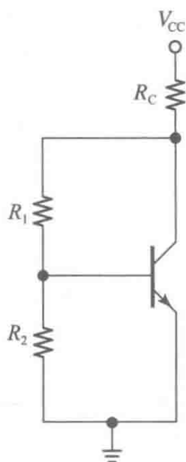


题 2.49 图

(b) 若 β_F 的实际值可以从最低标称值的 75% 变化到最高 150%，I_C 的可能值的范围是多少？若将电阻 5% 的变化范围

也纳入考虑呢？

2.50 题2.50图所示的电路与图2.50所示的相似，除了其中 R_2 的存在外，其提高了通过 R_1 的电流，因此也提高了 V_{CE}，并在电路作为放大器使用时，扩大了集电极的最小输出能力。

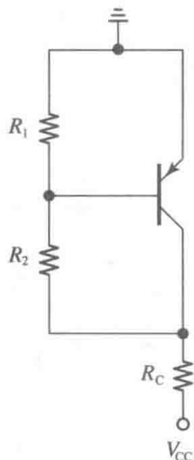


题2.50图

(a) 假设 $V_{CC}=5V$，$V_{BE(on)}=0.7V$，$\beta_F=100$，且 $V_A=\infty$，求出标准值5%范围内的电阻值，使BJT偏置在 $I_C=2mA$，并在限制条件 $I_{R_2}=I_B$ 下有 $V_{CE}=2V$。得到的 V_{CE} 值是多少？

(b) 若有 $50\leqslant\beta_F\leqslant200$，求出 I_C 和 V_{CE} 的变化范围。

2.51 题2.51图所示的电路是与题2.50图所示npn版本相对的pnp版本。



题2.51图

(a) 假设有 $V_{CC}=-6V$，$V_{EB(on)}=0.7V$，$\beta_F=150$，且 $V_A=\infty$，求标准值5%范围内的电阻值，使BJT偏置在 $I_C=3mA$，并在限制条件 $I_{R_1}=2I_B$ 下有 $V_{CE}=3V$。

(b)若有 $75<\beta_F<250$，求出 I_C 和 V_{CE} 的变化范围。

2.52 假设图2.51所示的电流镜是由完全匹配的BJT所构成的，其基极电流可以忽略，且 $V_A=\infty$。并令 $V_{CC}=5V$、$R_1=4.3k\Omega$。

(a) 假设 $V_{BE}=700mV$，R_2 足够小的以保证 Q_2 一直处于正向有源区，求 I_{C2}。

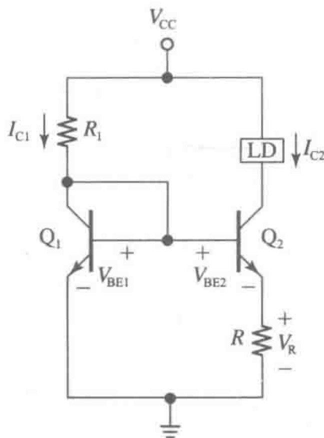
(b) 假设 Q_2 现在相对 Q_1 上升 $\Delta T=1℃$ 的温度。假设pn结的温度系数是 $-2mV/℃$，Q_2 仅需要698mV来得到与 Q_1 相同的电流。然而，Q_1 设定为700mV，所以 I_{C2} 相比于温度上升之前会更高。其新值为多少？

(c) 若 Q_2 相对于 Q_1 的温度上升为 $\Delta T=5℃$，重新计算 I_{C2}。

(d) 若 Q_2 相对于 Q_1 的温度上升为 $\Delta T=10℃$，重新计算 I_{C2}。

(e) 若已知 $I_{C2}=0.75mA$，你可以得出什么结论？

2.53 在某些情况下希望电流镜中有 $I_{C2}<I_{C1}$，一个常用的降低 I_{C2} 对 I_{C1} 的依赖性的方法是使 Q_2 的发射极不接地，并插入一个合适的串联电阻 R 来得到所需的电压差，从而降低，如题2.53图所示。例如，若我们想得到 $I_{C2}=I_{C1}/2$，根据经验法则R上需要18mV的压降。这个电路为鲍勃·维德拉(Bob Widlar)所发明(他是单片运放的第一个设计者)，故被称为维德拉电流源。



题2.53图

在题2.53图所示电路中，令 $V_{CC}=5V$、$R_1=4.3k\Omega$。假设 $V_{BE1}=700mV$，基极电流可忽略，负载上的压降足够小，使得 Q_2 总处于正向有源区，求出满足以下条件的 R。

(a) $I_{C2}=0.4mA$。

(b) $I_{C2}=50\mu A$。

(c) $I_{C2}=123\mu A$。

提示：可以的时候运用经验法则。

2.54 在题2.53图所示电路中，令 $V_{CC}=6V$，

$R_1=10\text{k}\Omega$且$R=1.0\text{k}\Omega$。而且，BJT 是匹配的器件，其有$I_s=2\text{fA}$，$V_A=\infty$，忽略基极电流。

(a) 假设负载上的压降足够小，使得 Q_2 总处于正向有源区，求出 V_{BE1}，单位为 mV。

(b) 运用关系式 $V_{BE2}=V_T\ln(I_{C2}/I_s)$和$I_{C2}=(V_{BE1}-V_{BE2})/R$，反复迭代直至求出 I_{C2}的值。

(c) 若我们想将 I_{C1} 降低到以前的 50%以下，V_{CC}的值应小于多少？得到的 I_{C2} 值是多少？I_{C2} 也下降为以前的 50%吗？对其进行解释。

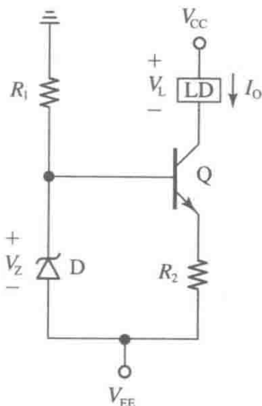
2.55 一个电流镜由两个匹配的 BJT 组成，对其中一个 BJT 的发射极串联一个电阻 R，有意使它们处于不平衡的状态。在题 2.53 图所示电路中，我们将一个电阻 R 串联到 Q_2 的发射极，以降低 I_{C2} 相对于 I_{C1} 的值。我们现在考虑相反的情况，即将一个电阻 R 串联到 Q_1 的发射极，以增大 I_{C2} 相对于 I_{C1} 的值。重新画出题 2.53 图所示的电路图，不同的是 Q_2 的发射极接地，而 Q_1 的发射极和地之间接入一个电阻 R。

(a) 若 $V_{CC}=5\text{V}$，BJT 是匹配的，且有 $I_s=2\text{fA}$，$V_A=\infty$，基极电流可忽略，指定合适的 R_1 和 R 值使得 $I_{C1}=0.5\text{mA}$ 及 $I_{C2}=2\text{mA}$。

(b) 若 V_{CC}持续增大直到 $I_{C1}=1\text{mA}$，I_{C2}的新值为多少？

提示：运用经验法则。

2.56 如题 2.56 图所示的是一个电流沉，其可以对 2.8、2.9 节中的 npn BJT 放大器提供发射极偏置，在这里可以称其为负载(LD)。这个电路是图 2.46a 所示 pnp 版本相对的 npn 版本，不同的是运用了齐纳二极管来对电路进行稳压，以预防电源电压 V_{EE}可能发生的变动。其输出电流是 $I_O=\alpha_F(V_Z-V_{BE(on)})/R_2$。



题 2.56 图

(a) 令 $V_{EE}=-12\text{V}$，二极管为 5.6V 的齐纳二极管，其 $r_z=15\Omega$。假设 BJT 有 $\beta_F=100$、$V_A=75\text{V}$，求标准值 5%范围内 R_1 和 R_2 的电阻值，使得 $I_O=2\text{mA}$、$I_z=3\text{mA}$。

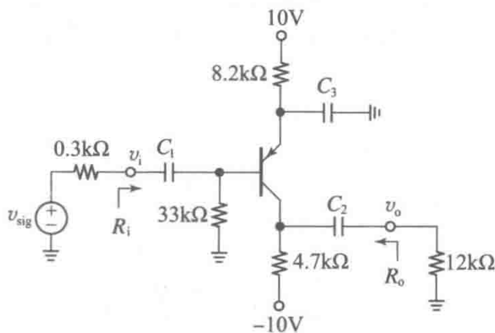
(b) 再求电路的负载调整率 $\Delta I_O/\Delta V_L$ 和线性调整率 $\Delta I_O/\Delta V_{EE}$。

2.57 重新画出图 2.46a 所示的电流源，不同的是将 R_1 用一个 6.2V 的齐纳二极管代替(负极在上)，其 $r_z=20\Omega$，并将 R_2 变为 $2.0\text{k}\Omega$。齐纳二极管的功能是稳压，以预防电源电压 V_{CC}的变化范围。这个电路可以对 2.8、2.9 节中的 pnp BJT 放大器提供发射极偏置，在这里可以称其为负载(LD)。其输出电流是 $I_O=\alpha_F(V_Z-V_{EB(on)})/R_E\approx(6.2-0.7)/10=0.55\text{mA}$。

假设 BJT 有 $\beta_F=100$、$V_A=100$，求电路的负载调整率 $\Delta I_O/\Delta V_L$ 和线性调整率 $\Delta I_O/\Delta V_{CC}$。

2.8 节

2.58 题 2.58 图所示的共射极放大器中采用一个 pnp BJT，其 $\beta_F=150$，$V_{EB(on)}=0.7\text{V}$ 及 $V_A=50\text{V}$。



题 2.58 图

(a) 求 I_C 以及小信号参数 R_i，R_o 和 v_o/v_{sig}。

(b) 假设 $v_{sig}=(5\text{mV})\cos\omega t$，求出电路中所有的节点电压，并将它们表示为交流和直流分量和的形式。

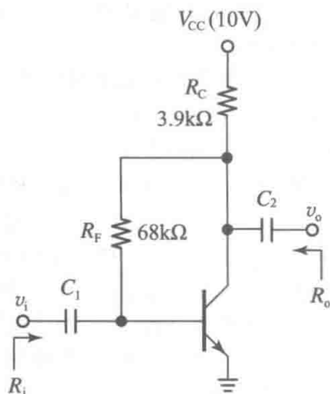
2.59 我们可以将题 2.49 图所示的电路用作共射极放大器，其基极作为输入节点(v_i)，集电极作为输出节点 V_o。而且，我们需要在 R_E 上接一个旁路电容 C_E。令 $V_{EE}=0\text{V}$，$V_{CC}=-9\text{V}$，$R_C=R_E=20\text{k}\Omega R_1=36\text{k}\Omega$，$R_2=51\text{k}\Omega$BJT 有 $V_{EB(on)}=0.7\text{V}$，$\beta_F=150$ 且 $V_A=60\text{V}$。

(a) 求出从输入和输出节点看入的小信号电阻 R_i 和 R_o，以及小信号电压增益 v_o/v_i。

(b) 当工作在 $f\geqslant1\text{kHz}$ 时，求 C_E 的值。

2.60 题 2.60 图所示的共射极放大器是基于图 2.50 所示的反馈偏置方案设计的。因为

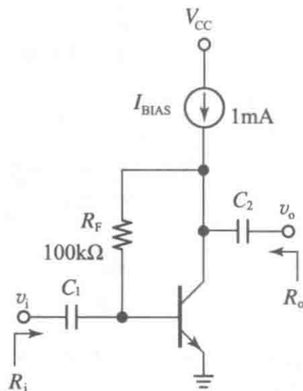
发射极已经接地，不需要多余的发射极旁路电容。假设 BJT 有 $V_{BE(on)}=0.7V$、$\beta_F=120$、$V_A=80V$，求出小信号参数 R_i，R_O 和 v_o/v_i。



题 2.60 图

提示：你可能需要回顾习题 2.45 和习题 2.46。

2.61 题 2.61 图所示共射极放大器的偏置方案与题 2.60 图所示的类似，不同的是 R_C 现在由一个电流源 I_{BIAS} 代替(为了简便，我们忽略这个电流源的具体结构，其可用 pnp BJT 按照图 2.46 所示的形式搭建成)。由于这个改动，从集电极看进去的电阻可以做得非常高，这表明电路可以达到很高的电压增益。



题 2.61 图

(a) 假设 $\beta_F=100V_{BE(on)}=0.7V$，$V_A=100V$ 用 BJT 的大信号和小信号模型求出集电极的直流电压 V_i 和空载交流电压增益 v_o/v_i。

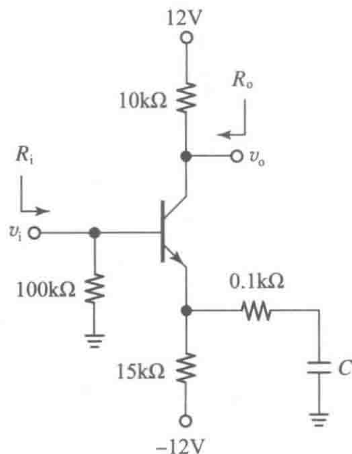
(b) 若 I_{BIAS} 变为 2mA，重做(a)问。评价你的结果。

2.62 (a) 用小信号 BJT 模型来求习题 2.61 中共射极放大器的输入电阻 R_i，考虑空载的情况以及输出端带有 100kΩ 负载的两种情况。评价你的结果，并且证明这个放大器是非单向的。

(b) 求出输出电阻 R_o，考虑放大器由理想源 v_{sig} 驱动和由真实源 v_{sig}（输出电阻 $R_{sig}=1k\Omega$）驱动这两种情况。同样地，评价你的结果。

2.63 考虑将题 2.58 图所示电路中 C_3 的右极板与地断开，并在右极板和地之间加入一个 220Ω 的串联电阻而得到的新电路。画出修改后的电路，并证明这个改动使电路变为了发射极负反馈放大器，且其净发射极退化电阻为(8500/220)Ω。再假设 $\beta_F=125$，$V_{EB(on)}=0.7V$，$V_A=\infty$ 求出小信号参数 R_i，R_o，和 v_o/v_i。

2.64 题 2.64 图所示的发射极退化放大器的发射极退化电阻为(15∥0.1)kΩ。



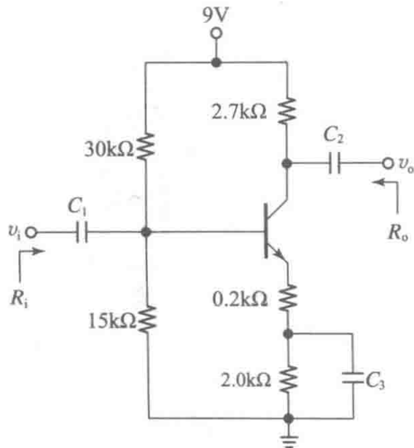
题 2.64 图

(a) 若 BJT 有 $\beta_F=125$，$V_{EB(on)}=0.7V$，$V_A=\infty$ 求出 I_C 以及小信号参数 R_i，R_o 和 v_o/v_i。

(b) 求出从 C 看进去的等效电阻 R_{eq}，并求出工作在 100Hz 下的 C 值。

(c) 若将 C 忽略，会发生什么?

2.65 题 2.65 图所示的发射极负反馈放大器的发射极退化电阻为 0.2kΩ。



题 2.65 图

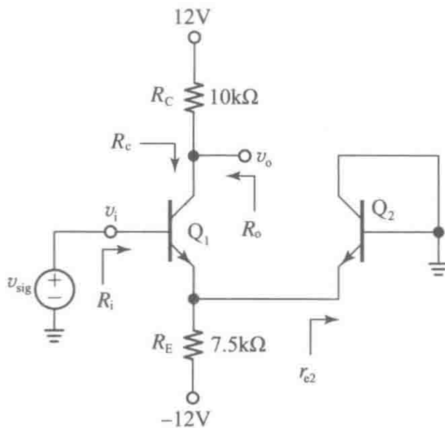
(a) 若 BJT 有 $\beta_F = 125$，$V_{EB(on)} = 0.7V$，$V_A = \infty$ 求出 I_C 以及小信号参数 R_i，R_o 和 v_o/v_i。

(b) 求出从 C_3 看入的等效电阻 R_{eq3}，并求出工作在 1kHz 下的 C_3 值。

(c) 若将 C_3 忽略，会发生什么？

2.66 考虑将题 2.61 图所示电路中发射极与地断开，并在发射极和地之间加入一个 $R_E = 1.0k\Omega$ 的串联电阻，从而使其变为一个发射极负反馈放大器。再令输出节点带负载 $R_L = 100k\Omega$。假设 $\beta_F = 150$、$V_A = \infty$，用 BJT 的小信号模型来求得交流电压增益 v_o/v_i。

2.67 我们知道，共射极结构中发射极旁路电容的作用是在发射极建立一个交流地。从发射极看进去的电阻通常很小，这就需要一个相当大的电容，这是我们所不想得到的。题 2.67 图所示的电路为了消除对这种电容的需求，用一个二极管连接的 BJT Q_2 取代了电容。Q_2 所表现出交流电阻 r_{e2} 虽然不是 0，但也非常小(在 $I_C = 1mA$ 时是 26Ω)，发射极退化电阻也就很小，从而消除了庞大的旁路电容。这种技术在 IC 制造中广泛使用，Q_1 和 Q_2 是匹配器件。若信号源的直流分量为 0，两个 BJT 就可以得到相同的 V_{BE}，因此得到相同的电流 I_C。因此，需要指定 R_E 以得到 2 倍的电流。



题 2.67 图

(a) 将 Q_1 当作一个发射极负反馈放大器，其发射极退化电阻为 $R_E // r_{e2}$，求出小信号参数 R_i，R_c，R_o，v_o/v_{sig} 的表达式。

(b) 假设匹配的 BJT 有 $\beta_F = 200$，$V_{EB(on)} = 0.7V$，$V_A = 100V$ 且信号源的直流分量为 0V，求出上述参数的数值。

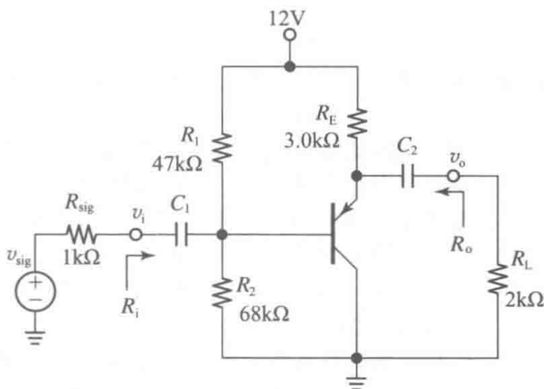
提示：由于 BJT 是匹配的，我们有 $I_{E1} = I_{E2} = I_{R_E}/2$。

2.9 节

2.68 一学生想测量图 2.61a 所示电压跟随器在不同电源和负载情况下的增益。首先有 $R_{sig} = 0$、$R_L = 300\Omega$，求出增益为 $v_o/v_{sig} = 0.853V/V$。随后，令 $R_{sig} = 10k\Omega$，仍保持 $R_L = 300\Omega$，导致增益下降到 $0.718V/V$。基于上述测量，可以预测 $R_{sig} = 20k\Omega$、$R_L = 1.2k\Omega$ 时的增益吗？

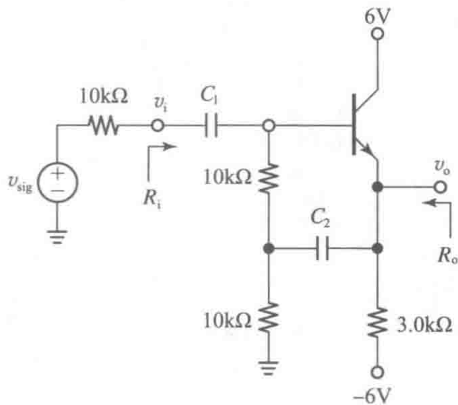
提示：实际上，β_0 和 I_C 的值都可以求出。

2.69 在题 2.69 图所示的 pnp 发射极跟随器中，令 BJT 有 $\beta_F = 125$，$V_{EB(on)} = 0.7V$，$V_A = 80V$。求出小信号电阻 R_i、R_o 和信号到负载的增益 v_o/v_{sig}。



题 2.69 图

2.70 共集电极放大器是自举型，因为其用反馈电容 C_2 来提升交流输入电阻，从而降低输入负载。在题 2.70 图所示电路中，对于 BJT，令 $\beta_F = 100$，$V_{EB(on)} = 0.7V$，$V_A = \infty$。



题 2.70 图

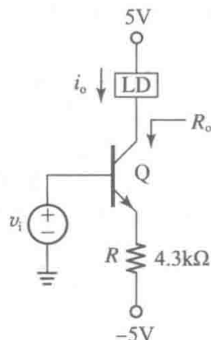
(a) 求出 R_i，R_o，v_o/v_{sig}，此时不考虑 C_2。

(b) 若考虑 C_2，重做上问。与(a)问比较，并评价。

提示：回顾习题 2.48。

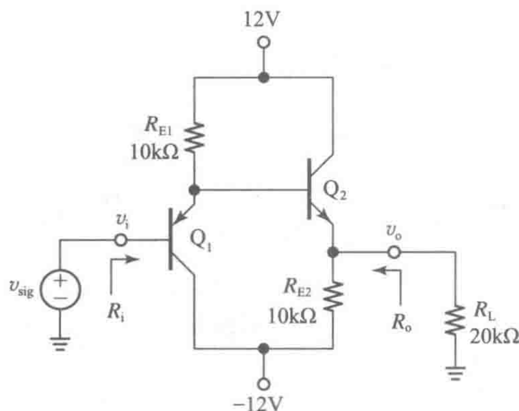
2.71 题 2.71 图所示的电路介绍了怎样使一个 BJT 作为电压/电流(V/I)转换器使用。假

设 $\beta_F=150$，$V_{EB(on)}=0.7V$，$V_A=75V$，$v_i=(0.5V)\cos(\omega t)$求出从负载 LD 看入的诺顿等效的小信号参数值。



题 2.71 图

2.72 我们知道，共集电极结构的发射极电压是跟随基极电压的，但有 0.7V 的偏移。这个偏移电压通常不希望出现，我们更希望直流输出和输入是相等的。题 2.72 图所示的电路采用一个 pnp 共集电极电路，其偏移为＋0.7V，其后为一个 npn 共集电极电路，其偏移为－0.7V。这两个偏移互相抵消，使得输出直流电压值与输入相等。特别地，若信号源的直流分量为 0，输出的直流分量也会为 0。为了使这个抵消机制正常工作，我们需要使 $V_{BE2}=V_{EB1}$。这是可以实现的，例如，若 BJT 有 $I_{s2}=I_{s1}$，我们可以通过 $R_{E2}=R_{E1}$ 来对其进行相同的偏置。在所示的电路中，令 BJT 有 $\beta_{F1}=\beta_{F2}=100$，$V_{A1}=V_{A2}=\infty I_{s1}=I_{s2}$。



题 2.72 图

(a) 假设信号源的直流分量为 0，求小信号参数 R_i，R_o 和 v_o/v_{sig}。

提示：为了求出 R_i，可以两次使用式(2.58)；为了求出 R_o，可以两次使用式(2.59)。

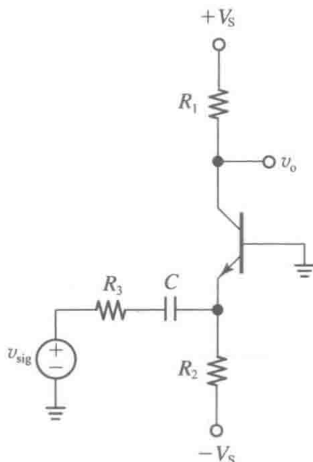
(b) 假设 $v_{sig}=(5V)\cos(\omega t)$，求出电路中所有的节点电压，并将它们表示为直流和交流分量的和。

2.73 用一个典型的 npn BJT 和标准值 5%范围内的电阻，设计一个电路在基极接受信号，信号的直流分量为 0、交流分量为 v_b，并得到两个交流输出，在集电极为 v_c、在发射极为 v_e，且有 $v_c=-v_e$。假设电源电压为±12V。若你采用了任何电容，在 10kHz 的信号频率下求出它们的值。这个电路称为分相器。

2.74 考虑题 2.64 图所示的电路，将基极接地，并将 C 的下极板和地断开，用一个理想信号源 v_{sig} 来驱动这个极板。这使得这个电路成为一个共基极电压放大器。求出小信号电压增益 v_o/v_{sig}。

提示：先求出 v_{sig} 到 v_e 的增益，再求出 v_e 到 v_o 的增益。

2.75 假设题 2.75 图所示的电源电压为±10V，BJT 有典型的参数值，求出标准值 5%范围内的电阻使得 BJT 工作在 $Q=Q(2mA)$，5V，并提供增益为 $v_o/v_{sig}=10V/V$。最后，求出工作在 1kHz 下的 C 值。



题 2.75 图

2.76 在题 2.76 图所示电路中，Q_1 和 Q_2 是匹配的 BJT。Q_1 工作在共基极模式，Q_2 工作在二极管模式。Q_2 的功能是给 Q_1 的基极提供大约＋0.7V 的偏置电压，从而保证 Q_1 发射极的直流电压为 0V，这在共基极模式下也就是输入节点。直流分量为 0V 的输入是我们想得到的，因为可以将其直接与放大器连接，不需要任何的交流耦合、直流隔离电容。而且，电路可以在低频下工作，包括 0Hz 也就是直流情况下。为了使这个方案可以工作，我们必须有 $V_{BE2}=V_{EB1}$。这是可以实现的，例如，我们可以用有匹配 I_s 值的 BJT，再令 $R_2=R_1$ 就可以对其进行相同的偏置。在所画的电路中，共基极

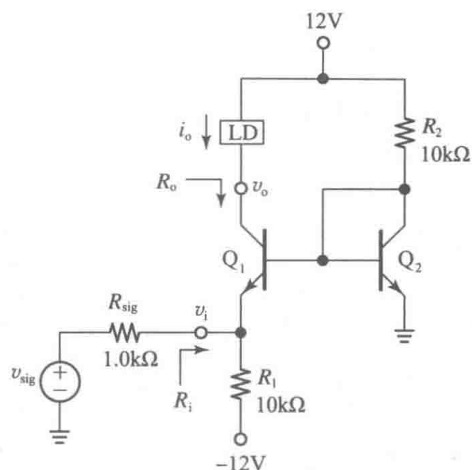
放大器是作为电压/电流(V/I)转换器使用的。令 BJT 有 $\beta_F=150$、$V_A=80V$。

(a) 假设信号源的直流分量为 0V，求出小信号参数 R_i，R_o 和跨导增益 i_o/v_{sig}。

提示：求出 R_i 后，求出电压增益 v_i/v_{sig}，再通过 $i_o/v_{sig}=(v_i/v_{sig})\times(i_o/v_i)$ 得到跨导增益。

(b) 若负载是电阻 $R_L=5.0k\Omega$ 求出信号到负载的电压增益 v_o/v_{sig}。

(c) 证明(b)问中的电压增益可以用 $v_o/v_{sig}\approx R_L/R_{sig}$ 进行估算。在什么条件下这个估算成立？



题 2.76 图

第3章 MOSFET

半导体电子产品时代的到来开始于三极管的功能(一个受控的电流源——见第 2 章对于真空三极管的讨论)在单片半导体材料上实现。这发生在 1947 年，由于双极型晶体管(BJT)的发明，半导体晶体管理论的首次功能性实现。然而，BJT 既不是唯一可能的晶体管类型，也不是所构思的第一个晶体管。实际上，最早在 1925 年，尤里乌斯·利林费尔德(Julius Lilienfeld)申请了一个器件的专利，即今天大家知道的场效应晶体管(FET)。但是，在那个时候因制造困难，他不能够让这个器件工作。过了大约 35 年的时间，直到贝尔实验室的戴旺·卡恩(Dawon Kahng)和约翰·阿塔拉(John Atalla)在 1960 年，展示了第一个 FET 器件，即被称为金属-氧化物-半导体(MOS)场效应晶体管，或者简称为 MOSFET。

和真空三极管最接近的 MOSFET 是 n 沟道耗尽型 MOSFET(n 沟道 DMOSFET)，是四种可能 MOSFET 类型中的一种。简单地说，一个 DMOSFET 包括一个叫作沟道的 n 型材料薄层和一个称为栅极的电极形成一个平板电容。沟道的一端称为源极，作为一个包含丰富自由电子的源头，自由电子通过专门设计的沟道流动到对面(沟道一端)，正好叫作漏极。源极和漏极的角色类似于电子管中的阴极和阳极(或者 BJT 中的发射极和集电极)。栅极的作用，类似于电子管中的控制栅极(或 BJT 的基极)，用来调节沟道的电导，从而控制电子从源极向漏极的流动。具体地说，在栅极加一个负向的电压，会在沟道产生一个正的充电，从而使那里收集的自由电子减少。对于一个足够负的栅极电压，沟道的自由电子会被耗尽，电流流动将会完全停止。用液压来比喻，FET 的行为可以比作花园里的水管，通过被挤压以控制水的流动，或者全部被关断。

随着第一个 MOSFET 的成功展示，特别是在需要小尺寸和低功耗的新技术应用领域，MOSFET 更小的尺寸和更低的功耗比 BJT 更具有优势。第一个电池充电的电子计算器和腕表使新技术的应用更加清晰。同时，相对于当时常见的双极型逻辑系列 TTL 来说，一个新的数字集成电路(IC)成员即互补型 MOS(简称为 CMOS)作为一个独一无二的低功耗系列被美国无线电公司(RCA)提出。在 1971 年，英特尔用 MOS 技术开发了第一个微处理器。自那以后，IC 电子学呈指数级发展，并且已经渗透到现代生活的方方面面。摩尔定律表述了这种惊人的增长，其大体意思是由于 IC 制造的不断进步，集成于一定面积的芯片上的器件数量大约每 18 个月翻一番。摩尔定律于 1965 年最初制定，尽管其已经指出技术会接近物理极限，最终将导致定律的消亡，但仍然一直持续到今天。

这些年来，归功于 MOSFET 的上述优点，即在更小尺寸和更低功耗方面的优点，MOSFET 已经超越其前辈 BJT，尤其是在高集成度的 IC 电子产品中。然而，在高性能的模拟电子产品的应用中，BJT 仍然是首选的器件类型。为了充分利用 BJT 和 MOSFET 的优点，两个器件类型有时候同时在同一个芯片上制造。由此形成的技术，即 BiCMOS 技术，比单纯的全 BJT 或全 MOSFET 技术提供更大的设计机会。同时，现代 IC 通常将数字的和模拟的功能在同一芯片上结合起来，这也就是混合信号或混合模式 IC 的命名原因。

毫无疑问，微电子学是一个最令人激动、最具挑战和最快速发展的领域。初学者面对这一切也许会感到不知所措，然而有此感受是正常的。但是，一旦我们着手学习当今主流的工艺与器件，我们将全力关注一般原理，因为它超越当时的特殊工艺条件，同时可以运用一般原理来理解那些将成为有价值并商业成熟的新的工艺及设备。对于年青的工程师而

言，在一个看似不断变化的领域，为了得到并坚守一份满意的事业，掌握一般原理，再加上继续教育，是很有必要的。

本章重点

本章开始 MOSFET 的物理结构，半导体相关的基本原理，器件的特性，工作区域以及模型的学习。重点放在当今工业环境与实际问题的相关性上(经验法则)。长沟道(沟道长度在几微米或更长的范围内)场效应晶体管(FET)，因为它们的工作过程和理论预测比较吻合，所以它们的建模更加简单，对于初学者来说，更容易掌握。然而，在当今尺寸日益缩小的 IC 工艺下，实用的器件已经成为短沟道类型(沟道长度为几分之一微米)。在如此小的尺寸下，许多高阶效应的影响出现了，特别是载流子速度的饱和，这可能会导致和长沟道工作行为有显著的偏离，形象地称为短沟道效应，它们需要更复杂的形式和更精密的模型，从而提供更有价值的结果。这些先进的模型，尽管可以在计算机仿真中实现，但对于手工分析来说则太复杂。但我们应该继续重点关注长沟道器件的形式和模型，建立一个对于 MOSFET 器件的直观理解，然后用计算机仿真得到更精确的结果。

通过研究一系列的阻性 MOSFET 电路，对 MOSFET 电路的工作有一个基本的认识，我们探讨 MOSFET 两个最重要的应用领域，这两个应用分别称为模拟电子学的放大器及数字电子学的开关。接下来，给出了 FET 的合适的大信号模型和小信号模型。因此我们可以介绍三种基本的放大器结构，即共源极(CS)、共漏极(CD)和共栅极(CG)结构。共源极结构表现为天然的电压放大器，而共漏极和共栅极结构分别更多地作为电压缓冲器和电流缓冲器。MOSFET 作为阻性转换器件，它们通常提供了晶体管的基础。传输函数公式在后面的章节中用表格形式给出，作为简单的参考。

本章介绍的放大器是分立类型的，因为它们可以用单个的晶体管、电阻和电容构建(在这个方面，用来进行实验的器件是 CD4007 CMOS 晶体管阵列，由三个 nMOSFET 和三个 pMOSFET 组成)。尽管现在的 MOSFET 放大器大多以 IC 的形式制造，但学习分立电路的设计是教学的基础，因为分立电路容易掌握，并且它们同时也反映了应用于 IC 中的重要方面。一旦我们掌握了包括单晶体管放大器的分立电路的设计，我们就会解决复杂的多晶体管的 IC 问题，这是第 4 章进行的课题。

特别得益于计算机工程技术的发展，本章以 CMOS 技术，展示它在模拟和数字领域组成 IC 单元模块的灵活性、简单性和重要性，并且以 CMOS 反相器/放大器的详细分析结束。基本的逻辑门也得到了详细的讨论。

本章充分利用 PSpice 作为一个软件示波器来显示 MOSFET 的特性、传输曲线和波形，同时也用它作为一个直流和交流分析的验证工具。

3.1 MOSFET 的物理结构

图 3.1 简单地画出了 n 沟道的金属-氧化物-半导体(MOS)场效应晶体管(FET)，简称为 nMOSFET。该器件通过复杂的步骤制成，包括图案形成、氧化、扩散、离子注入、材料沉积和材料刻蚀，这些都在一块轻掺杂的 p 型硅(p^-)的晶片上完成，这也称为 nMOSFET 的体或者块。晶片也称为衬底，因为它对所考虑的器件以及其他 IC 上的器件提供了物理支持。制造一般从抛光的晶片开始，nMOSFET 的制造通常包括以下步骤。

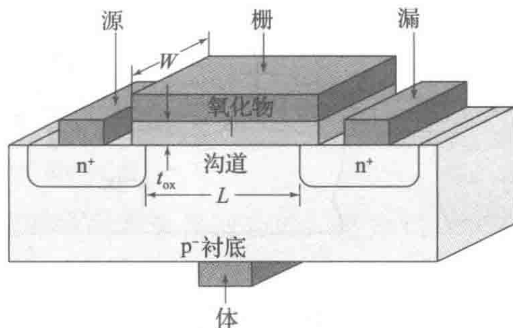


图 3.1 nMOSFET 的基本物理结构

- 首先，在衬底表面生成一层薄的(t_{ox})绝缘氧化物硅(SiO_2)层。

- 接着，在氧化物上生成一层重掺杂 n 型硅(n^+)制备栅电极。因为这种电极含有丰富的自由电子，在实际运用时类似于金属，所以制备的器件命名为金属-氧化物-半导体(MOS)结构。
- 接着，将氧化物从栅极的每一侧除去，用离子注入创建两个重掺杂的 n 型区(n^+)，延伸到所述衬底上，称为源和漏区。
- 最后，用两个金属沉积形成源电极和漏电极(鼓励有兴趣的学生在网上搜索有关 MOSFET 制造的视频和文章)。

氧化物下方的区域称为沟道区。其长度和宽度分别表示为 L 和 W。在当前的超大规模集成电路(VLSI)技术下，L 和 W 可以小至零点几微米($1\mu m=10^{-6}m=10^{-4}cm$)，而氧化层厚度 t_{ox} 可以低至 10 纳米($1nm=10^{-9}m=10^{-7}cm=10Å$)。我们可以确定 MOSFET 的两个基本特点：

- 沟道区在源区和漏区之间延伸；
- 栅极和沟道区之间形成平行板电容器。

简单说来，MOSFET 的基本原理是利用栅-体电容来控制沟道区的电导。从源区向漏区的延伸路径包括两个背到背的 pn 结(体-源结和体-漏结)，因此它对电流流动通常呈现出非常高的电阻(通常是$10^{12}\Omega$)。但是，通过提高栅极的电位到一个合适的值，我们可以创造有利条件使得自由电子存在于沟道区，从而形成一个连续的导电通路或通道，电子可以从源到漏流动并产生电流。为了研究器件行为，我们不得不解决两个基本问题：

- 阈值电压 V_t 是多少？相对于衬底我们需要提高栅极电位到多少才能形成一个沟道，从而使器件导通？
- 一旦器件导通，通道的 i-v 特性如何？

两个问题都会在接下来的章节进行探讨。

互补 MOSFET

当今占主导地位的 IC 技术通常是利用 nMOSFET 以及其互补器件，即 pMOSFET，形象地称为互补 MOS(或 CMOS)技术。它要求两个器件类型同时在同一基板上制造。pMOSFET 可以通过将 nMOSFET 制作过程中体、源区和漏区的掺杂取反获得，即现在体是 n^-，源和漏是 p^+。为了允许两个器件共存于一个共同的衬底上，该 pMOSFET 应被置于局部轻掺杂的 n 型(n^-)衬底上，也称为阱或槽，是在制造晶体管之前优先对已存在的 p^- 板进行单独扩散而形成的。

图 3.2 描绘了其截面结构，其中下标 n 和 p 分别表示标识 nMOSFET 和 pMOSFET 的各端。nMOSFET 位于左侧中央，类似于图 3.1 所示结构，所不同的是对其体(B_n)的连接不是在下方，而是在左上方，因为平面集成电路要求所有的互连必须在晶片的顶部进行。pMOSFET 位于右侧中央，被放置在其自己的阱中(n^-)，对阱(B_p)的连接是在右上方。为了确保良好的欧姆接触，金属与体间的连接是通过重掺杂区域实现的，如图 3.2 所示。

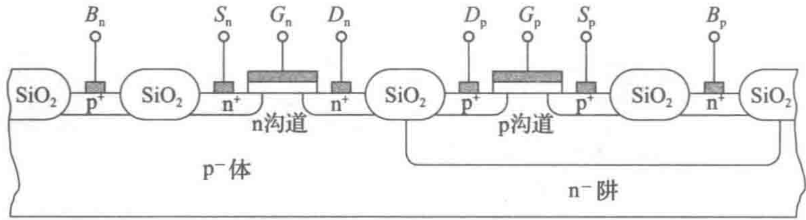


图 3.2　CMOS 晶体管的横截面图

图 3.2 也阐明了 IC 所需考虑的的另一个重要方面，即相邻器件间需要进行电隔离。在进行实际晶体管制造之前，可以生长一个SiO_2 绝缘环，这也称为场氧化层，以包围每个

晶体管所要制造的位置，从而实现电隔离的需求。事实上，每个晶体管不仅需要与其他相邻设备保持电隔离，而且与其自身的体结构也要保持电隔离！nMOSFET 的体在 n 型源和漏区之间产生 pn 结，所以在这种情况下体绝缘就通过将体固定在电路中的最负电压(MNV)来实现。这将使两个结反向偏置，从而在所有可能的电路条件下都截止。同样地，nMOSFET 的 N 阱在 p 型源和漏区之间产生 np 结，所以在这种情况下体绝缘就通过将衬底固定在电路中的最正电压(MPV)来实现。这将使两个结反向偏置，从而在所有可能的电路条件下都截止。例如，在数字 CMOS 电路的情况下，电源电压处于 5V 和地之间，将 B_n 接地，B_p 连接到+5V。制造商通常在 IC 的内部就设置好了这些连接。

3.2 阈值电压 V_t

为了研究一个 n 沟道 MOSFET 形成的机制，我们重点研究其栅-氧化物-体结构，它会形成平行板电容器，只是极板的材料有所不同。虽然在较早的 MOSFET 中，栅电极是由金属(如铝)制成的，但在当代则是使用 n^+ 硅制成的，这也是其制造过程称为硅栅工艺的原因。因为 n^+ 硅薄膜是生长在无定形氧化物上，其包括很多亚微米大小的微晶，而不是一个单一的晶体，因此称其为多晶硅。无论如何，n^+ 多晶硅中有非常丰富的自由电子，这与金属类似，它不仅可用于创建栅电极，而且用于 IC 中不同器件的互连。使用多晶硅制作栅电极的原因是，随后创建源和漏区时，可以把栅电极作为精确对准的固定区。尤其离子向下扩散进入体内后，它们还会向两侧扩散，这就在栅极和源/漏极边缘产生了微小的重叠。随着我们的学习，我们将会画出图 3.2 中的重叠部分，对于 MOSFET 的正常工作有多么的重要。

现在，我们希望研究一个不同极性的外部偏置所产生的效果，以及它们在氧化层下方的体区域内所产生的电荷分布。由于绝缘氧化层没有电流流动，栅极影响沟道区唯一的途径是通过氧化物内的电场效应。这也是命名为场效应晶体管(FET)的原因。

栅体电容

图 3.3 画出了图 3.1 所示栅-氧化物-体结构的截面图，但逆时针旋转了 90°。如图 3.2 所示，p^+ 区的功能是确保 p^- 衬底与金属有良好的欧姆接触，所以它在分析中不起作用。根据所熟知的平行板电容器的公式，在所述情况下有 $C=\varepsilon_{ox}(W\times L)/t_{ox}$，其中 W 和 L 是图 3.1 所示结构中的沟道区的宽度和长度，ε_{ox}是氧化层的介电常数，t_{ox}是其厚度。

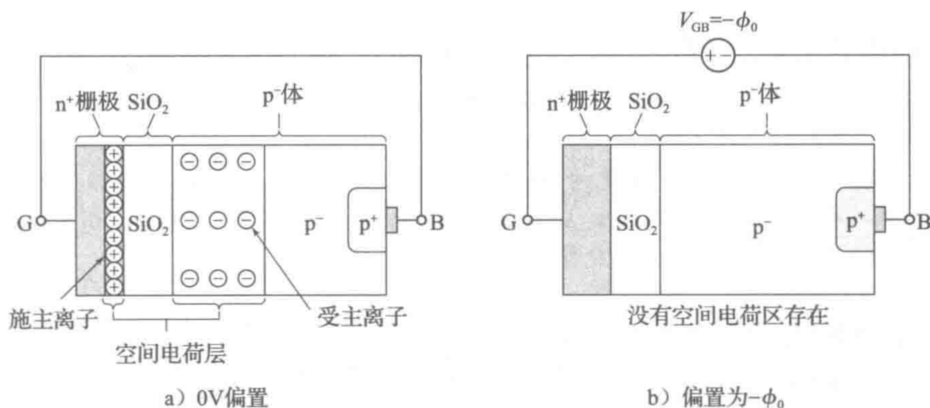


图 3.3 消除空间电荷层时的栅体电容

为了给出与器件大小无关的分析，考虑单位面积的电容量是适合的，记为 $C_{ox}=C/(W\times L)$，即

$$C_{ox}=\frac{\varepsilon_{ox}}{t_{ox}} \tag{3.1}$$

在当今的技术下 W 和 L 通常在亚微米数量级($1\mu m=10^{-9}m$)，t_{ox}通常在 10nm 左右

(1nm=10^{-9}m)或更小。硅氧化层的 $\varepsilon_{ox}=345$fF/cm，所以在制造过程中，$t_{ox}=10$nm 给出了 $C_{ox}=3.45\text{fF}/\mu\text{m}^2$ 的电容(作为准则，$C_{ox}=34.5/t_{ox}$，C_{ox}的单位是 fF/μm^2，t_{ox}的单位是 nm)。

这种体-氧化层-栅结构让我们回想起熟悉的 pn 结，只不过此处的 p^- 和 n^+ 被绝缘层所隔离，以防止直接的电流流动。然而，如果我们在外部连接 G 和 B，如图 3.3a 所示，电子将会通过连接，从富含电子的 n^+ 栅极扩散到缺少电子的 p^- 体，并在栅极留下不能移动的带正电的施主离子。电子一旦进入体中，这些多余的电子与此处的空穴相复合以满足质量守恒定律，这又在体内留下不能移动的带负电的受主离子。两层都集中在栅极氧化层和体-氧化层的表面，以最小化系统静电能。正如 pn 结一样，这种空间电荷层产生了一个电场 E，从栅极通过氧化层指向体，通过这个电场来阻止进一步的电子扩散，从而达到一个静电平衡态。与这个电场有关的是栅-体结构的内建电势为：

$$\phi_0 = \phi_n - \phi_p$$

式中：

$$\phi_p = V_T \ln \frac{n_i}{N_A};\quad \phi_n = V_T \ln \frac{N_D}{n_i} \tag{3.2}$$

分别是体和栅的平衡态静电势(也称为费密(Fermi)电势)。此处，$V_T=kT/q$ 是热电压($T=300$K 时 $V_T\approx 26$mV)，N_A 和 N_D 是体和栅内物质的掺杂浓度，n_i 是硅的本征电子-空穴对浓度($T=300$K 时 $n_i\approx 1.4\times 10^{10}/\text{cm}^3$)。因为 N_A 和 N_D 都比 n_i 大得多，我们有 $\phi_n>0$、$\phi_p<0$。而且，因为 N_A 和 N_D 是对数函数的参数，所以 ϕ_p 和 ϕ_n 对于掺杂浓度不是非常敏感。

一个普通的电容器的极板短接时，就会进入放电状态($Q=0$)。然而，如果极板是由异质材料所制成的，正如现在的情况，虽然 $V_{GB}=0$，也将会有 $Q\neq 0$。如果想如图 3.3b 所示那样将 Q 变为 0，则需要外加一个电压 V_{GB}，其大小与 ϕ_0 相同但方向相反，即 $V_{GB}=-\phi_0=\phi_p-\phi_n$。$V_{GB}$的值($<0$)也称为平带电压，它得名于其对体材料的能带影响。在接下来的分析中，我们把这个电压当作基准电压。

例 3.1 假设 $N_A=10^{16}/\text{cm}^3$、$N_D=10^{20}/\text{cm}^3$，求出静电势和消除空间电荷层的 V_{GB}值。

解：

由式(3.2)，得：

$$\phi_p = 0.026\ln\frac{1.4\times 10^{10}}{10^{16}}\text{V} = -0.35\text{V}$$

$$\phi_n = 0.026\ln\frac{10^{20}}{1.4\times 10^{10}}\text{V} = +0.59\text{V}$$

为了在栅-体内实现电中性区，栅极必须有比体更负的偏置，其 $V_{GB}=(-\phi_0=-0.35-0.59)\text{V}=-0.94\text{V}$。

注意：若栅-体结构是一个普通的 np 结，对于 $V_{GB}=-0.94$V，其将是完全正向偏置的，并会得到一个很大的正向电流，从 p 型体(阳极)流向 n 型栅(阴极)。然而在现在的情形下并没有电流流动，这是因为氧化绝缘层将它们隔开了。◀

反型

现在我们逐渐增大 V_{GB}，初始值为 $V_{GB}=-\phi_0$(在例子中是 $V_{GB}=-0.94$V)。这种增长的影响是在氧化层两侧重新建立了空间电荷层，出现了栅的正电荷和体的负电荷。我们对体内的情形非常感兴趣，所以忽略栅内的情况，只需记住栅内的电荷与体内的电荷总是大小相等而方向相反的。体内的情形如图 3.4 所示，其中我们选取 x 轴的原点来代表氧化物-体的表面，这在分析中有着重要的作用。首先，体内的负电荷包括带负电的受主离子(空穴被推离氧化物-体的表面，留下了受约束的离子)，称为空间电荷层，由于缺乏空穴也称为耗尽层。并且，当增加 V_{GB}时，体内的耗尽层将会拓宽，表面电势 $\phi(0)$也会增加，这是因为 ϕ 与 x 之间有二次关系式(回顾图 1.39)。

当 $\phi(0)$从负变为正时，靠近表面的体将会反型，即它从 p 型变为了 n 型，至少在静电

学上是这样表述的。因此，靠近表面的体区域称为反型层。

参考图 3.4 所示结构，我们观察到空间电荷层又会产生一个电场 $E(x)$。其电场强度作为 x 的函数，通过数电场线的方法很容易观察，每一条电场线都从栅的正离子开始，结束于体的负离子。我们对体内的电场线感兴趣，其数量在氧化物-衬底($x=0$)的表面是最大的，并随着 x 的增加逐渐降低，在耗尽层处为 0 ($x=x_p$)。应用高斯定理，我们可以很容易求出最大场强 E_m 和电荷层宽度 x_p 的关系。

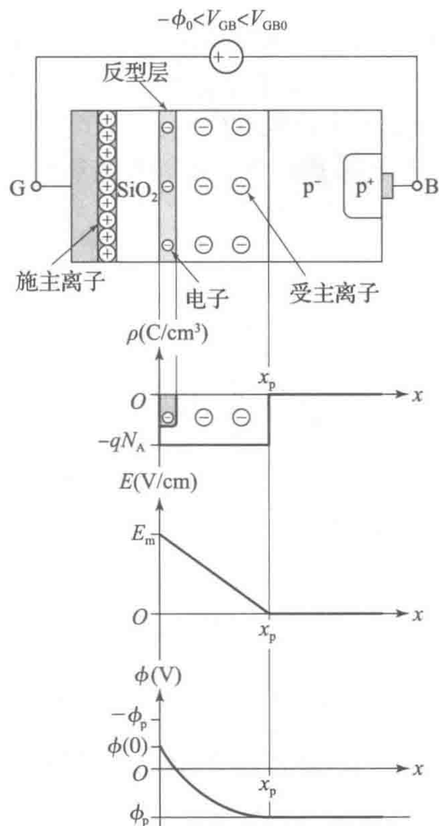


图 3.4 强反型前 nMOSFET 的情形

对于我们的研究，在一维的情况下，高斯定理表达为 $dE/dx=\rho/\varepsilon_{si}$，其中，$\rho$ 是耗尽层的电荷密度 $((\rho=-qN_A))$，ε_{si}是硅的介电常数($\varepsilon_{si}=1.04\text{pF/cm}$)，有 $dE/dx=-E_m/x_p=-qN_A/\varepsilon_{si}$，所以，

$$E_m=\frac{qN_Ax_p}{\varepsilon_{si}} \tag{3.3}$$

电场和电势的关系为 $E=-d\phi/dx$。重新写为 $d\phi=-Edx$，并对两边从 $x=0$ 到 $x=x_p$ 进行积分，可得：

$$\int_0^{x_p}d\phi=-\int_0^{x_p}E(x)dx$$

左边的项是电势差 $\phi_p-\phi(0)$，右边的项是 E 曲线的三角形面积，即$\frac{1}{2}(x_p\times E_m)$，所以，

$$\phi_p-\phi(0)=-\frac{E_mx_p}{2}$$

用式(3.3)来估算 E_m，可得到耗尽层宽度关于表面电势 $\phi(0)$的函数表达式为：

$$x_p=\sqrt{\frac{2\varepsilon_{si}}{qN_A}[\phi(0)-\phi_p]}$$

强反型的开始

我们对表面电势为 $\phi(0)=-\phi_p$（在本例中是 $+0.35\text{V}$）的情况感兴趣，因为此时反型层中的电子浓度 n 与体内的空穴浓度 p 相等，即 $n=N_A$（在本例中$=10^{16}/\text{cm}^3$）。这种情况如图 3.5 所示，标志了强反型的开始。用下标 0 来表示这个开端，我们现在希望求出开始强反型的栅-体偏置 V_{GB0}。为此，我们先进行 $\phi(0)=-\phi_p$ 代替，以求出强反型开始时的耗尽层宽度，即

$$x_{p0}=\sqrt{\frac{2\varepsilon_{si}}{qN_A}2(-\phi_p)} \tag{3.4}$$

接着，我们观察体内耗尽层的单位面积电荷量，把 $Q_{b0}=-qN_Ax_{p0}$代入式(3.4)，可得：

$$Q_{b0}=-\sqrt{2qN_A\varepsilon_{si}2(-\phi_p)} \tag{3.5}$$

体内的负电荷与栅内的正电荷相匹配。由电容法则，维持这个电荷再分布的电压为 $V_{ox0}=-Q_{b0}/C_{ox}$。最后根据 KVL，开始强反型的栅体压降为 $V_{GB0}=-\phi_0+2(-\phi_p)+V_{ox0}$，即

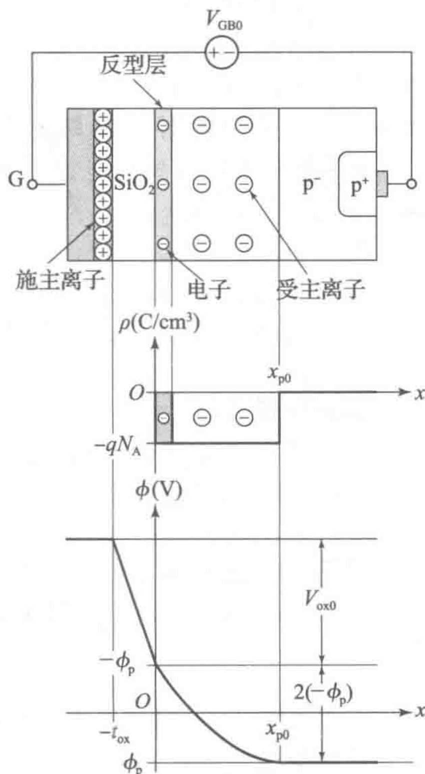


图 3.5 强反型刚开始的情况

$$V_{GB0} = -\phi_0 - 2\phi_p - \frac{Q_{b0}}{C_{ox}} \tag{3.6}$$

换句话说，为了开始强反型，我们需要增大 V_{GB}，这可从参考电势 $-\phi_0$ 开始：(a)由 $2(-\phi_p)$项来提升表面电势 $\phi(0)$，从 ϕ_p 到 0 再到 $-\phi_p$；(b)由 $-Q_{b0}/C_{ox}$项来维持体内耗尽层的单位面积电荷 Q_{b0}。

例 3.2 假设掺杂浓度与例 3.1 中相同，且有 $t_{ox}=25$nm，求出强反型刚开始时所有相关物理量的值。

解：

单位电容是：

$$C_{ox} = \frac{345\times10^{-15}}{2.5\times10^{-6}}\text{F/cm}^2 = 138\text{nF/cm}^2$$

强反型刚开始时，耗尽层宽度是：

$$x_{p0} = \sqrt{\frac{2\times1.04\times10^{-12}}{1.602\times10^{-19}\times10^{16}}\times2\times(0.35)}\text{m} = 301\text{nm}$$

相应的电场强度是：

$$E_{m0} = \frac{1.602\times10^{-19}\times10^{16}\times30.1\times10^{-6}}{1.04\times10^{-12}}\text{V/cm} = 46.4\text{kV/cm}$$

体内耗尽层的单位电荷量是：

$$\begin{aligned}Q_{b0} &= -\sqrt{4\times1.602\times10^{-19}\times10^{16}\times1.04\times10^{-12}\times(0.35)}\text{C/cm}^2\\ &= -48.3\text{ nC/cm}^2\end{aligned}$$

最终，根据式(3.6)所需的栅体压降为：

$$V_{GB0} = \left(-0.94-2\times(-0.35)-\frac{-48.3}{138}\right)\text{V} = (-0.94+0.70+0.35)\text{V} = +0.11\text{V}$$ ◀

一旦达到强反型，表面电势 $\phi(0)$和耗尽层宽度 x_p 随着外加电压 V_{GB}的变化将会非常小，因为 $\phi(0)$只与 V_{GB}数相关。任何高于 V_{GB0}的增加 ΔV_{GB}将实质上伴随着耗尽层内单位电子电荷的增加 $\Delta Q_n \approx -C_{ox}\Delta V_{GB}$，这些电子都是由拥有相当多电子 n^+ 源区(这也是命名的原因)提供的。事实上，为了将这些电子吸引到反型层中，栅极必须与源区轻微重叠，以允许边缘电场将电子从源区吸引到沟道。综上所述，硅栅工艺的优势就是，它是自对准工艺的。

例 3.3 假设数据与例 3.2 中相同，求出强反型时 ΔV_{GB}为 1V 时 ΔQ_n 的变化。与耗尽层电荷 Q_{b0}进行比较。

解：

我们有 $\Delta Q_n \approx -C_{ox}\Delta V_{GB} = -(138\text{nF/cm}^2)\times(1\text{V}) = -138\text{nC/cm}^2$，这表明反型层电荷$|\Delta Q_n|$比耗尽层电荷$|\Delta Q_{b0}|$(本例中为$=48.3\text{ nC/cm}^2$)要大得多，尽管反型层比耗尽层要薄得多。 ◀

阈值电压 V_{t0}

我们现在希望将上述结果应用在完整的 MOSFET 中，先从图 3.6 所示两种类型 MOSFET 强反型开始时的情况开始讨论。注意到反型层正处于氧化物-体表面的下方，同时耗尽层不但延伸到反型层，而且也在源和漏区周围，它在体中形成了 pn 结。阈值电压 V_t 记为使得沟道区内强反型开始时的栅源电压 v_{GS}值。当体和源达到相同电势(在图 3.6 中是接地)时，阈值记为 V_{t0}。对于 nMOSFET 的情况，其通常形式为：

$$V_{t0} = -\phi_0 - 2\phi_p - \frac{Q_{b0}}{C_{ox}} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_i}{C_{ox}} \tag{3.7}$$

前三项是式(3.6)，第四项包括单位面积电荷 Q_{ox}，是由于体表面悬空键以及正离子在制造过程中被氧化物-体交界面附近的氧化物所捕获。前面的四项称为 nMOSFET 的本征阈值电压。最后一项，包括单位面积电荷 Q_i，是由于在本体中有意加入的杂质所致，它正处于

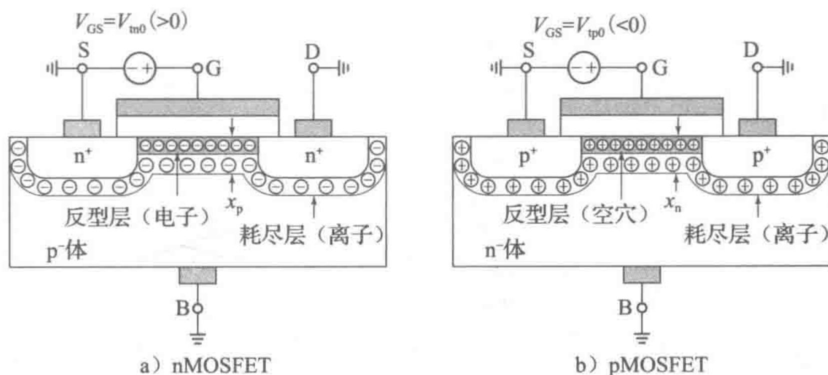


图 3.6 强反型的开始

氧化物-体界面，用来调整 V_{t0} 到规定值。对于 p 型杂质，有 $Q_i<0$；对于 n 型杂质，有 $Q_i>0$。显然，本征阈值也称为未掺杂阈值。

例 3.4 假设数据与例 3.2 中相同，表面态密度 $N_{ox}=2\times10^{11}$ 个正离子/cm²，

(a) 求出 nMOSFET 的本征阈值。

(b) 求出使得 $V_{t0}=+1.0\text{V}$ 的掺杂类型及浓度 N_i。

(c) 求出使得 $V_{t0}=-1.0\text{V}$ 的掺杂类型及浓度 N_i。

解：

(a) 我们有 $Q_{ox}=qN_{ox}=1.602\times10^{-19}\times2\times10^{11}\text{C/cm}^2=32\text{nC/cm}^2$，所以，用例 3.2 中的结果

$$V_{t0}=\left(0.11-\frac{32}{138}\right)\text{V}=-0.122\text{V}$$

(b) 为了将 V_{t0} 从其本征值 -0.122V 提高到 $+1.0\text{V}$，我们需要 p 型注入，如硼，其会在靠近表面的体中提供负离子($Q_i<0$)。令

$$+1.0=-0.122-\frac{Q_i}{C_{ox}}=-0.122-\frac{-qN_i}{C_{ox}}=-0.122+\frac{1.602\times10^{-19}N_i}{138\times10^{-9}}$$

得到 $N_i=9.66\times10^{11}$ 个 p 型离子/cm²。

(c) 为了将 V_{t0} 从其本征值 -0.122V 降低到 -1.0V，我们需要 n 型注入，如磷，其会在靠近表面的体中提供正离子($Q_i>0$)。令

$$-1.0=-0.122-\frac{Q_i}{C_{ox}}=-0.122-\frac{qN_i}{C_{ox}}=-0.122-\frac{1.602\times10^{-19}N_i}{138\times10^{-9}}$$

得到 $N_i=7.56\times10^{11}$ 个 n 型离子/cm²。 ◀

练习 3.1

证明对于多晶硅栅工艺，nMOSFET 阈值电压中的前两项可以简写为：

$$-\phi_0-2\phi_p=V_T\ln(N_A/N_D)$$

四种 MOSFET 类型和电路符号

根据体类型(p^- 或 n^-)和阈值电压极性($V_t>0$ 或 $V_t<0$)，我们可得四种类型的 MOSFET。现在给出如下一些很重要的观察结果。

- $V_{t0}>0$ 时，通常称 nMOSFET 是截止的，因为在 $v_{GS}=0$ 时没有沟道产生。我们需要将 V_{GS} 上升到 $V_{t0}(>0)$，以产生一个沟道，或是加强沟道区的导电性。这种类型的器件通常称为增强型 nMOSFET。(p 型)注入剂量越大，V_{t0} 就越正。这个器件的电路图形符号如图 3.7a 所示，用一条虚线来表示通常不导电的沟道。
- $V_{t0}<0$ 时，通常称 nMOSFET 是导通的，因为在 $v_{GS}=0$ 时已有沟道产生。在这种情况下，我们需要将 V_{GS} 降低到 $V_{t0}(<0)$ 以下，以消除沟道，或是耗尽沟道区内的自由电子。这种类型的器件称为耗尽型 nMOSFET。(n 型)注入剂量越大，V_{t0} 就越

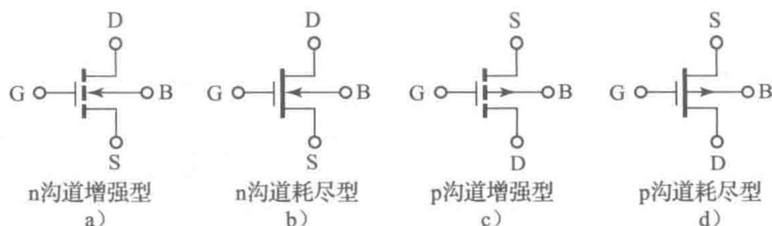


图 3.7 四种 MOSFET 类型的完整电路图形符号

负。这个器件的电路图形符号如图 3.7b 所示，用一条实线来表示通常导电的沟道。

- $V_{t0}<0$ 时，通常称 pMOSFET 是截止的，因为在 $v_{GS}=0$ 时没有沟道产生。我们需要将 V_{GS}降低到 $V_{t0}(<0)$以下，以产生一个沟道，或是加强沟道区的导电性。这个器件图形符号如图 3.7c 所示，通常称为增强型 pMOSFET。
- $V_{t0}>0$ 时，通常称 pMOSFET 是导通的，因为在 $v_{GS}=0$ 时已有沟道产生。我们需要将 V_{GS}上升到 $V_{t0}(>0)$，以耗尽其自由空穴。这个器件的电路图形符号如图 3.7d 所示，通常称为耗尽型 pMOSFET。

常用的 MOSFET 工作状态是将体与源连接起来，得到一个三端器件。这是分立器件中的情形。图 3.8 画出了互连时常用的简化 MOSFET 图形符号。为了避免难画的虚线，增强型也用实线表示。为了表示耗尽型中已有沟道，用了粗线表示。

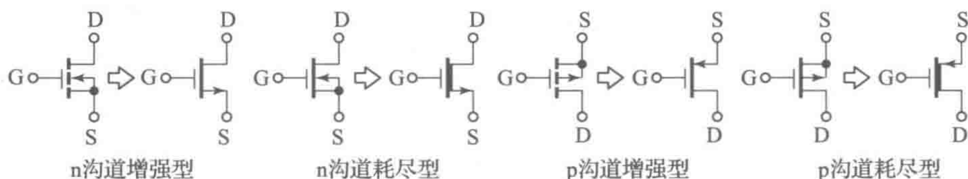


图 3.8 四种类型 MOSFET 的简化电路图形符号

体效应和阈值电压 V_t

当复合器件共享同一衬底时，衬底必须接最负电压(MNV)来避免无意中任何体-源或体-漏 pn 结导通。同样，pMOSET 的公共衬底必须接最正电压(MPV)。因此对于 nMOSFET，源电压可能比体电压要高，即 $V_S>V_B$(同样，对于 pMOSFET 有 $V_S<V_B$)。我们希望研究 nMOSFET 中体偏置对阈值电压的影响。

将 nMOSFET 的源-体电压记为 $V_{SB}(V_{SB}\geqslant 0)$，我们可以将前面得到的结果重新进行应用，只需将式(3.5)中的[2(−ϕ_p)]用[2(−ϕ_p)+V_{SB}]代替。结果是：

$$Q_b=-\sqrt{2qN_A\varepsilon_{si}(V_{SB}+2|\phi_p|)}$$

这里我们用 $\phi_P(\phi_P<0)$的绝对值来降低混淆的可能性。显然，耗尽区电荷 $Q_b(Q_b>0)$的增加是以反型层电荷 $Q_n(Q_n<0)$的减少为代价的。为了使沟道回归其之前的状态，我们需要适当增加 v_{GS}。为了求出需要增加多少，我们将式(3.7)写为：

$$V_t=-\phi_0-2\phi_p-\frac{Q_b}{C_{ox}}-\frac{Q_{ox}}{C_{ox}}-\frac{Q_i}{C_{ox}}=-\phi_0-2\phi_p-\frac{Q_{b0}}{C_{ox}}-\frac{Q_{ox}}{C_{ox}}-\frac{Q_i}{C_{ox}}-\frac{Q_b-Q_{b0}}{C_{ox}}$$

$$=V_{t0}-\frac{Q_b-Q_{b0}}{C_{ox}}$$

我们可以将阈值电压表示为一个更简洁的形式：

$$V_t=V_{t0}+\gamma\left[\sqrt{V_{SB}+2|\phi_p|}-\sqrt{2|\phi_p|}\right] \tag{3.8}$$

式中：V_{t0}是式(3.7)中 V_t 在零体偏置时的值；

$$\gamma=\frac{\sqrt{2qN_A\varepsilon_{si}}}{C_{ox}} \tag{3.9}$$

称为体效应参数，其单位为 $V^{1/2}$，典型值是$1V^{1/2}$的几分之一。

例 3.5 (a) 对于例 3.4(b)问中的增强型 nMOSFET，有 $V_{t0}=-1.0\text{V}$，求出在 $V_{SB}=1\text{V}$ 和 $V_{SB}=5\text{V}$ 时的 V_t 值。

(b) 对于例 3.4(c)问中的耗尽型 nMOSFET，有 $V_{t0}=-1.0\text{V}$，求出在 $V_{SB}=1\text{V}$ 和 $V_{SB}=5\text{V}$ 时的 V_t 值。V_{SB} 为多少时有 $V_t=-0.5\text{V}$?

解：

$$\gamma=\frac{\sqrt{2\times 1.602\times 10^{-19}\times 10^{16}\times 1.04\times 10^{-12}}}{138\times 10^{-9}}\text{V}^{1/2}=0.418\text{V}^{1/2}$$

(a) 对于增强型 nMOSFET，我们有：

$$V_t(V_{SB}=1\text{V})=(1.0+0.418\times(\sqrt{1+0.7}-\sqrt{0.7}))\text{V}=(1.0+0.195)\text{V}=1.195\text{V}$$

$$V_t(V_{SB}=5\text{V})=(1.0+0.418\times(\sqrt{5+0.7}-\sqrt{0.7}))\text{V}=(1.0+0.648)\text{V}=1.648\text{V}$$

(b) 对于耗尽型 nMOSFET，我们有：

$$V_t(V_{SB}=1\text{V})=(-1.0+0.418\times(\sqrt{1+0.7}-\sqrt{0.7}))\text{V}=(-1.0+0.195)\text{V}=-0.805\text{V}$$

$$V_t(V_{SB}=5\text{V})=(-1.0+0.418\times(\sqrt{5+0.7}-\sqrt{0.7}))\text{V}=(-1.0+0.648)\text{V}=-0.352\text{V}$$

令

$$-0.5=-1.0+0.418(\sqrt{V_{SB}+0.7}-\sqrt{0.7})$$

得到：

$$V_{SB}=3.43\text{V}$$ ◀

这个例题表明，体偏置会使得 nMOSFET 的阈值电压朝着正向移动，无论其是耗尽型还是增强型。相反地，对于 pMOFET，其会朝着负向移动。对于 pMOSFET 的情况，式(3.8)变为：

$$V_t=V_{t0}-\gamma\left[\sqrt{V_{BS}+2\phi_n}-\sqrt{2\phi_n}\right] \tag{3.10}$$

式中：γ 仍然由式(3.9)给出，但需用 N_D 代替 N_A。V_t 与体偏置的关系称为体效应，体本身有时也称为背栅，因为其像栅极一样影响反型层，虽然方向相反且关系是平方根的形式。

例 3.6 一个特定的增强型 pMOSFET 有 $V_{t0}=-1.5\text{V}$ 和 $\gamma=0.5\text{V}^{1/2}$。若 $\phi_n=+0.3\text{V}$ 求出在 $V_{BS}=3\text{V}$ 时的 V_t。

解：

$$\begin{aligned}V_t(V_{BS}=3\text{V})&=(-1.5-0.5\times(\sqrt{3+2\times 0.3}-\sqrt{2\times 0.3}))\text{V}\\&=(-1.5-0.56)\text{V}=-2.06\text{V}\end{aligned}$$

如上所述，体偏置将会使 pMOSFET 的阈值电压朝着负向偏移，无论 V_{t0} 的极性如何。◀

3.3 n 沟道 MOSFET 的特性

我们现在准备研究 n 沟道 MOSFET 的 i-v 特性，一旦我们掌握了 n 沟道 MOSFET 的特性，相应 p 沟道 MOSFET 的也就很简单了。图 3.9 画出了从 $v_{DS}\approx 0$ 开始逐渐提高 v_{DS} 时，n 沟道的变化。一旦 MOSFET 处于强反型状态，其沟道可以看作一个长为 L、宽为 W、厚度与过驱动电压成比例的电阻，其中过驱动电压是指栅源电压减去阈值电压的值，即

$$V_{OV}=v_{GS}-V_t \tag{3.11}$$

例如，例 3.3 中的器件，V_{OV} 的每一伏特都表示沟道内存在 -138nC/cm^2 的电子电荷，因此 V_{OV} 越大，沟道导电性也就越强。如果我们对漏极外加一个 $v_{DS}>0$，电子将会从源极通过沟道漂移到漏极，跟普通的电阻相同(因此这一工作区域是电阻性的)，从而产生电流。但是，电子是带负电的，所以漏极电流 i_D 是流入器件的，如图 3.9a 所示。源和漏的名称反映了移动电荷(nMOSFET 中是电子、pMOSFET 中是空穴)是在沟道的一侧供应，并在沟道的另一端所吸收。

晶体管区

如果继续增大 v_{DS}，一个有趣的影响将会产生，即沟道一头会变窄，如图 3.9b 所示。这是因为在源端我们有 $V_{OV}=V_{GS}-V_t$，在漏端我们仅有 $V_{OV}=(V_{GS}-v_{DS})-V_t$，这表明此处的沟道较细。例如，令 $V_t=1V$，$V_{GS}=5V$，$v_{DS}=2V$。那么源端的过驱动电压是 $V_{OV(source)}=(5-1)V=4V$而漏端则是 $V_{OV(drain)}=((5-2)-1)V=2V$。在这个例子中，漏端的沟道厚度仅为源端的一半。

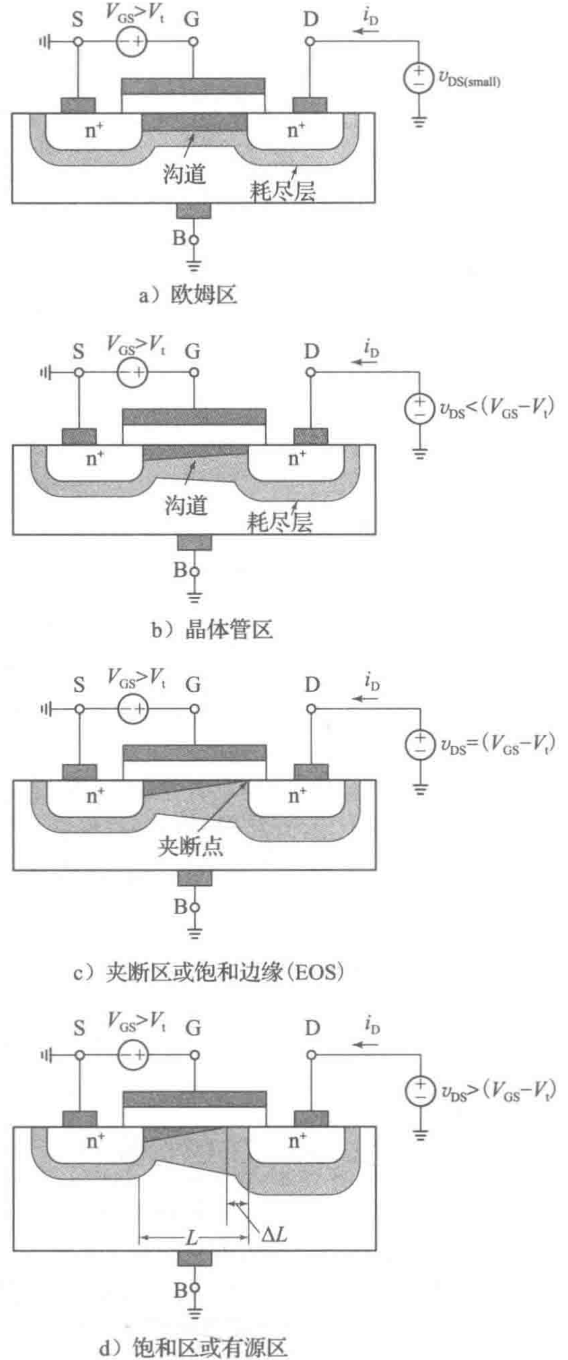


图 3.9　图解 nMOSFET 的不同工作区

为了进行数量上的研究，参考图 3.10 所示结构，其中假设将沟道像一块面包一样进行切片，并考虑离源端距离为 y 处的切片宽度为 dy。每一切片的电压，从最左端的 0V 变化到最右端的 v_{DS}，所以某个特定切片处的电压 $v(y)$将会落在 $0\leqslant v(y)\leqslant v_{DS}$内。现在，切片上方的栅带与沟道本身形成了一个电容 $dC=C_{ox}\times W\times dy$，所以根据电容法则，沟道内的电荷量是：

$$dQ_n=-dC\{[V_{GS}-v(y)]-V_t\}$$
$$=-C_{ox}Wdy[V_{GS}-V_t-v(y)]$$

这个电荷是负的，因为其是由电子组成的。穿过沟道的压降 v_{DS}在沟道内产生了一个电场 E，其从漏指向源。这个电场又使得负电荷 dQ_n 向漏端移动，从而产生电流 i_D。由定义，有：

$$i_D=-\frac{dQ_n}{dt}=C_{ox}W[V_{GS}-V_t-v(y)]\frac{dy}{dt}$$

式中：dy/dt 代表 dQ_n 向漏端移动的速度。这个速度与电场成正比，即

$$dy/dt=-\mu_n E(y)$$

式中：μ_n 是电子迁移率(这个负号是因为电子流动方向与电场方向相反)。但是，电场和电势的关系为 $E(y)=-dv(y)/dy$，所以 $dy/dt=\mu_n dv(y)/dy$。代入上述等式，得到：

$$i_D=\mu_n C_{ox}W[V_{GS}-V_t-v(y)]\frac{dv(y)}{dy}$$

两边同乘 dy 并从 $v(y)=0$ 的 $y=0$ 处积分到 $v(y)=v_{DS}$的 $y=L$ 处，我们得到：

$$\int_0^L i_D dy=\mu_n C_{ox}W\int_0^{v_{DS}}[V_{GS}-V_t-v(y)]dv(y)$$

左端变为 i_D，右端变为 $(V_{GS}-V_t)v_{DS}-\frac{1}{2}\times v_{DS}^2$。这使得 i_D 变为下面的形式：

$$i_D=k\left[(V_{GS}-V_t)v_{DS}-\frac{1}{2}v_{DS}^2\right] \tag{3.12}$$

式中：

$$k=k'\frac{W}{L} \tag{3.13}$$

称为器件跨导参数。这是一个比例因子，单位为 A/V²，表示在给定的 V_{GS}、V_t、v_{DS} 下器件所得到的电流。IC 设计者可以通过指定器件尺寸 W 和 L 来得到合适的 k 值以满足需求，这就是使用限定性器件的原因。该值

$$k' = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \tag{3.14}$$

称为工艺跨导参数，单位为 A/V²。与其他的器件相同，它与特定的制造工艺相关，因此，称为限定性工艺。图 3.11 画出了在给定的过驱动电压 V_{OV} 下 i_D 相对于 v_{DS} 的变化图。

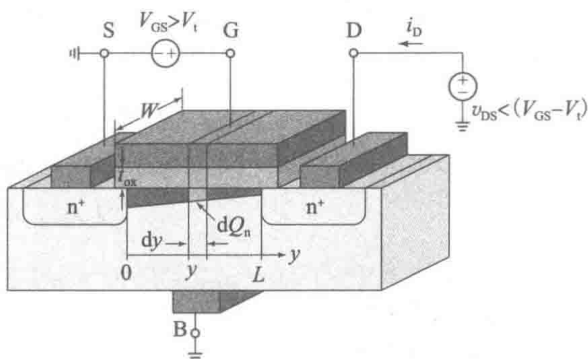


图 3.10 晶体管区的 nMOSFET

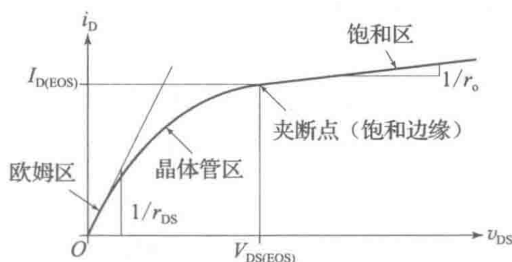


图 3.11 在给定过驱动电压 $V_{OV} = V_{GS} - V_t > 0$ 下的完整 i_D-V_{DS} 特性曲线。注意到 $V_{DS(EOS)} = V_{OV}$

我们观察到靠近原点处，v_{DS} 足够小，以至于式(3.12)中的二次项可以忽略，在特定的栅源驱动电压 V_{GS} 下，i_D-v_{DS} 特性曲线表现为一条直线，即

$$i_D \approx k(V_{GS} - V_t)v_{DS} \tag{3.15}$$

因此，v_{DS} 较小时的区域称为线性区。应用欧姆定律重新写出式(3.15)，为：

$$i_D = \frac{1}{r_{DS}} v_{DS} \tag{3.16}$$

这证明沟道确实表现为一个电阻，这也是称这个区域为欧姆区的原因。沟道电阻由过驱动电压 V_{OV} 控制，即

$$r_{DS} = \frac{1}{k(V_{GS} - V_t)} = \frac{1}{k' \dfrac{W}{L} V_{OV}} \tag{3.17}$$

电阻与 W/L 的比值(也称为宽长比)相关，式(3.17)表示 IC 设计者选择合适的 W/L 比值，可以在给定过驱动电压 V_{OV} 下将这个电阻设置为任意值。

例 3.7 (a) 假设 $\mu_n = 600\ \text{cm}^2/(\text{V}\cdot\text{s})$，$C_{ox} = 83\text{nF/cm}^2$，$V_t = 1.0\text{V}$，在 $V_{GS} = 5\text{V}$ 下有 $r_{DS} = 1\text{k}\Omega$，给出其宽长比。

(b) 对 $V_{GS} = 4$，3，2，1，0V，计算 r_{DS}。

解：

(a) 由式(3.14)，$k' = 600 \times 83 \times 10^{-9}\ \text{A/V}^2 \approx 50\ \mu\text{A/V}^2$。应用式(3.17)，令

$$10^3 = \frac{1}{50 \times 10^{-6}(W/L) \times (5-1)}$$

我们得到 $W/L = 5$。因此，$k = (50\ \mu\text{A/V}^2) \times 5 = 250\mu\text{A/V}^2$。

(b) 由式(3.17)，对于 $V_{GS} = 4\text{V}$，我们有：

$$r_{DS} = \frac{1}{250 \times 10^{-6} \times (4-1)}\Omega = 1.333\text{k}\Omega$$

同样，对于 $V_{GS} = 3\text{V}$，我们求出 $r_{DS} = 2\text{k}\Omega$，对于 $V_{GS} = 2\text{V}$，我们求出 $r_{DS} = 4\text{k}\Omega$。对于 $V_{GS} \leqslant 1\text{V}$，MOSFET 是截止的，因此 $r_{DS} = \infty$。◀

当我们进一步增大 v_{DS}，漏端的沟道将会逐渐变薄，式(3.12)中的二次项变得越来越有影响。因此，曲线的斜率下降，这表明沟道的动态电阻相应增加。这个工作区域称为晶体管区，它与电子管的特性相似。我们在图 3.9 所示的序列中还观察到，随着持续增加 v_{DS}，与体-漏结相关的耗尽层也会变宽。

夹断点

一旦 v_{DS} 达到临界值 $V_{DS(EOS)} = V_{GS} - V_t$，或是

$$V_{DS(EOS)}=V_{OV} \tag{3.18}$$

漏端的沟道厚度将会降为 0，如图 3.9c 所示，i_D-v_{DS}曲线上相应的点称为夹断点。我们马上将看到，这个点标志着饱和状态的边缘(EOS)或开端。通过将 $V_{DS}=V_{GS}-V_t$ 代入式(3.12)，很容易求出该点电流。结果是：

$$I_{D(EOS)}=\frac{k}{2}(V_{GS}-V_t)^2 \tag{3.19}$$

式中：k 由式(3.13)给出。这个关系还可以表示为 $I_{D(EOS)}=(k/2)V_{DS(EOS)}^2$，即

$$I_{D(EOS)}=\frac{k}{2}V_{OV}^2 \tag{3.20}$$

饱和区

如果我们将 v_{DS}上升到临界值 $V_{DS(EOS)}$ 以上，夹断点的电压依然为 $V_{DS(EOS)}$，过量差值 $v_{DS}-V_{DS(EOS)}$ 在夹断点和漏区边缘之间的一块厚度为 ΔL 的窄耗尽层上下降。如图 3.9d 所示，夹断点从漏端向左侧移动，实际上把沟道缩短了 ΔL。这种情况称为沟道长度调制，得到真实的沟道长度为：

$$L_{actual}=L-\Delta L=L\left(1-\frac{\Delta L}{L}\right)$$

为了求出通过夹断点的 i_D-v_{DS}特性，我们应用式(3.19)，并写出：

$$i_D=\frac{1}{2}\left(k'\frac{W}{L_{actual}}\right)(V_{GS}-V_t)^2=\frac{1}{2}k'\frac{W}{L\left(1-\frac{\Delta L}{L}\right)}(V_{GS}-V_t)^2$$

$$\approx\frac{1}{2}k'\frac{W}{L}\left(1+\frac{\Delta L}{L}\right)(V_{GS}-V_t)^2$$

其中，我们用到了 $\Delta L/L\ll 1$。文献中的惯例是假设 $\Delta L/L$ 分数变化与 v_{DS}呈线性关系，即 $\Delta L/L=\lambda v_{DS}$。因此，通过夹断点的 i_D- v_{DS}特性表示为：

$$i_D=\frac{k}{2}(V_{GS}-V_t)^2(1+\lambda v_{DS}) \tag{3.21}$$

式中：k 由式(3.13)给出。比例常数 λ(单位为 V^{-1})称为沟道长度调制参数。通常，λ 的大小在 $0.01V^{-1}$到 $0.1V^{-1}$之间，为了简化计算，在手工计算中通常忽略($\lambda\to 0$)。越过夹断点的区域称为饱和区，因为此处的 i_D 随着 v_{DS}的变化而变化很细微，也就是饱和了。

饱和区特性曲线的斜率是饱和态 MOSFET 输出电阻 r_o 的倒数。对式(3.21)微分，并在饱和边缘处计算，得到：

$$\frac{1}{r_o}=\frac{\partial i_D}{\partial v_{DS}}=\lambda I_{D(EOS)}$$

输出电阻通常表示为：

$$r_o=\frac{1}{\lambda I_D} \tag{3.22}$$

式中：I_D 是在真实饱和区工作点 $I_D\approx I_{D(EOS)}$ 处的电流。通常，r_o 相对于 MOSFET 电路中的其他电阻是相当大的。实际上，λ 的值越小，r_o 的值越大。在 $\lambda\to 0$ 的极限下，饱和 MOSFET 将会表现为理想电流源，更精确地说，它是一个理想的压控电流源(VCCS)，其控制电压是 V_{GS}。同样，MOSFET 也可用作放大器。

注意：为了保证饱和边缘处式(3.12)和式(3.21)的连续性，式(3.12)的右边应该乘以一项$(1+\lambda v_{DS})$。实际上，为了简化晶体管区的计算，λv_{DS}项通常是忽略的，因为 v_{DS}在该区非常小。

例 3.8 一个特定的 nMOSFET 有 $V_{t0}=1.0$，$k=0.5mA/V^2$，$\lambda=0.02V^{-1}$，$\gamma=0.6V^{1/2}$，及 $\phi_p=-0.3V$。

(a) 若 $V_{GS}=3V$、$V_{SB}=0$，求出 $V_{DS(EOS)}$、$I_{D(EOS)}$和 r_o。

(b) 在 $V_{DS}=0.5V_{DS(EOS)}$ 处 I_D 的值为多少？在 $V_{DS}=2V_{DS(EOS)}$ 处呢？$V_{DS}=4V_{DS(EOS)}$ 处呢？

(c) 若 $V_{SB}=2V$，重复(a)问和(b)问。评价你的结果。

(d) 在 $V_{GS}=3V$，求出使得 $V_{DS(EOS)}=1V$ 的 V_{SB}。相应的 $V_{D(EOS)}$ 值是多少？

解：

(a) 我们有 $V_{DS(EOS)}=V_{OV}=V_{GS}-V_{t0}=(3-1)V=2V$，所以，

$$I_{D(EOS)}=\frac{k}{2}V_{OV}^2(1+\lambda V_{DS(EOS)})=\frac{0.5}{2}\times 2^2\times(1+0.02\times 2)\text{mA}=1.04\text{mA}$$

而且，$r_o=(1/(0.02\times 1.04))\Omega=48k\Omega$。

(b) 参考图 3.11 所示曲线，我们观察到 $V_{DS}=0.5V_{DS(EOS)}=1V(<V_{OV})$ 时，MOSFET 工作在晶体管区，当 $V_{DS}=2V_{DS(EOS)}=4V(>V_{OV})$ 时，MOSFET 工作在饱和区。因此，应用式(3.12)和式(3.21)，求出：

$$I_D(V_{DS}=1V)=0.5\times(2\times 1-1^2/2)\text{mA}=0.75\text{mA}$$

$$I_D(V_{DS}=4V)=(0.25)\times 2^2\times(1+0.02\times 4)\text{mA}=1.08\text{mA}$$

同样，$I_D(V_{DS}=8V)=1.16\text{mA}$。

(c) 由式(3.8)，我们现在有 $V_t(V_{SB}=2V)=(1.0+0.6\times(\sqrt{2+2\times 0.3}-\sqrt{2\times 0.3}))$ 因此，$V_{DS(EOS)}=V_{OV}=(3-1.5)V=1.5V$ 有类似的计算，我们得到 $I_{D(EOS)}=0.25\times 1.5^2\times(1+0.02\times 1.5)\text{mA}=0.58\text{mA}$，以及

$$r_o=(1/(0.02\times 0.58))\Omega=86k\Omega$$

而且，

$$I_D(V_{DS}=0.75V)=0.5\times(1.5\times 0.75-0.75^2/2)\text{mA}=0.42\text{mA}$$

$$I_D(V_{DS}=3V)=0.25\times 1.5^2\times(1+0.02\times 3)\text{mA}=0.60\text{mA}$$

同样，$I_D(V_{DS}=6V)=0.63\text{mA}$。由于体效应而增大的 V_t 导致了沟道的导电性下降，因此降低了漏电流，也增大了 r_o。

(d) 我们现在有 $V_t=V_{GS}-V_{DS(EOS)}=(3-1)V=2V$ 应用式(3.8)，令

$$2=1.0+0.6(\sqrt{V_{SB}+0.6}-\sqrt{0.6})$$

得到 $V_{SB}=5.36V$。最后，$I_{D(EOS)}=0.25\times 1^2\times(1+0.02\times 1)\text{mA}=0.255\text{mA}$。◀

确定 nMOSFET 的工作区

随着学习的深入，我们经常会遇到根据一些不完全的数据来确定 MOSFET 工作区的问题。对于 nMOSFET 的情况，我们按照以下步骤进行。

- 若 $V_{GS}\leqslant V_t$，MOSFET 工作在截止区，$i_D=0$。
- 若 $V_{GS}>V_t$，MOSFET 导通，但其是工作在晶体管区还是饱和区？这取决于 $V_{DS}<V_{OV}$ 还是 $V_{DS}>V_{OV}$。为了弄清楚，按照以下步骤进行：
  - □ 假设 FET 是饱和的，用式(3.21)求出所缺的数据，直到你获得了 V_{OV} 和 V_{DS} 的数据。若有 $V_{DS}>V_{OV}$，假设正确，不需要进一步分析。
  - □ 否则，若你得到了矛盾的结果，这表明 MOSFET 是工作在晶体管区的，这时你必须用式(3.12)重新计算所缺的数据。作为最后的检验，验证有 $V_{DS}<V_{OV}$。
  - □ 另一种方法是，我们可以先假设 MOSFET 工作在晶体管区，再检验有 $V_{DS}<V_{OV}$ 来验证假设。否则，若得到了矛盾的结果，就表明 MOSFET 是饱和的。通过一个例题可以更好的理解上述的步骤。

例 3.9 一个特定的 nMOSFET 有 $V_t=1.5V$，$k=1.0\text{mA/V}^2$，$\lambda=0.02V^{-1}$，其工作在 $V_{SB}=0$。

(a) FET 在 $V_{GS}=5V$ 时给出 $I_D=2.2\text{mA}$，求出 V_{GS}。

(b) FET 在 $V_{DS}=1V$ 时给出 $I_D=2\text{mA}$，求出 V_{GS}。

(c) MOSFET 在 $V_{GS}=4.5V$ 时给出 $I_D=4\text{mA}$，求出 V_{DS}。

(d) MOSFET 在 $V_{GS}=2.5\text{V}$ 时给出 $I_D=0.52\text{mA}$，求出 V_{DS}。

解：

(a) 假设 MOSFET 是饱和的，再进行检验。由式(3.21)，过驱动电压 V_{OV} 需要维持 2.2mA 的电流以达到饱和，那么有：

$$2.2=\frac{1}{2}V_{OV}^2(1+0.02\times 5)$$

得到 $V_{OV}=2\text{V}$。因为 $V_{DS}>V_{OV}(5>2)$，MOSFET 确实工作在饱和区，这证明我们的假设是正确的。显然，

$$V_{GS}=V_t+V_{OV}=(1.5+2)\text{V}=3.5\text{V}$$

(b) 仍假设工作在饱和区。令

$$2=0.5V_{OV}^2(1+0.02\times 1)$$

这给出 $V_{OV}=1.98\text{V}$，这就有 $V_{DS}<V_{OV}(1\text{V}<1.98\text{V})$。这与饱和 MOSFET 的假设想矛盾，所以该器件一定工作在晶体管区，式(3.12)成立。在晶体管区，维持 2mA 的电流需要的过驱动电压 V_{OV} 可以由下式求得：

$$2=1\times\left(V_{OV}\times 1-\frac{1^2}{2}\right)$$

即 $V_{OV}=1.98\text{V}$。$V_{DS}<V_{OV}(1\text{V}<2.5\text{V})$ 的事实证明了 MOSFET 确实工作在晶体管区。而且，$V_{GS}=1.5+2.5=4\text{V}$。

(c) 另一种方法，现在假设 MOSFET 工作在晶体管区，再进行检验。现在有 $V_{OV}=V_{GS}-V_t=(4.5-1.5)\text{V}=3\text{V}$。由式(3.12)，必须有

$$4=1\times\left(3\times V_{DS}-\frac{V_{DS}^2}{2}\right)$$

即 $0.5V_{DS}^2-3V_{DS}+4=0$。这个二次方程式有两个解，$V_{DS}=2\text{V}$ 和 $V_{DS}=4\text{V}$。第二个解是不可接受的，因为它表示 MOSFET 饱和($V_{DS}>V_{OV}$)，并且根据式(3.21)可得 $I_D=4.86\text{mA}$，与所预期的 I_D 值明显是矛盾的。因此，MOSFET 确实工作在晶体管区，$V_{DS}=2\text{V}$。

(d) 依然假设其工作在晶体管区。我们有 $V_{OV}=(2.5-1.5)\text{V}=1\text{V}$，且

$$0.52=1\times\left(1\times V_{DS}-\frac{V_{DS}^2}{2}\right)$$

即 $0.5V_{DS}^2-V_{DS}+0.52=0$ 这个二次方程式的解是 $V_{DS}=1\pm 0.2j$，都是复数，这是不可接受的。显然，工作在晶体管区的假设是错的。我们需要用式(3.21)，并令

$$0.52=\frac{1}{2}\times 1^2\times(1+0.02V_{DS})$$

这得到 $V_{DS}=2\text{V}$。$V_{DS}>V_{OV}(2>1)$，这证明 MOSFET 确实是饱和的。◀

串/并联 MOSFET 组合

随着学习的深入，我们经常会遇到 MOSFET 的串联和并联情况。沟道的组合与电阻是类似的，即串联组合时沟道电阻相加，并联组合时沟道电导相加。

考虑拥有相同 V_t 和 k'，但宽长比分别为 $(W/L)_1$，$(W/L)_2$，$\cdots(W/L)_m$ 的 m 个 MOSFET，并令它们相互并联，如图 3.12 所示。每个 MOSFET 得到的电流与其宽长比呈线性关系，且因为所有的 MOSFET 都接在同样的输入驱动下，所有 MOSFET 的比例常数都相同。然而，从漏端得到的总电流是各个电流的和，所以，m 个 MOSFET 的并联组合等效于一个单个的 MOSFET，且有：

$$\left(\frac{W}{L}\right)_{eq}=\left(\frac{W}{L}\right)_1+\left(\frac{W}{L}\right)_2+\cdots+\left(\frac{W}{L}\right)_m \tag{3.23}$$

通常情况是将两个相同的 MOSFET 并联，这样可以直观地认为是单个 MOSFET，但它的 W 是原先的 2 倍。

图 3.13 画出了 m 个 MOSFET 串联的情况。为了简便，假设 $\gamma=0$、$\lambda=0$，可以证明若所有的 MOSFET 有相同的 V_t 和 k'，但宽长比分别为 $(W/L)_1$，$(W/L)_2$，$\cdots$，$(W/L)_m$

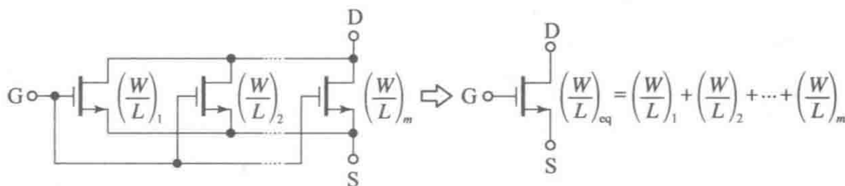


图 3.12 当 m 个 MOSFET 并联时，其表现一个宽长比为所有子 MOSFET 宽长比 W/L 之和的等效 MOSFET

它们等效为单个 MOSFET，则有：

$$\left(\frac{W}{L}\right)_{eq}^{-1}=\left(\frac{W}{L}\right)_1^{-1}+\left(\frac{W}{L}\right)_2^{-1}+\cdots+\left(\frac{W}{L}\right)_m^{-1} \tag{3.24}$$

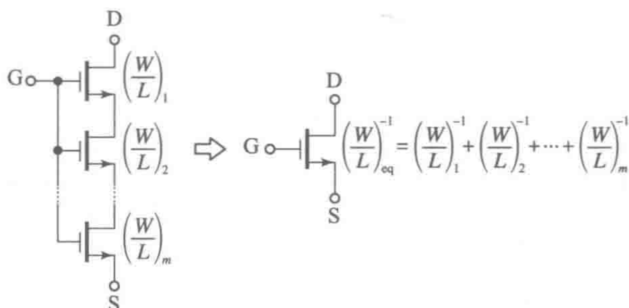


图 3.13 当 m 个 MOSFET 串联时，其等效为单个长宽比为所有子 MOSFET 长宽比 L/W 之和的 MOSFET

通常情况是将两个相同的 MOSFET 串联，这样可以直观地认为是单个 MOSFET，但它的 L 是原先的 2 倍。

例 3.10 假设两个 MOSFET 是用 0.5μm 的工艺制造的，有$(W/L)_1=(1.0\mu m)/(0.5\mu m)$，$(W/L)_2=(0.5\mu m)/(0.5\mu m)$。若 FET(a)并联或(b)串联，求出$(W/L)_{eq}$。当 W 和 L 中较小的是 0.5μm 时，写出$(W/L)_{eq}$的表达式。

解：

(a) 由式(3.23)，有：

$$(W/L)_{eq}=(1.0/0.5)+(0.5/0.5)=(1.5\mu m)/(0.5\mu m)$$

(b) 由式(3.24)，有：

$$(L/W)_{eq}=(0.5/1.0)+(0.5/0.5)=1.5, \text{或} (W/L)_{eq}=1/1.5=(0.5\mu m)/(0.75\mu m) \blacktriangleleft$$

3.4 MOSFET 的 *i-v* 特性

MOSFET 的两个重要特性是饱和区内 i_D 相对于 v_{DS}的变化，以及不同 V_{GS}值下 i_D 相对于 v_{DS}的变化。这些曲线既可以在实验室中通过曲线跟踪模式在示波器显示出来，也可以在计算机中用 PSpice 中得到(见附录 3A 中 MOSFET 的 PSpice 的模型)。

二极管工作模式

在图 3.14 所示的 PSpice 电路(见附录 3A)中，栅极和漏极被连接在一起，将 nMOSFET 变为一个两端器件，其有 $v_{DS}=v_{GS}$。对于 $v_{GS}<V_t$，器件是截止的。对于 $v_{GS}>V_t$，器件是工作在饱和区的，因为 $v_{DS}=v_{GS}$，即 $v_{DS}>V_{GS}-V_t$，这符合 MOSFET 的饱和条件。因此，当导通时，器件是由式(3.21)所控制的，其中 $v_{DS}=v_{GS}$，结果如图 3.15 的曲线所示，其揭示了二极管连接的 MOSFET 只进行单向电流流动的趋势(对于 nMOSFET，是漏到源，对于 pMOSFET，是源到漏)，而在相反的方向会受到抑制。因此，把这种工作模式称为二极管。

在此时需要指出的是 MOSFET 在 V_t 附近从截止到导通并不是突变的，而是一个逐渐进行的过程。实际上，在 v_{GS} 接近但又小于 V_t 时，沟道就已经开始导通。这个范围称为亚阈值区，i_D 随着 v_{GS} 的增加呈现出指数型的增加，而非二次型的增加。选择 V_t 值是强反型开始的 v_{GS} 值，主要是数值计算和记忆上的方便。

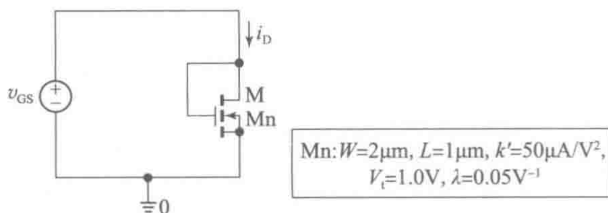


图 3.14 二极管连接的增强型 nMOSFET

在 V_{GS} 曲线上，给定点的斜率记为 g_m，称为跨导，有：

$$g_m = \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{V_{GS}} \qquad (3.25)$$

其单位为 A/V，对于微功率器件更可能是 μA/V。对式(3.21)微分，为了简便，假设 $\lambda=0$，并进行适当计算，我们得到跨导的三个不同表达式：

$$g_m = \sqrt{2kI_D} \qquad (3.26a)$$

$$g_m = kV_{OV} \qquad (3.26b)$$

$$g_m = \frac{I_D}{0.5V_{OV}} \qquad (3.26c)$$

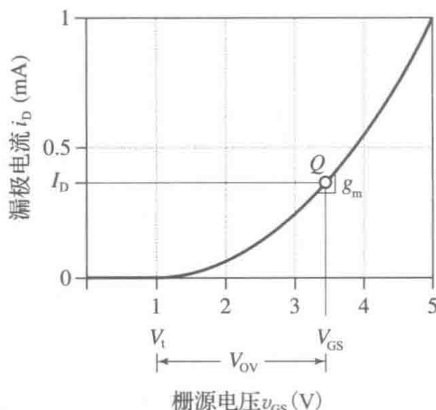


图 3.15 图 3.14 所示二极管连接的增强型 MOSFET 的 i-v 特性

虽然三种形式是等效的，但每一种都提供了不同的内涵。第一种形式表明 g_m 随着 I_D 平方根的增加而增加。相比之下，在双极型晶体管(BJT)中，g_m 与集电极电流 I_C 是线性相关的，即 $g_m=I_C/v_T$，其中，$v_T=26\text{mV}$ 是热电压。第二种形式表明 g_m 与过驱动电压 $V_{OV}=V_{GS}-V_t$ 线性相关。而且，比较式(3.26b)和式(3.17)，可得到额外的关系式 $g_m=1/r_{DS}$。

例 3.11 (a) 假设 nMOSFET 的数据与图 3.14 所示的相同，但为了简便，令 $\lambda=0$，求出对于 $I_D=1\text{mA}$ 的 V_{GS}。与图 3.15 所示的进行比较分析。

(b) 求出该点的 g_m，并与工作在相同电流大小下的 BJT 的 g_m 进行比较。

(c) 求出使得 FET 的 g_m 上升到与 BJT 相同时的宽长比 W/L。

解：

(a) 由式(3.13)，$k=50\times10^{-6}\times(2/1)\text{A/V}^2=100\mu\text{ A/V}^2$。应用式(3.21)，令 $\lambda=0$，我们有$1\times10^{-3}=\frac{1}{2}\times(100\times10^{-6})\times(V_{GS}-1.0)^2$，即 $V_{GS}=5.472\text{V}$，这比图 3.15 中所预测的值(5V)稍大，这是因为我们假设了 $\lambda=0$。这反映了忽略 λ 所带的误差。

(b) 由式(3.26a)，$g_m=\sqrt{2kI_D}=\sqrt{2\times100\times10^{-6}\times10^{-3}}\text{A/V}=0.447\text{mA/V}$。相比之下，在 1mA 时，BJT 有 $g_m=(1/26)\text{A/V}=38.5\text{mA/V}$，这比 MOS 的大了两个数量级。

(c) 因为 g_m 与$\sqrt{k}$及 $\sqrt{W/L}$是线性相关的，我们给出下面的等式：

$$\frac{\sqrt{(W/L)_{new}}}{\sqrt{(W/L)_{old}}} = \frac{38.5}{0.447}$$

这给出$(W/L)_{new}=14\,800$，这是个很奇怪的值。这个例题表明 FET 相比于 BJT 有一个很大的缺点，即 MOSFET 通常有低得多的 g_m。实际上，式(3.26c)给出 $g_m=I_D/[0.5(5.472-1.0)\text{V}]=I_D/(2\,236\text{mV})$，这与 BJT 的 $g_m=I_C/(26\text{mV})$相比是很不利的。◀

i_D-v_{DS}特性曲线

在图 3.11 中，我们介绍了沟道在图 3.9 所示的不同情形下的电路表现，但只考虑了

V_{GS}为固定值时的情况($V_{GS}>V_t$)。为了得到完整的图形，我们需要画出不同V_{GS}下的特性。图 3.16 所示的 PSpice 电路画出了图 3.14 所示的 FET 的 i_D-v_{DS}特性曲线，其中 V_{GS}是按 0.5V 的差异逐渐增大的。所得的结果是图 3.17 所示的一系列曲线，参考这些曲线我们得到以下的观察结果。

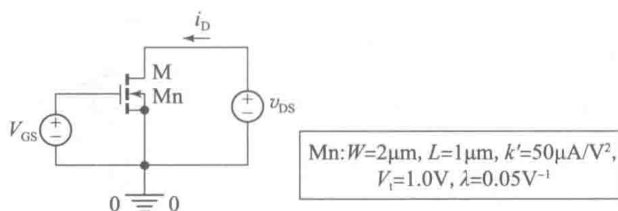


图 3.16 显示出图 3.14 中 nMOSFET 完整 i_D-v_{DS}特性曲线的 PSpice 电路

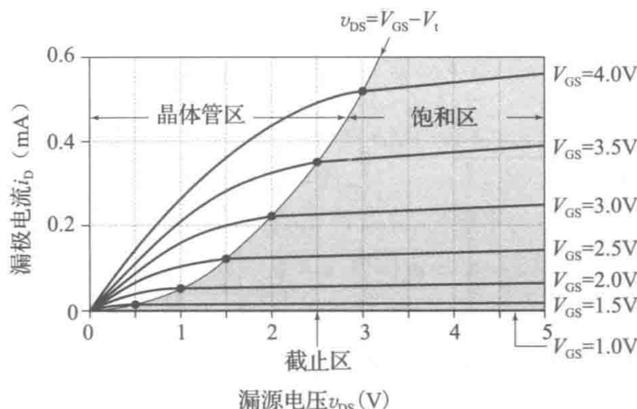


图 3.17 图 3.16 中增强型 nMOSFET 的完整 i_D-v_{DS}曲线及其工作区

- 对于 $V_{GS}<V_t$(在本例中是 $V_{GS}<1.0\text{V}$)，器件有 $i_D=0$，因此其处于截止区(CO)。其各端仅有漏电流，这在实际情况中可以忽略。
- 对于 $V_{GS}>V_t$，器件导通，当 $v_{DS}<(V_{GS}-V_t)$工作在晶体管区，当 $v_{DS}>(V_{GS}-V_t)$工作在饱和区。无论哪个区，都有相应的等式来求得 i_D，即

$$v_{DS}<(V_{GS}-V_t)\ \text{晶体管区}\Rightarrow i_D=k\left[(V_{GS}-V_t)v_{DS}-\frac{1}{2}v_{DS}^2\right]$$

$$v_{DS}>(V_{GS}-V_t)\ \text{饱和区}\Rightarrow i_D=\frac{k}{2}(V_{GS}-V_t)^2(1+\lambda v_{DS})$$

- $v_{DS}=V_{GS}-V_t=V_{OV}$时点的轨迹给出了两个区的边界(这个边界称为饱和边缘(简写为 EOS))。因为横坐标是均匀分布的，而纵坐标是二次分布的，这个轨迹是一个抛物线。实际上，可以看出这个轨迹就是图 3.15 所示的 i-v 曲线，但左移了 V_t。
- 饱和区曲线，在左端汇聚到 v_{DS}轴上一点，其值为$-1/\lambda$，如图 3.18 所示。这个电压也称为厄利电压 V_A，其推导方法与 BJT 中的情形类似，值为

$$V_A=\frac{1}{\lambda} \tag{3.27}$$

通常，V_A 的值在 10V 到 100V 之间。在该例中，有 $V_A=(1/0.05)\text{V}=20\text{V}$ 所以夹断点是 $v_{DS}=-V_A=-20\text{V}$。沟道越短，V_A 的值越小，表明 V_A 随 L 变化而变化。对于长沟道器件，其通常表示为一个经验形式 $V_A\approx L/(0.1\mu\text{m})\text{V}$，即 $\lambda\approx(0.1\mu\text{m}/L)\text{V}^{-1}$。

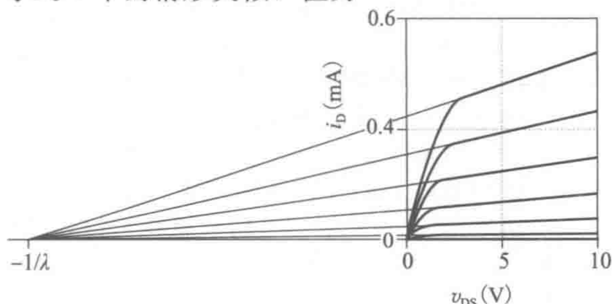


图 3.18 沟长调制效应对 i-v 特性的影响

pMOSFET 与 nMOSFET 的比较

从 nMOSFET 中得到的电压电流关系同样适用于 pMOSFET，只需(a)将所有电流反向及(b)将所有电压极性取反。图 3.19 所示的比较了这两个器件，其中电压被比作高度，所以高电压在上方，低电压在下方。

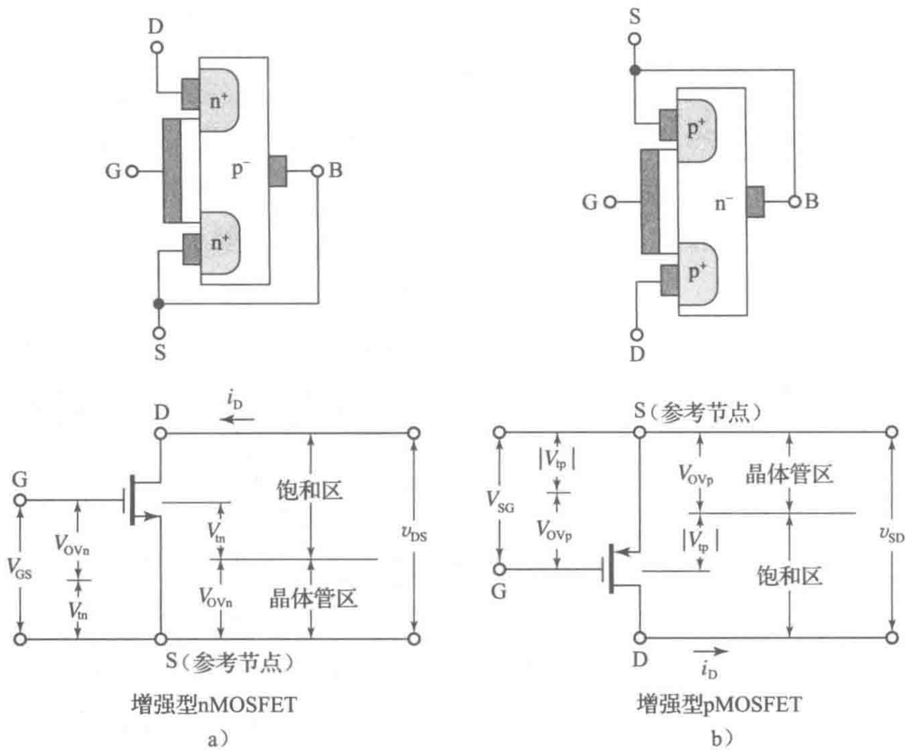


图 3.19　比较增强型 nMOSFET 和 pMOSFET 的电压极性、电流方向、电压范围和工作区域。上方的电压均为正

而且，流过每个器件的电流方向是向下的。下面是对两种器件相似点和不同点的总结。

- 在 nMOSFET 中电流 i_D 流入漏极，而在 pMOSFET 中是流出漏极。
- 在 p 沟道中，i_D 由从高电势的源极流向低电势的漏极的空穴组成。
- 在 n 沟道中，i_D 由从低电势的源极流向高电势的漏极的电子组成。然而，电子是带负电的，所以 i_D 的方向是从漏到源。
- 在两种器件中，源和漏都是可交换的。在 nMOSFET 中源极永远处于低电势，而在 pMOSFET 中其处于高电势。
- 增强型 nMOSFET 一般情况下是截止的。为了使其导通，我们需要为电子创造有利的条件，使其出现在沟道区域中。电子是带负电的，所以我们需要在栅极上施加相反的正电荷。这需要我们将栅电压 v_G 上升到至少比 v_s 大 V_{tn}，即阈值电压。$V_{OVn}=V_{GS}-V_{tn}$，$V_{OVn}>0$ 的值就称为过驱动电压。
- 增强型 pMOSFET 一般情况下是截止的。为了使其导通，我们需要为空穴创造有利的条件，使其出现在沟道区域中。空穴是带正电的，所以我们需要在栅极上施加相反的负电荷。这需要我们将栅电压 v_G 降低到至少比 v_s 小 V_{tp}，即阈值电压(对于增强型 pMOSFET，其阈值电压是负的，所以导通条件可表示为 $v_{SG}>|V_{tp}|$ 以防混淆)。$V_{OVn}=V_{GS}-V_{tp}$的值就称为过驱动电压。
- 若 v_{DS}足够大，可以满足条件 $v_{DS}>V_{OVn}$，n 沟道就工作在饱和态，且有：

$$i_D=\frac{k_n}{2}(V_{GS}-V_{tn})^2(1+\lambda_n v_{DS}),\quad v_{DS}>V_{OVn} \tag{3.28a}$$

- 若 v_{SD} 足够大，可以满足条件 $v_{SD}>V_{OVp}$，p 沟道工作在饱和态，且有：

$$i_D = \frac{k_p}{2}(V_{SG} - |V_{tp}|)^2(1+\lambda_p v_{SD}), \quad v_{SD} > V_{OVp} \tag{3.28b}$$

- 若 v_{DS} 足够小，可以满足条件 $v_{DS}<V_{OVn}$，n 沟道就工作在晶体管区，且有：

$$i_D = k_n\left[(V_{GS} - V_{tn})v_{DS} - \frac{1}{2}v_{DS}^2\right], \quad v_{DS} < V_{OVn} \tag{3.29a}$$

- 若 v_{SD} 足够小，可以满足条件 $v_{DS}<V_{OVp}$，p 沟道就工作在晶体管区，且有：

$$i_D = k_p[(V_{SG} - |V_{tp}|)v_{SD} - \frac{1}{2}v_{SD}^2], \quad v_{SD} < V_{OVp} \tag{3.29b}$$

- nMOSFET 和 pMOSFET 的器件跨导参数分别是：

$$k_n = k'_n\frac{W_n}{L_n}, \quad k_p = k'_p\frac{W_p}{L_p} \tag{3.30}$$

- nMOSFET 和 pMOSFET 的工艺跨导参数分别是：

$$k'_n = \frac{\mu_n\varepsilon_{ox}}{t_{ox}}, \quad k'_p = \frac{\mu_p\varepsilon_{ox}}{t_{ox}} \tag{3.31}$$

- 为了避免内部的 pn 结无意中导通，对于 nMOSFET，本体必须偏置在 $V_{SB}\geqslant 0$，对于 pMOSFET，偏置在 $V_{SB}\leqslant 0(V_{BS}\geqslant 0)$。
- nMOSFET 的体偏置会使得 V_{tn} 朝着正向变化，即

$$V_{tn} = V_{tn0} + \gamma_n\left[\sqrt{V_{SB}+2|\phi_p|} - \sqrt{2|\phi_p|}\right] \tag{3.32a}$$

- pMOSFET 的体偏置会使得 V_{tp} 朝着负向变化，即

$$V_{tp} = V_{tp0} - \gamma_p\left[\sqrt{V_{BS}+2\phi_n} - \sqrt{2\phi_n}\right] \tag{3.32b}$$

通常，用适当的实验测量来获得 V_{tn0}，V_{tp0}，λ_n，λ_p，γ_n，γ_p。

我们知道，式(3.31)的跨导参数与器件电流中的主要电荷的迁移率(μ_n 或 μ_p)成线性关系。

这并不令人意外，因为 MOSFET 的电流是漂移类型的。在前几章学习 BJT 时，我们遇到了相似的参数，称为饱和电流 I_s，其与器件中主要电流的电荷的扩散率(D_n 或 D_p)成线性关系，这也是称 BJT 电流为扩散型的原因。对于给定的掺杂浓度，电子迁移率和扩散率分别是空穴的 2 到 3 倍。因此，n 沟道 FET 比 p 沟道 FET 更优先使用，正如 npn BJT 要比 pnp BJT 优先使用一样。

例 3.12 某个 pMOSFET 有 $V_{t0}=-1.0\text{V}$，$k=0.4\text{mA/V}^2$，$\lambda=0.05\text{V}^{-1}$，$\gamma=0.73\text{V}^{1/2}$，及 $\phi_n=0.3\text{V}$ 除非特别说明，否则器件都工作在 $V_{BS}=0$

(a) 若 $V_{SG}=3\text{V}$ 求 $V_{SD}=1.5\text{V}$ 时的 I_D。

(b) 若 $V_{SD}=3\text{V}$，重复(a)问。

(c) 若 MOSFET 在 $V_{SG}=4\text{V}$ 时，有 $I_D=1.6\text{mA}$，求出 V_{SD}。

(d) 若 MOSFET 在 $V_{SD}=4\text{V}$ 时，有 $I_D=0.24\text{mA}$，求出 V_{SG}。

(e) 若 $V_{BS}=4\text{V}$，重复(a)问。

(f) 若 FET 在 $V_{SG}=3.5\text{V}$、$V_{SD}=5\text{V}$ 时，有 $I_D=1\text{mA}$，求出 V_{BS}。

解：

(a) 我们有 $V_{OV}=V_{SG}-|V_{t0}|=(3-1)\text{V}=2\text{V}$ 因为 $V_{SD}<V_{OV}(1.5\text{V}<2\text{V})$FET 工作在晶体管区。由式(3.29b)，有：

$$I_D = 0.4\times\left(2\times 1.5 - \frac{1.5^2}{2}\right)\text{mA} = 0.75\text{mA}$$

(b) 因为 $V_{SD}>V_{OV}(3\text{V}>2\text{V})$，此时 MOSFET 是饱和的。由式(3.28b)，我们有：

$$I_D = \frac{0.4}{2}\times 2^2\times(1+0.05\times 3)\text{mA} = 0.92\text{mA}$$

(c) 我们现在有 $V_{OV}=(4-1)\text{V}=3\text{V}$ 但是不知道 MOSFET 工作在晶体管区还是饱和

区。先假设在饱和区，并检验。用式(3.28*b*)，令

$$1.6 = 0.2 \times 3^2 \times (1 + 0.05V_{SD})$$

其结果为 $V_{SD}=-2.2V$。这在物理学上是不能接受的，这表明我们的假设是错的。因此 FET 是工作在晶体管区的，所有我们用式(3.29b)，令

$$1.6 = 0.4 \times \left(3V_{SD} - \frac{V_{SD}^2}{2}\right)$$

或 $0.5V_{SD}^2-3V_{SD}+4=0$。这个二次方程的解是 $V_{SD}=4V$ 和 $V_{SD}=2V$。第一个解表示 MOSFET 是饱和的($V_{SD}<V_{OV}$，$4V>3V$)，我们已经证明这种情况是不可能的。所以，物理上可以接受的解是 $V_{SD}=2V$，这证实了 MOSFET 工作在晶体管区($V_{SD}<V_{OV}$，$2V<3V$)。

(d) 假设 FET 工作在晶体管区，用式(3，29b)，令

$$0.24 = 0.4 \times \left(V_{OV} \times 4 - \frac{4^2}{2}\right)$$

这得到 $V_{OV}=2.15V$，即 $V_{SD}>V_{OV}$($4V>2.15V$)，这与假设不符。因此，MOSFET 是饱和的，所以令

$$0.24 = 0.2 \times V_{OV}^2(1 + 0.05 \times 4)$$

这给出 $V_{OV}=1V$。$V_{SD}>V_{OV}$($4V>1V$)的事实证实 MOSFET 工作在饱和区。

(e) 由式(3.32b)，阈值电压现在是：

$$V_t = (-1.0 - 0.73 \times [\sqrt{4 + 2 \times 0.3} - \sqrt{2 \times 0.3}])V = -2V$$

所以过驱动电压是 $V_{OV}=(3-|-2|)V=1V$。因为 $V_{SD}>V_{OV}$($1.5V>1V$)，MOSFET 现在是饱和的，且

$$I_D = 0.2 \times 1^2 \times (1 + 0.05 \times 1.5)mA = 0.215mA$$

(f) 假设 MOSFET 工作在饱和区，并进行检验。所需的过驱动电压是：

$$1 = 0.2 \times V_{OV}^2(1 + 0.05 \times 5)$$

即 $V_{OV}=2V$。因为 $V_{SD}>V_{OV}$($5V>2V$)，MOSFET 确实是饱和的。所需的阈值电压 V_t 满足 $V_{OV}=V_{SG}-|V_t|$，即 $2=3.5-|V_t|$，$|V_t|=1.5V$。我们知道，V_t 是负的，所以用式(3.32b)，令

$$-1.5 = -1.0 - 0.73 \times [\sqrt{V_{BS} + 2 \times 0.3} - \sqrt{2 \times 0.3}]$$

最后得到 $V_{BS}=1.53V$。 ◀

饱和 MOSFET 的大信号模型

图 3.20 和图 3.21 画出了工作在饱和区的 nMOSFET 和 pMOSFET 的电路模型。

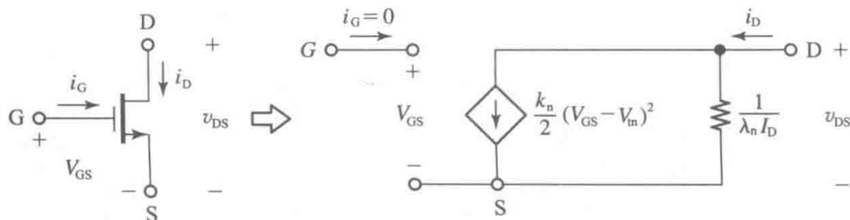


图 3.20 饱和 nMOSFET 的大信号模型

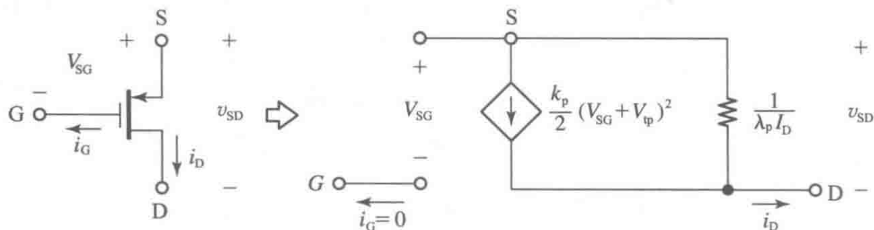


图 3.21 饱和 pMOSFET 的大信号模型

这也称为大信号模型(为了与接下来将要介绍的小信号模型相区别)，它通常用在直流分析中。因为栅极是电容的一个极板，所以G-S(或输入)端表现为开路，至少在直流情况下是如此，所以有 $i_G=0$，且 $i_S=i_D$。D-S(或输出)端口用诺顿模型等效，包括一个工作在饱和边缘的受控电流源和一个输出电阻，该电阻是用来模拟nMOSFET(pMOSFET)中 i_D 随着 $v_{DS}(v_{SD})$ 的增加而略微增加的电阻。

为了简化直流计算，通常忽略输出电阻，也就相当于假设 $\lambda=0$。而且，对于增强型pMOSFET，我们将受控源的值表示为 $(k_p/2)(V_{SG}-|V_{tp}|)^2$，其与nMOSFET的表达方式很像。

耗尽型 MOSFET

我们知道，增强型MOSFET通常是截止的。为了使其导通，我们需要外加一个超过器件阈值电压 V_t 的栅源电压。相比之下，耗尽型MOSFET(DFET)在制造时就已有沟道。如图3.22所示，一个nDFET通过注入一个n型沟道来制造，而pDFET是注入p型沟道。显然，DEFT通常是导通的。在这种情形下，我们需要知道的是怎么使一个DFET截止。记住栅-沟结构形成了一个平行板电容器，我们做出以下的陈述。

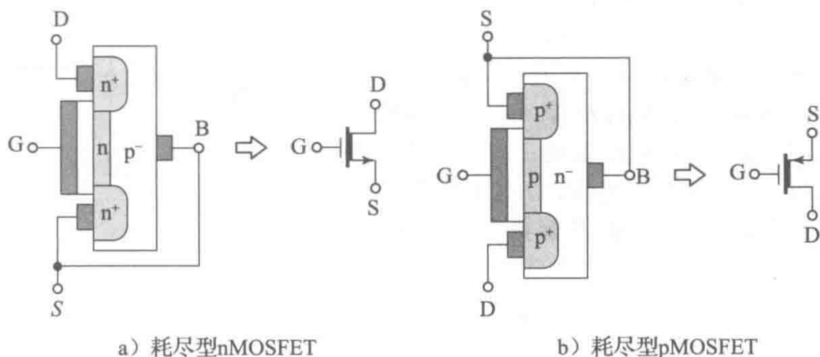


图3.22 耗尽型 MOSFET

- 为了使图3.22a所示的nDFET截止，我们需要在其沟道内引入正电荷，以中和此处已经存在的电子。这需要在栅电极上引入负电荷。因此，我们需要将栅电压 v_G 降低到源电压 v_S 以下的某个合适值，使其满足条件 $v_{GS}\leqslant V_{tn}$，其中的阈值电压 V_{tn} 是负的。因此，对于 $v_{GS}\leqslant V_{tn}$，$V_{tn}<0$，nDFET是截止的，当 $v_{GS}>V_{tn}$ 时，是导通，而且其导电性通常是受过驱动电压 $V_{OVn}=V_{GS}-V_{tn}$ 控制的。
  为了减少负阈值可能引起的混淆，nDFET的过驱动电压通常表示为 $V_{OVn}=V_{GS}+|V_{tn}|$。注意到，在 $V_{GS}=0$ 时，器件仍然是导通的，$V_{OVn}=|V_{tn}|$。
- 为了使图3.22b所示的pDFET截止，我们需要在其沟道区内引入负电荷，以中和此处已有的自由空穴。这需要在栅电极引入正电荷。因此，我们需要将栅电压 v_G 提高到比源电压 v_S 大一个合适的值，这个条件表述为 $v_{GS}\geqslant V_{tp}$，此处的阈值电压 V_{tp} 现在是正的。因此，对于 $v_{GS}\geqslant V_{tp}$，$V_{tp}>0$，pDFET是截止的，对于 $v_{GS}<V_{tp}$，是导通的，其导电性是由过驱动电压控制的，其为 $V_{OVp}=V_{SG}+V_{tp}$。注意到，在 $V_{SG}=0$ 时，器件仍然是导通的，$V_{OVp}=V_{tp}$。

初学者可能对于不同的FET类型及相应的阈值电压极性感到混淆，尝试记忆时会更加混乱。最好的办法是参考图3.19和图3.22所示的物理结构，并自问需要哪种栅源电压来导通常截止的器件，以及关断常导通的器件。

DFET的 i-v 特性与增强型的很相似，除了在 v_{GS} 轴上有些移动。这在图3.23中画出了，其中的nDFET有 $V_t=-1.5\text{V}$，$k=1\text{mA/V}^2$，$\lambda=0.05\text{V}^{1/2}$，注意到图3.23a所示的曲线与图3.15所示的相似，但其向左移动了，这是因为 $V_t<0$。从 $v_{GS}=0\text{V}$ 开始，我们可以提高 v_{GS} 超过0V，使得器件的导电性更强，也可以降低 v_{GS} 低于0V，使得器件的导电性

降低，直到 v_{GS} 达到 V_t 时，器件会完全关断(在本例中 $V_t=-1.5V$)。v_{GS} 变化的影响还可从图 3.23b 所示曲线得出，在其中我们注意到 $v_{GS}=0V$ 处的曲线现在处于中间部分。然而，夹断点的轨迹仍然是 $v_{DS}=V_{GS}-V_t$(在本例中等于 $V_{GS}+1.5V$)。

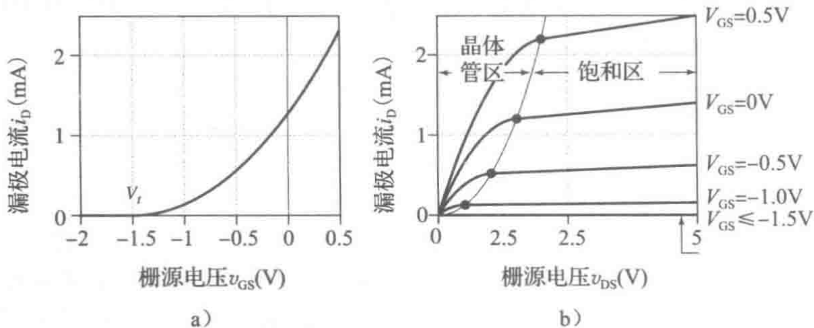


图 3.23　一个耗尽型 nMOSFET 的 i-v 曲线，其有 $V_t=-1.5V$，$k=1mA/V^2$，$\lambda=0.05V^{1/2}$

DFET 一个常用的应用如图 3.24a 所示，其中栅和源连在一起($V_{GS}=0$)，这形成了一个双端的、常导通的器件。其 i-v 特性曲线如图 3.24b 所示，这表明器件若在原点工作，可以作为一个电阻，若在饱和边缘处工作，可以作为一个电流源/沉。当作为电流源/沉工作时，DFET 可应用于为其他 FET 提供偏置，例如放大器。

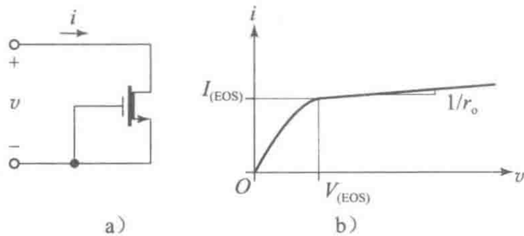


图 3.24　作为电流源的耗尽型 nMOSFET

例 3.13

(a) 假设图 3.24 所示的 DFET 有如图 3.23 所示的数据，求出欧姆区的沟道电阻 r_{DS}。

(b) 求出饱和边缘处的值 $V_{(EOS)}$、$I_{(EOS)}$？

(c) 饱和区输出电阻 r_o 是多少？

解：

(a) 因为 $V_{GS}=0$，$V_{OV}=0-V_t=(0-(-1.5))V=1.5V$，所以，$r_{DS}=1/(kV_{OV})=(1/(1\times1.5))\Omega=667\Omega$。

(b) $V_{(EOS)}=V_{OV}=1.5V$，$I_{(EOS)}=(k/2)V^2_{(EOS)}(1+\lambda V_{(EOS)})=(1/2)\times(1.5)^2\times(1+0.05\times1.5)mA=1.21mA$

(c) $r_o=1/(\lambda I_{(EOS)})=(1/(0.05\times1.21\times10^{-3}))\Omega=16.5k\Omega$ ◀

温度特性

跨导参数 k 和阈值电压 V_t 都是与温度相关的[3,4]。参数 k 与迁移率 μ 成线性关系，迁移率是随温度变化而变化的。在室温下，温度相关性表现为一个温度系数(TC)，对于每摄氏度约为 -0.005%，所以有：

$$TC(k)\approx-0.005\%/℃ \tag{3.33}$$

阈值电压 V_t 也通过费密电势(对于 nMOSFET，$\phi_p<0$、对于 pMOSFET，$\phi_n>0$)与温度相关。这种相关性还受掺杂等级和氧化层厚度的影响。对于 nMOSFET 的情况，工程师通过一个经验法则来记住这种相关性，这与正向偏置 pn 结的情况相似，有：

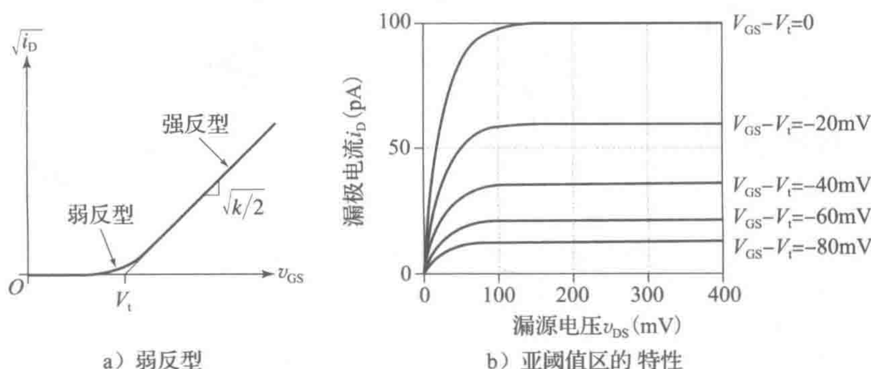
$$TC(V_{tn})\approx-2mV/℃ \tag{3.34}$$

对于 pMOSFET，$TC(V_{tp})\approx+2mV/℃$。

这两个温度系数有相反的影响，当温度降低时，k 会使 I_D 降低，然而，当温度降低时，V_t 会使 I_D 增加。可以利用这种相反的趋势，将 FET 偏置在一个特定的点，使两种趋势可以互相抵消，这就得到一个与温度无关的电流 I_D(见习题 3.33)

亚阈值工作状态

如果我们把等式 $i_D=(k/2)(v_{GS}-V_t)^2$ 两端开方，并画出 $\sqrt{i_D}$ 相对于 v_{GS} 的图形，我们得到一条斜率为 $\sqrt{k/2}$ 的直线，并在 $v_{GS}=V_t$ 处截断，如图 3.25a 所示。实际上，用实验方法测量 k 和 V_t 的过程通常是很快的。



a）弱反型　　b）亚阈值区的特性

图 3.25

然而，在 V_t 附近及以下，一个实际 MOSFET 的 i_D-v_{GS} 特性不再是二次型的，而变成了指数型的，这与 BJT 非常相似。当驱动电压 v_{GS} 远远超过 V_t 时，称 MOSFET 工作在强反型状态，当 v_{GS} 被限制在 V_t 附近或者之下时，称 MOSFET 工作在弱反型状态，或称处在亚阈值区。

在弱反型时，特性可表示为：

$$i_D=\frac{W}{L}I_0\exp\left(\frac{v_{DS}-V_t}{nV_T}\right)\left[1-\exp\left(-\frac{v_{DS}}{V_T}\right)\right] \tag{3.35}$$

式中：W 和 L 是沟道宽度和长度；I_0 是一个合适的比例因子，通常在 1μA 数量级或更小；

V_T 是熟悉的热电压；n 是合适的因子，通常有 $1<n<3$。图 3.25b 画出了不同 $v_{GS}-V_t$ 值下的 i_D-v_{DS} 特性。亚阈值工作通常用于极低功耗及有限频率带宽的应用中。随着学习的深入，我们假设 MOSFET 是工作在强反型状态。

3.5 MOSFET 在阻性直流电路中的应用

我们现在希望弄清，MOSFET 作为电阻在电路中的表现。从简单的直流电路开始研究是较为方便的，先假设 $\lambda=0$，这既可以加快我们的计算，也可以使我们注重于 MOSFET 行为的本质。

我们知道，为了维持一个导电沟道，MOSFET 需要一个合适的过驱动电压 V_{OV}。对于 nMOSFET，我们有 $V_{OVn}=V_{GS}-V_{tn}$，其中，对于增强型，有 $V_{tn}>0$，对于耗尽型，有 $V_{tn}<0$。对于 pMOSFET，有 $V_{OVp}=V_{SG}+V_{tp}$，其中，对于增强型，有 $V_{tp}<0$，对于耗尽型，有 $V_{tp}>0$。一旦沟道开始导电，问题就变为 MOSFET 工作在饱和区还是晶体管区。在特定的情况下，如二极管模式时，工作模式是很明显的。当不是这种情况时，我们需要通过适当的计算判定(并验证)工作模式。在 3.3 节中对 nMOSFET 的情况已经进行了概括，其过程如下。

- 假设 FET 是饱和的，并利用表达式 $I_D=(k/2)V_{OV}^2$ 进行所需的计算，直到求出 V_{OV} 和 V_{DS}(对于 pMOSFET 是 V_{SD})的值为止。
- 如果有 $V_{DS}>V_{OV}$(对于 pMOSFET 的情形是 $V_{SD}>V_{OV}$)，则 FET 确实是饱和的。
- 否则你将会得到一些矛盾的情况，例如在物理上不能接受的结果，这表明我们的假设是错误的，MOSFET 实际上工作在晶体管区。

二极管连接的 MOSFET

图 3.26a 画出了电阻偏置的二极管连接的 nMOSFET。我们知道，对于 $v\leqslant V_{tn}$，MOSFET 是截止的，有 $i=0$。对于 $v>V_{tn}$，MOSFET 是饱和的，其 i-v 特性是二次型的，即

$$i=\frac{k_n}{2}(v-V_{tn})^2 \tag{3.36a}$$

MOSFET 外部电路的 i-v 特性是一条直线，即

$$i=\frac{V_{DD}-v}{R} \tag{3.36b}$$

这两个曲线在一个共同点截断，称为工作点，也称为静态工作点 Q。为了求出其横坐标 V，我们令两个电流相等，即

$$\frac{V_{DD}-V}{R}=\frac{k_n}{2}(V-V_{tn})^2 \tag{3.37}$$

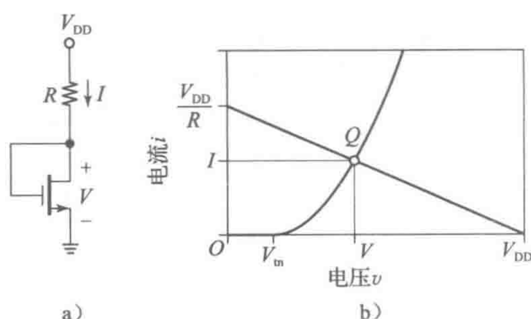


图 3.26　研究二极管连接的 nMOSFET 的直流工作状态

得到的二次方程组可以很容易解出 V。虽然有两个解，但只有一个有意义，所以另一个应该被舍去。我们再将 V 的合理值代入式(3.36)中的任一个以求得 I。这是我们处理包含 FET 的直流电路时的通常方法。

例 3.14 在图 3.26a 所示的电路中，令 $V_{DD}=7V$、$R=10k\Omega$，再令 FET 有 $V_{tn}=1.0V$、$k_n=0.2mA/V^2$。假设 $\lambda_n=0$，求出 V 和 I。

解：

电阻在 kΩ 数量级，电流在 mA 数量级，式(3.37)给出：

$$\frac{7-V}{10}=\frac{0.2}{2}(V-1)^2$$

这得到一个二次方程为：

$$V^2-V-6=0$$

其解为：

$$V=\frac{1\pm\sqrt{1+24}}{2}V$$

即 $V=+3V$ 或 $V=-2V$。第二个值没有物理意义，其会导致 $V_{GS}<V_{tn}$，这使得 FET 截止，而我们已经知道 FET 是导通的。由第一个值可得过驱动电压 $V_{OV}=(3-1)V=2V$。所得的电流为$((7-3)/10)mA=0.4mA$。◀

例 3.15 (a) 在例 3.14 的电路中，求出使得 $I=0.9mA$ 的 R 值。

(b) 若 R 短路($R\to0$)，会发生什么？

解：

(a)用式(3.36a)，令

$$0.9=\frac{0.2}{2}\times(V-1)^2$$

结果是 $V=+4V$ 或 $-2V$，但只有 $V=4V$ 是可以接受的，所以 $R=((7-4)/0.9)k\Omega=3.33k\Omega$。

(b) 当 $R=0$ 时，我们有 $V=7V$，且 $I=(0.2/2)\times(7-1)^2mA=3.6mA$。◀

图 3.27 画出了图 3.26 所示的相反的情况，其中 pMOSFET 的源接到了 V_{DD} 而不是地。考虑到 $v_{SG}=V_{DD}-v$，由 MOSFET 和电源 V_{DD} 组成的联合 i-v 特性是：对于 $v\geqslant V_{DD}-|V_{tp}|$，有 $i=0$，对于 $v\geqslant V_{DD}-|V_{tp}|$，有：

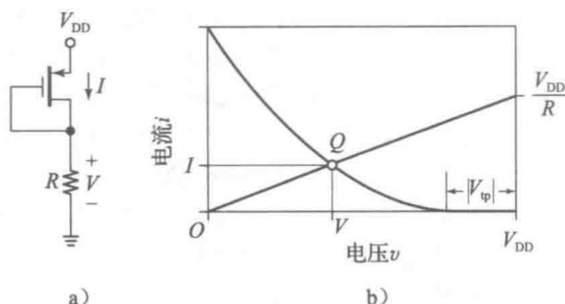


图 3.27　研究二极管连接的 pMOSFET 的直流工作状态

$$i=\frac{k_p}{2}(V_{DD}-v-|V_{tp}|)^2 \tag{3.38a}$$

对于 $v<V_{DD}-|V_{tp}|$，与图 3.26b 所示的相比，二次曲线现在与纵轴相交，且沿着 v 轴移动了，所以在 $v=V_{DD}-|V_{tp}|$ 时就已经导通。电阻的 i-v 特性是直线，即

$$i=\frac{v}{R} \tag{3.38b}$$

静态工作点的横坐标通过二次方程很容易求出，即

$$\frac{V}{R}=\frac{k_p}{2}(V_{DD}-V-|V_{tp}|)^2 \tag{3.39}$$

只保留在物理上可接受的结果，在下例中有所说明。

例 3.16 (a) 在图 3.27a 所示的电路中，令 $V_{DD}=5\text{V}$，$V_{tp}=-1.0\text{V}$，$k_p=0.5\text{mA/V}^2$。假设 $\lambda_p=0$，求出在 $R=2.0\text{k}\Omega$ 情况下的 V 和 I。

解：

(a)电阻在 kΩ 数量级，电流在 mA 数量级，式(3.39)给出：

$$\frac{V}{2.0}=\frac{0.5}{2}\times(5-V-1)^2$$

其结果为 $V=2\text{V}$(物理上可接受)或 $V=8\text{V}$。再有，$I=(2/2.0)\text{mA}=1.0\text{mA}$。

(b) 因为 $R=0$，有 $V=0$，所以 $I=(0.5/2)\times(5-1)^2\text{mA}=4\text{mA}$。 ◀

电流镜

二极管连接的 MOSFET 在 IC 设计中一个很常见的应用是，产生一个合适的栅源电压降来偏置另一个类似的 MOSFET(或多个 MOSFET)。当在 IC 形式下制造 MOSFET 时，相同类型的 MOSFET 在 V_t、k' 和 λ 上有很高的匹配系数，这样一来分析和设计都被简化了。

图 3.28a 显示了一个匹配 nMOSFET 的例子。将它们公共的栅源驱动记为 V_{GS}，M_1 得到的电流为：

$$I_1=\frac{1}{2}k'\frac{W_1}{L_1}(V_{GS}-V_t)^2(1+\lambda V_{GS})$$

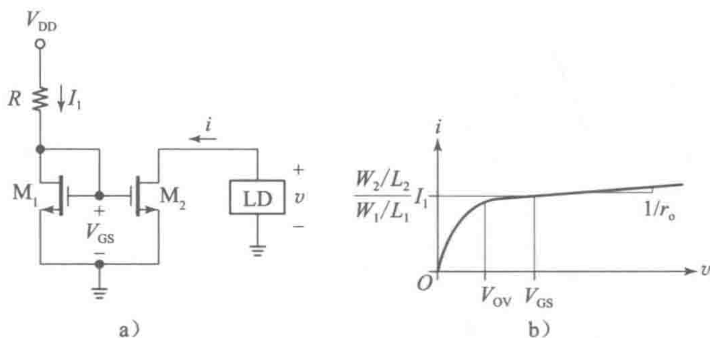


图 3.28 nMOSFET 电流镜及其 i-v 特性

当 $v=V_{GS}$ 时，M_2 工作在与 M_1 相同的电压条件下，给出：

$$I_2=\frac{1}{2}k'\frac{W_2}{L_2}(V_{GS}-V_t)^2(1+\lambda V_{GS})$$

将两个等式联立，在 $v=V_{GS}$ 时，可以得到：

$$I_2=\frac{W_2/L_2}{W_1/L_1}I_1 \tag{3.40}$$

令人感兴趣的是，当器件具有相同的 W/L 比值时，由式(3.40)给出，对于 $v=V_{GS}$，$I_2=I_1$，意味着 M_2 的电流是 M_1 的镜像电流，这是电路命名的原因。

在上述的例子中，I_1 是通过 R 得到的，与例 3.14 相似。然而，还有其他方法可以获

得流过 M_1 的电流，但不管是哪种方法，M_2 都会镜像 M_1 的行为。在IC设计中，我们可以通过指定两个器件的 W/L 比值，来获得几乎任意的电流比值。例如，若 $W_1/L_1=(1\mu m)/(1\mu m)$，再指定 $W_2/L_2=(2\mu m)/(1\mu m)$，在 $v=V_{GS}$时，我们得到 $I_2=2I_1$。同样地，若有 $W_2/L_2=(1\mu m)/(2\mu m)$，我们得到 $I_2=0.5I_1$，若有 $W_2/L_2=(1\mu m)/(1\mu m)$，我们得到 $I_2=I_1$。

电流镜的 i-v 特性如图3.28b所示。我们知道，曲线的饱和部分的斜率为 $1/r_o$。而且，饱和区内已知有 $v=V_{OV}=V_{GS}-V_t$。

例3.17 假设 $V_{DD}=5V$，图3.28a所示器件有 $V_t=1.0V$，$k=0.8mA/V^2$，$\lambda=0.02V^{-1}$，且器件是相同的。

(a) 在 $v=V_{GS}$时，若 $i=100\mu A$，求出 R。这里为了简便，假设 $\lambda=0$。

(b) 求出工作在饱和区的电压下限，以及 r_o 和饱和区内每伏电压变化令 i 产生的变化。

解：

(a)维持电流所需的过驱动电压是：

$$V_{OV}=\sqrt{\frac{2I_1}{k}}=\sqrt{\frac{2\times100\times10^{-6}}{0.8\times10^{-3}}}V=0.5V$$

因此，$V_{GS}=V_t+V_{OV}=(1+0.5)V=1.5V$，$R=(V_{DD}-V_{GS})/I_1=((5-1.5)/0.1)k\Omega=35k\Omega$。

(b) 在 $v\geqslant0.5V$ 的范围内，饱和区都存在，此处的 $r_o\approx1/(\lambda I)=(1/(0.02\times100\times10^{-6}))\Omega=500k\Omega$，$i$ 随着 v 按照 $1/(500k\Omega)=2\mu A/V$ 的比率增长。 ◀

图3.28a所示的电流镜也称为电流沉，因为 M_2 从负载上吸收电流。相比之下，图3.29a所示的相应的pMOSFET部分称为电流源，因为这种情况下的 M_2 向负载提供电流。运用相似的推理，我们总结出，在 $v=V_{SS}-V_{SG}$时，两个FET工作在相同的电压条件下，所以 M_2 给出 $I_2=[(W_2/L_2)/(W_1/L_1)]I_1$。如图3.29b所示，饱和区一直持续到 $V_{DD}-V_{OV}$(应该是 $V_{SS}-V_{OV}$，原著有误)，饱和区曲线的斜率现在是 $-1/r_o$。

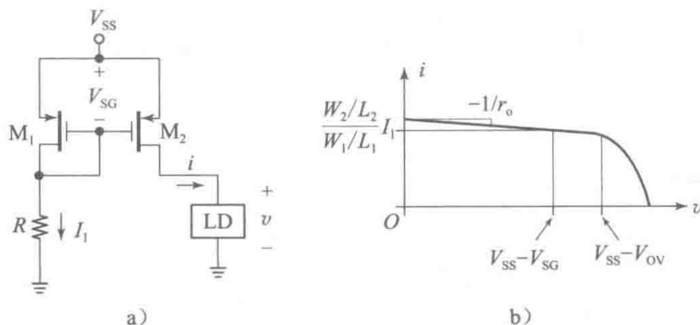


图3.29 pMOSFET电流镜及其 i-v 特性

例3.18 (a) 在图3.29a所示的电路中，令 $V_{SS}=6V$，令MOSFET有 $V_{t2}=V_{t1}=-1.5V$，$k_2=2k_1=0.5A/V^2$，$\lambda_2=\lambda_1=0.04V^{-1}$。求出 $V_{OV}=2V$ 时的 R。相应的 I_1 值是多少？

(b) 求出在 $v=V_{SS}-V_{SG}$、$v=0$、$v=V_{SS}-V_{OV}$时的 i。

解：

(a) 对于 $V_{OV}=2V$，我们有 $V_{SD1}=V_{SG}=V_{OV}+|V_t|=(2+1.5)V=3.5V$。因为 $k_1=0.25\ mA/V^2$，

$$I_1=\frac{0.25}{2}\times2^2\times(1+0.04\times3.5)mA=0.57mA$$

而且，$R=(V_{SS}-V_{SG})/I_1=((6-3.5)/0.57)k\Omega=4.39k\Omega$。

(b) 对于 $v=(6-3.5)V=2.5V$，我们得到 $i=(k_2/k_1)I_1=(2\times0.57)mA=1.14mA$。

对于 $v=0$，我们有 $V_{SD2}=6V$，所以，

$$i=\frac{0.5}{2}\times 2^2\times(1+0.04\times 6)\text{mA}=1.24\text{mA}$$

同样，对于 $v=(6-2)\text{V}=4\text{V}$，我们有 $V_{SD2}=2\text{V}$，所以 $i=1\times(1+0.04\times 2)\text{mA}=1.08\text{mA}$。◀

双电源结构中的电阻偏置 MOSFET

当学习 FET 放大器时，我们将需要将一个 MOSFET 偏置在饱和区内一个特定的直流工作点 $Q=Q(I_D,\ V_{DS})$，这个区也称为有源区。MOSFET 偏置问题可以从设计或者分析角度去解决。设计的目标是设计一个合适的外部电路，将 MOSFET 偏置在特定的工作点 Q。相反地，分析的目标是求出工作点 Q，这需要考虑包括 MOSFET 在内的电路。二极管连接的 FET 已经为饱和区的直流偏置提供了几个例子。

图 3.30a 所示的偏置方案是基于一个双电源系统，利用电阻 R_S 来建立 I_D 的值，电阻 R_D 来建立 V_{DS}的值。为了更好地理解电路工作，将 nMOSFET 用图 3.30b 所示的直流等效代替，其中为了简便，假设 $\lambda_n=0$，因此 $r_o=\infty$。我们知道，为了得到给定的电流 I_D，nMOSFET 需要的过驱动电压为 $V_{OV}=\sqrt{2I_D/k_n}$，这表明在上述的偏置方案中，源极电压必须保持在 $V_S=-(V_{tn}+V_{OV})$，这个任务由 R_S 实现。在给定电流 I_D 下，通过选择合适的电阻 R_S，使其压降差为(V_S-V_{SS})。一个例子可以更好地解释这点。

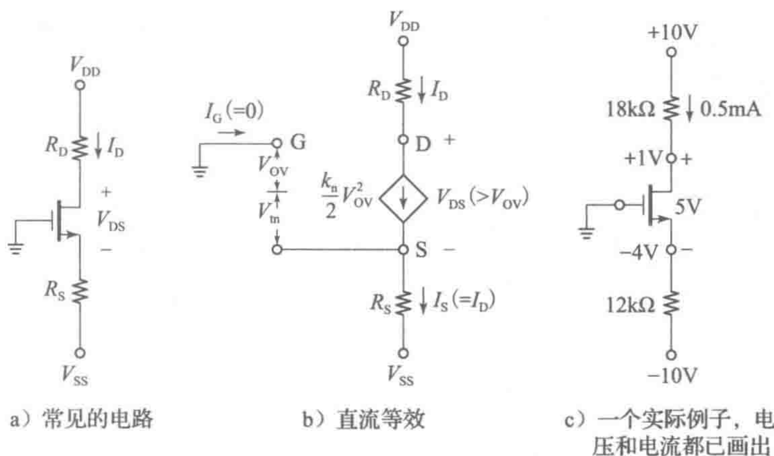


图 3.30 有源区 nMOSFET 的双电源偏置

例 3.19 在图 3.30a 所示的电路中，令 $V_{DD}=10\text{V}$、$V_{SS}=-10\text{V}$，并令 MOSFET 有 $V_{tn}=1.5\text{V}$、$k_n=0.16\text{mA/V}^2$。假设 $\lambda_n=0$，指定 R_S 和 R_D 的值来将 MOSFET 偏置在 $I_D=0.5\text{mA}$、$V_{DS}=5\text{V}$。

解：

所需的过驱动电压是，$V_{OV}=\sqrt{2I_D/k_n}=\sqrt{2\times 0.5/16}\text{V}=2.5\text{V}$，这表明源极电压必须有 $V_S=-(V_{tn}+V_{OV})=-(1.5+2.5)\text{V}=-4\text{V}$。这需要

$$R_S=\frac{V_S-V_{SS}}{I_D}=-\frac{-4-(-10)}{0.5}\text{k}\Omega=12\text{k}\Omega$$

为了保证 $V_{DS}=5\text{V}$，漏极电压必须为 $V_D=V_S+V_{DS}=(-4+5)\text{V}=+1\text{V}$。因此

$$R_D=\frac{V_{DD}-V_D}{I_D}=\left(\frac{10-1}{0.5}\right)\text{k}\Omega=18\text{k}\Omega$$

电路图如图 3.30c 所示，因为 $V_{DS}>V_{OV}(5\text{V}>2.5\text{V})$，MOSFET 确实是饱和的。

注意：我们想知道是什么使得 MOSFET 精确地维持 0.5mA 电流呢。对此做出以下解释。

- 假设，因为某些原因，MOSFET 抽取的电流尝试下降到 0.5mA 以下。接着，通过 R_S 的压降会降低，这导致 V_S 也会降低。但这又会增加 V_{GS}，从而增加 V_{OV}，这实际上迫使 MOSFET 抽取更多电流。

- 相反，若尝试使 MOSFET 抽取的电流上升到 0.5mA 以上，会导致 V_{OV} 下降，因此使得 MOSFET 抽取较少的电流。
- 在两种情况下，任意想使得 I_D 偏离 0.5mA 的尝试，都会被一种相反的行为所抵消，使 I_D 保持在原有的 0.5mA。这种情况称为：R_S 为 MOSFET 提供了一个负反馈。这是稳定器件偏置条件的一种方法。负反馈也称为退化反馈，为了将它与正反馈相区别，正反馈也称为再生反馈。因此，R_S 也称为退化电阻(在第 7 章中有更详细内容)。 ◀

例 3.20 (a) 在图 3.31a 所示的电路中，令 MOSFET 有 $V_{tn}=1.0V$，$k_n=0.5\text{mA/V}^2$。假设 $\lambda_n=0$，求出 MOSFET 的静态工作点 Q。

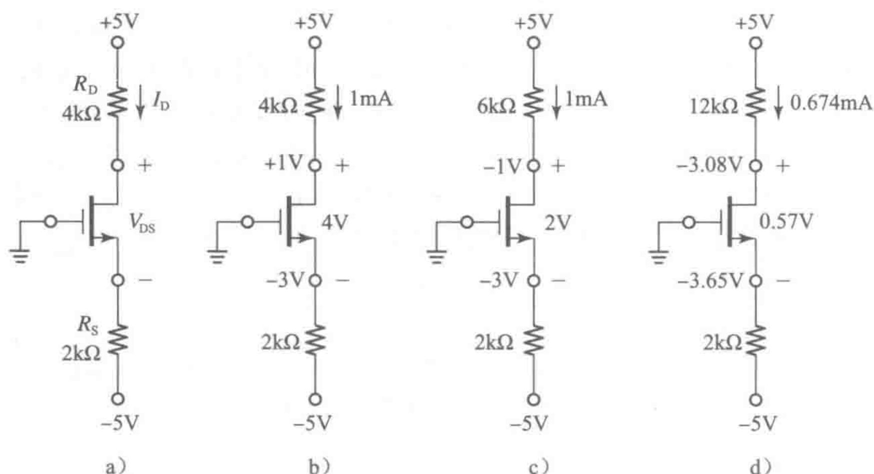


图 3.31 a)例 3. 20 的电路，及其在 b)饱和区、c)饱和边缘、d)晶体管区的工作状态

(b) 当 R_D 上升到什么值时，会使 MOSFET 工作在饱和边缘(EOS)？

(c) 若 R_D 上升到(b)问中的两倍，会发生什么？

解：

(a) 根据本节开始时的分析方法，从假设 MOSFET 是饱和的开始，再检测假设是否正确。若假设被证明是错误的，这就意味着 MOSFET 工作在晶体管区，需要使用晶体管区 I_D 的表达式重新进行计算。在饱和区，有：

$$I_D=\frac{k_n}{2}(V_{GS}-V_{tn})^2=\frac{k_n}{2}(V_G-V_S-V_{tn})^2=\frac{k_n}{2}(0-V_S-V_{tn})^2$$

$$=\frac{0.5}{2}[-(-5+2\times I_D)-1]^2=\frac{1}{4}(4-2I_D)^2$$

经过化简和计算，我们最终得到二次方程：

$$I_D^2-5I_D+4=0$$

其解为 $I_D=1\text{mA}$ 或 $I_D=4\text{mA}$(不接受)。我们最终得到 $V_D=(5-4\times1)\text{V}=1\text{V}$，$V_S=(-5+2\times1)\text{V}=-3\text{V}$。因此，$V_{DS}=(1-(-3))\text{V}=4\text{V}$，$V_{OV}=(-(-3)-1)\text{V}=2\text{V}$。因为 $V_{DS}>V_{OV}$(4V>2V)，MOSFET 确实是饱和的。综上，工作点为 $Q=Q$(1mA，4V)。这种情况在图 3.31b 中画出。

(b) 提高 R_D 会降低 V_D，从而降低 V_{DS}。在 $V_{DS}=V_{OV}=2\text{V}$ 或 $V_D=V_S+V_{OV}=(-3+2)\text{V}=-1\text{V}$ 时达到饱和边缘。相应的电阻值为 $R_D=([5-(-1)]/1)\text{k}\Omega=6\text{k}\Omega$。这种情况在图 3.31c 中画出，此时的工作点是 $Q=Q$(1mA，2V)。

(c) 当 $R_D=2\times6\text{k}\Omega=12\text{k}\Omega$ 时，FET 可能会进入三极管区。注意到若 FET 依然是饱和的，那么 $V_D=(5-12\times1)\text{V}=-7\text{V}$，这表明 $V_{DS}=V_D-V_S=(-7-(-3))\text{V}=-4\text{V}$，这是荒谬的！显然，我们需要重新计算 I_D，但需要用晶体管区的表达式。在(a)问部分，我们求出

$$V_{GS}-V_{tn}=4-2I_D$$

而且，我们有 $V_{DS}=V_D-V_S=(5-12\times I_D)-(-5+2\times I_D)$，或 $V_{DS}=10-14I_D$。

因此，

$$I_D=k_n\left[(V_{GS}-V_{tn})V_{DS}-\frac{V_{DS}^2}{2}\right]=0.5\left[(4-2I_D)(10-14I_D)-\frac{(10-14I_D)^2}{2}\right]$$

移项并求解二次方程，我们得到：

$$I_D=\frac{31\pm\sqrt{261}}{70}$$

即 $I_D=0.674\text{mA}$ 或 $I_D=0.212\text{mA}$（这是不能接受的，你能说出为什么吗?），根据各电压值可求出为 $V_D=-3.08\text{V}$，$V_S=-3.65\text{V}$，$V_{DS}=0.57\text{V}$，这种情况总结在图 3.31d 中，其工作点是 $Q=Q(0.674\text{mA}, 0.57\text{V})$。最后，我们求出 $V_{OV}=2.65\text{V}$。$V_{DS}<V_{OV}(0.57\text{V}<2.65\text{V})$ 的事实也证明了 MOSFET 确实是工作在晶体管区。◀

图 3.32 画出了图 3.31 所示 nMOSFET 电路的 pMOSFET 版本。同样，这个电路可从设计和分析的角度去进行研究。这个过程与 nMOSFET 的相似，只需在处理电压和电流时变换方向。

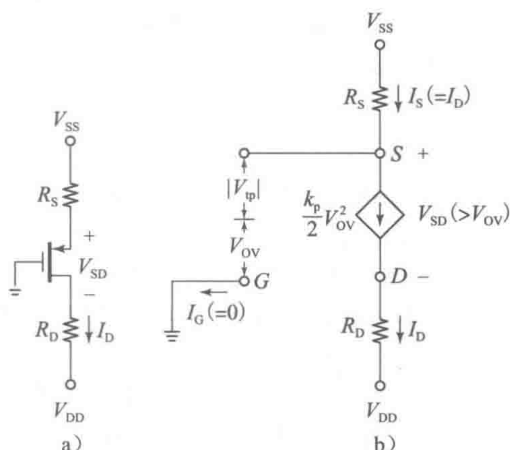


图 3.32 双电源偏置使 pMOSFET 工作在饱和(或有源)区

例 3.21 (a) 在图 3.32a 所示的电路中，令 $V_{SS}=6\text{V}$、$V_{DD}=-6\text{V}$，且令 MOSFET 有 $V_{tp}=-1.5\text{V}$、$k_p=0.5\ \text{mA/V}^2$。假设 $\lambda_p=0$，选择合适的 R_S 和 R_D 值，将 MOSFET 偏置在 $I_D=0.25\text{mA}$、$V_{SD}=4\text{V}$。MOSFET 工作在哪个区?

(b) 若 $R_S=6\text{k}\Omega$、$R_D=16\text{k}\Omega$，求出 MOSFET 的工作点和工作区。

解：

(a) 假设处于饱和区，参考习题 3.19 中的步骤进行，我们得到：

$$V_{OV}=\sqrt{2I_D/k_p}=\sqrt{2\times 0.25/0.5}\text{V}=1\text{V}$$
$$V_S=V_{OV}+|V_{tp}|=(1+1.5)\text{V}=2.5\text{V}$$
$$R_S=(V_{SS}-V_S)/I_D=((6-2.5)/0.25)\text{k}\Omega=14\text{k}\Omega$$
$$V_D=V_S-V_{SD}=(2.5-4)\text{V}=-1.5\text{V}$$
$$R_D=(V_D-V_{DD})/I_D=([-1.5-(-6)]/0.25)\text{k}\Omega=18\text{k}\Omega$$

电路如图 3.33a 所示。$V_{SD}>V_{OV}(4\text{V}>1\text{V})$ 的事实证明了 MOSFET 确实处于饱和区。

(b) 假设处于饱和区，并检验。我们有：

$$V_{SG}-|V_{tp}|=V_{SS}-R_SI_D-|V_{tp}|=6-6I_D-1.5=4.5-6I_D$$

因此，在饱和区我们有：

$$I_D=\frac{0.5}{2}(4.5-6I_D)^2$$

这个二次方程的解是 $I_D=1.1\text{mA}$ 或 $I_D=0.51\text{mA}$，两个都是不成立的。因为第一个解会使得 $V_{SG}<0$（截止），第二个解会使得 $V_{SD}<V_{OV}$（晶体管区），都与饱和的假设相矛盾。显然，MOSFET 实际工作在晶体管区。考虑到

$$V_{SD}=(V_{SS}-V_{DD})-(R_DI_D-R_SI_D)$$
$$=12-22I_D$$

在晶体管区，我们有：

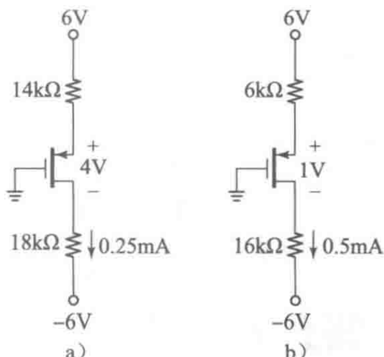


图 3.33 例 3.21 的电路

$$I_D = 0.5[(4.5-6I_D)\times(12-22I_D)-(12-22I_D)^2/2]$$

这个二次方程有两个解，可接受的解为 $I_D=0.5\text{mA}$。因此，$V_{SD}=(12-22\times0.5)\text{V}=1\text{V}$，这表明工作点为 $Q=Q(0.5\text{mA}, 1\text{V})$。电路如图 3.33b 所示。作为检验，我们计算出 $V_{OV}=(4.5-6\times0.5)\text{V}=1.5\text{V}$，并证明 $V_{SD}<V_{OV}(1\text{V}<1.5\text{V})$，这确实是晶体管区的工作状态 ◀

单电源中的电阻偏置 MOSFET

图 3.34 画出了另一种单电源的 MOSFET 偏置设计。分压器 R_1-R_2 的作用是为栅极建立一个中间的偏置电压。因为栅极不抽取直流电流，这些电阻可以设置得非常大，可在 MΩ 数量级范围。

例 3.22 在图 3.34a 所示的电路中，令 $V_{DD}=15\text{V}$，再令 MOSFET 有 $V_{tn}=2.0\text{V}$、$k_n=0.5\text{mA/V}^2$。假设 $\lambda_n=0$，选择合适的电阻值，来保证 $I_D=1\text{mA}$，同时将源极偏置在 $(1/3)V_{DD}$，同时将漏极偏置在导通边缘(EOC)和饱和边缘(EOS)之间。令流过 R_1 和 R_2 的电流为 $5\mu\text{A}$。

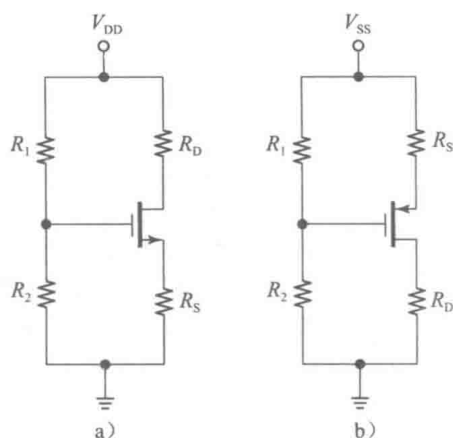


图 3.34 对于 a) nMOSFET 和 b) pMOSFET 的单电源偏置

解：

所需的过驱动电压为 $V_{OV}=\sqrt{2I_D/k_n}=\sqrt{2\times1/0.5}\text{V}=2.0\text{V}$，所以 $V_{GS}=V_{tn}+V_{OV}=(2+2)\text{V}=4\text{V}$。因此，有：

$$V_S=(1/3)V_{DD}=(1/3)\times15\text{V}=5\text{V}$$

$$V_G=V_S+V_{GS}=(5+4)\text{V}=9\text{V}$$

由此，$R_1=((15-9)/5)\text{M}\Omega=1.2\text{M}\Omega$，$R_2=9/5\text{M}\Omega=1.8\text{M}\Omega$，$R_S=(5/1)\text{k}\Omega=5\text{k}\Omega$。现在，导通边缘处 V_D 值为 $V_{D(EOC)}=V_{DD}=15\text{V}$，饱和边缘处 V_D 值为 $V_{D(EOS)}=V_S+V_{OV}=(5+2)\text{V}=7\text{V}$。因此中间值为

$$V_D=((15+7)/2)\text{V}=11\text{V}$$

最终，$R_D=((15-11)/1)\text{k}\Omega=4\text{k}\Omega$。 ◀

例 3.23 在图 3.34a 所示的电路中，令 $V_{DD}=12\text{V}$，$R_1=1\text{M}\Omega$，$R_2=1.4\text{M}\Omega$，$R_D=8\text{k}\Omega$，$R_S=10\text{k}\Omega$，再令 MOSFET 有 $V_{tn}=1.0\text{V}$、$k_n=0.4\text{mA/V}^2$。假设 $\lambda_n=0$，求出工作点 Q。

解：

先假设 MOSFET 是饱和的，再验证假设是否正确，则有：

$$V_{GS}=V_G-V_S=\frac{R_2}{R_1+R_2}V_{DD}-R_SI_S=\frac{1.4}{1+1.4}\times12-10I_S=7-10I_D$$

及

$$I_D=\frac{k_n}{2}(V_{GS}-V_{tn})^2=\frac{0.4}{2}\times(7-10I_D-1)^2$$

这个二次方程的解为 $I_D=0.45\text{mA}$ 或 $I_D=0.8\text{mA}$(这是不能接受的，你能说出为什么吗?)。因此，

$$V_S=R_SI_S=R_SI_D=(10\times0.45)\text{V}=4.5\text{V}$$

$$V_D=V_{DD}-R_DI_D=(12-8\times0.45)\text{V}=8.4\text{V}$$

$$V_{DS}=V_D-V_S=(8.4-4.5)\text{V}=3.9\text{V}$$

考虑到过驱动电压是 $V_{OV}=V_{GS}-V_t=(7-4.5-1)\text{V}=1.5\text{V}$，则有 $V_{DS}>V_{OV}(3.9\text{V}>1.5\text{V})$，这证明 MOSFET 工作在饱和区的假设是正确的。 ◀

例 3.24 在图 3.34b 所示的电路中，令 $V_{SS}=10\text{V}$，$R_1=1.8\text{M}\Omega$，$R_2=2.2\text{M}\Omega$，$R_D=10\text{k}\Omega$，$R_S=7.5\text{k}\Omega$ 且令 MOSFET 有 $V_{tp}=-0.5\text{V}$、$k_p=0.8\text{mA/V}^2$。假设 $\lambda_p=0$，求出工作点 Q。

解：

假设 MOSFET 是饱和的，再检验假设是否正确，则有：

$$V_{SG}=V_S-V_G=(V_{DD}-R_SI_S)-\frac{R_2}{R_1+R_2}V_{DD}$$
$$=(10-7.5I_S)-5.5=4.5-7.5I_D$$

及

$$I_D=\frac{k_p}{2}(V_{SG}-|V_{tp}|)^2=\frac{0.8}{2}\times(4.5-7.5I_D-0.5)^2$$

这个二次方程的解为 $I_D=0.4\text{mA}$ 或 $I_D=0.711\text{mA}$(在物理上不接受)。因此，$V_S=V_{DD}-R_SI_S=(10-7.5-7.5\times0.4)\text{V}=7\text{V}$，$V_D=R_DI_D=(10\times0.4)\text{V}=4\text{V}$，$V_{SD}=V_S-V_D=(7-4)\text{V}=3\text{V}$。考虑到过驱动电压是 $V_{OV}=V_{SG}-|V_{tp}|=1\text{V}$，那么有 $V_{SD}>V_{OV}(3\text{V}>1\text{V})$，这证明 MOSFET 确实是饱和的。工作点是 $Q(I_D, V_{SD})=Q(0.4\text{mA}, 3\text{V})$。◀

例 3.25 在图 3.35 所示的电路中，指定 R_1 和 R_2 的值，使得 $V_{DSn}=4\text{V}$，同时 R_1 和 R_2 要小于 1MΩ。在电路中标明所有的电压和电流。

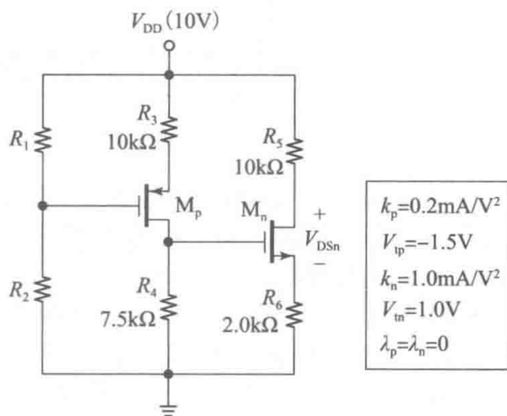


图 3.35 例 3.25 的电路

解：

先考虑 V_{DSn}，再返回求 R_1 和 R_2。每一步的结果都在图 3.36 中标出了序号。

(1) 由 KVL 和欧姆定律，M_n 的电流 I_{Dn} 满足 $V_{DD}=R_5I_{Dn}+V_{DSn}+R_6I_{Dn}$，即 $10=10I_{Dn}+4+2I_D$。这给出 $I_{Dn}=0.5\text{mA}$。

(2) 由欧姆定律，M_n 的源极电压是 $V_{Sn}=R_6I_{Dn}=2\times0.5=1\text{V}$。

(3) 假设 M_n 是饱和的。那么维持 0.5mA 的过驱动电压是 $V_{OVn}=\sqrt{2\times0.5/1}\text{V}=1\text{V}$。这比 $V_{DSn}(=4\text{V})$ 要小，所以 MOSFET 是饱和的。我们有 $V_{GSn}=V_{tn}+V_{OVn}=(1+1)\text{V}=2\text{V}$。

(4) 由 KVL，M_n 的栅极电压是 $V_{Gn}=V_{Sn}+V_{GSn}=(1+2)\text{V}=3\text{V}$。这也是 M_P 的漏极电压 V_{Dp}。

(5) M_P 的漏极电流是 $I_{Dp}=V_{Dp}/R_4=(3/7.5)\text{mA}=0.4\text{mA}$。

(6) 由 KVL 和欧姆定律，M_P 的源极电压是 $V_{Sp}=V_{DD}-R_3I_{Dp}=(10-10\times0.4)\text{V}=6\text{V}$。

(7) 由 KVL，M_P 的源漏压降为 $V_{SDp}=V_{Sp}-V_{Dp}=(6-3)\text{V}=3\text{V}$。

(8) 假设 M_P 是饱和的。那么维持 0.4mA 的过驱动电压是 $V_{OVp}=\sqrt{2\times0.4/0.2}\text{V}=2\text{V}$。这小于 $V_{SDp}(=3\text{V})$，所以 MOSFET 是饱和的。我们有 $V_{SGp}=|V_{tp}|+V_{OVp}=(1.5+2)\text{V}=3.5\text{V}$。

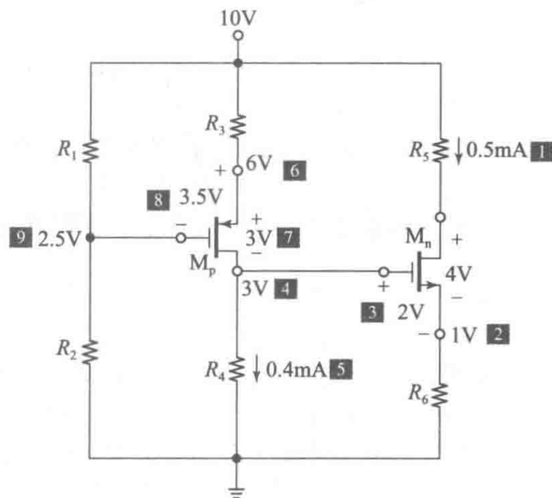


图 3.36 在图 3.35 所示的电路中标出了电压和电流值及相应的计算步骤

(9) 由 KVL，M_p 的栅电压是 $V_{Gp}=V_{Sp}-V_{SGp}=(6-3.5)\text{V}=2.5\text{V}$。

(10) 我们注意到 R_2 压降为 2.5V，R_1 压降为 7.5V，所以 $R_1=3R_2$。采用 $R_2=1\text{M}\Omega$、$R_1=3\text{M}\Omega$。◀

3.6　MOSFET 作为放大器/开关

我们现在研究 MOSFET 两个基本的应用，放大和开关。为此，参考图 3.37 的基本电路，其中 R_D 和 M 可认为形成了一个分压器：R_D 尝试将 v_O 拉至 V_{DD}，M 尝试将 v_O 拉至地。v_O 将取中间的哪个值取决于哪种趋势获胜。v_O 相对于 v_I 的图形称为电压传输曲线（VTC），它提供了该电路更深层次的性能。

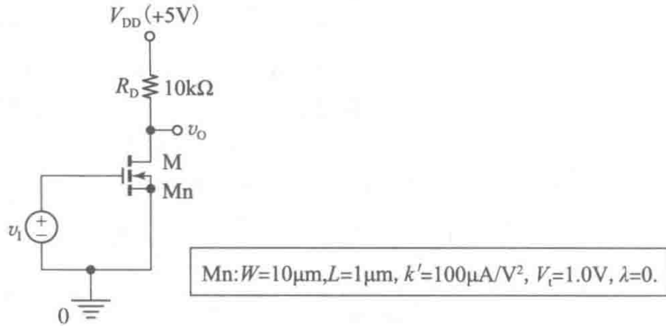


图 3.37　研究作为放大器/开关的 MOSFET 的 PSpice 电路

图 3.38 画出了漏极电流在 v_I 从 0V 变化到 5V 情况下的 VTC，FET 具有如图 3.37 所示的特性。我们做出以下的观察：

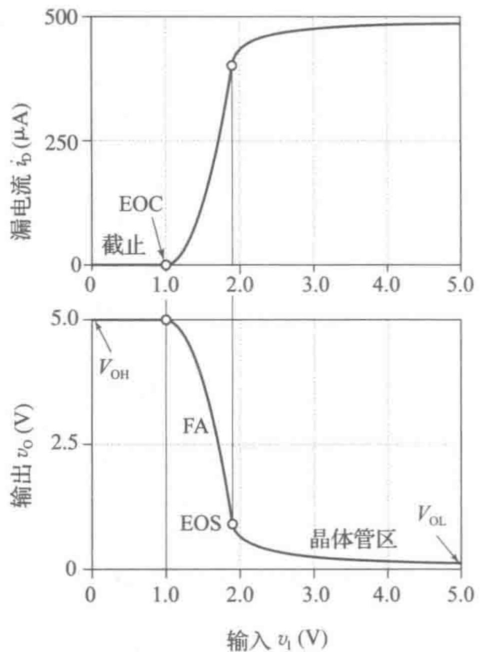


图 3.38　图 3.37 所示的 MOSFET 从截止（CO）到导通边缘（EOC），穿过正向有源（FA）区，到达饱和边缘（EOS），最后到晶体管区

- 对于 $v_I \leqslant V_t(V_t = 1.0\text{V})$，MOSFET 是截止的（CO）。漏极不抽取电流，穿过 R_D 的电压为 0V，这表明 R_D 将 v_O 一直拉高到 V_{DD}。我们将这点写作 $v_O = V_{OH}$，其中，

$$V_{OH} = V_{DD} = 5\text{V} \tag{3.41}$$

- 当我们将 v_I 上升到

$$V_{I(EOC)} = V_t = 1.0\text{V} \tag{3.42}$$

MOSFET 到达导通边缘（EOC），并将 v_O 从 V_{DD} 向下拉。

- 进一步上升 v_I，将使得 MOSFET 完全导通。只要 $v_O \geqslant V_{OV}$。MOSFET 将会工作在饱和边缘，利用所给器件参数和元件值，我们可写出：

$$v_O = V_{DD} - R_D I_D = 5 - 10 \times \frac{1}{2}(v_I - 1)^2$$
$$= 10v_I - 5v_I^2 \tag{3.43}$$

- 当 v_O 下降到 $v_O = V_{OV}$，MOSFET 将会到达饱和边缘（EOS），此处我们有 $v_I = V_t + V_{OV} = 1 + V_{OV}$。令式（3.43）中 $v_O = V_{OV}$、$v_I = 1 + V_{OV}$，求解得到的二次方程，只留下可接受的解，我们得到 $V_{OV} = 0.905\text{V}$。将相应的 v_I 值记为 $V_{I(EOS)}$，对于所给的器件和元件，可得：

$$V_{I(EOS)} \approx 1.9\text{V} \tag{3.44}$$

- 当 $v_I \geqslant V_{I(EOS)}$ 时，v_O 下降到 V_{OV} 以下，所以 MOSFET 进入晶体管区，对于所给的器件和元件，有：

$$v_O = V_{DD} - R_D I_D = 5 - 10 \times 1\left[(v_I - 1)v_O - \frac{1}{2}v_O^2\right]$$

$$= 5 - 10(v_I - 1)v_O + 5v_O^2 \tag{3.45}$$

- 当 $v_I = V_{DD} = 5V$ 时，式(3.45)给出，对于所给的器件和元件有 $v_O = V_{OL}$，此处

$$V_{OL} = 0.124V \tag{3.46}$$

我们希望指出，为了简化计算，以便与仿真数据比较，我们假设图 3.37 所示电路中有 $\lambda=0$。在实际中，非零的 λ 将会略微改变曲线，但普遍结果依然成立。感兴趣的读者可以很容易地显示出这个区别，只需在上述的 PSpice 电路中设置 $\lambda=0.05V^{-1}$ 并运行即可。

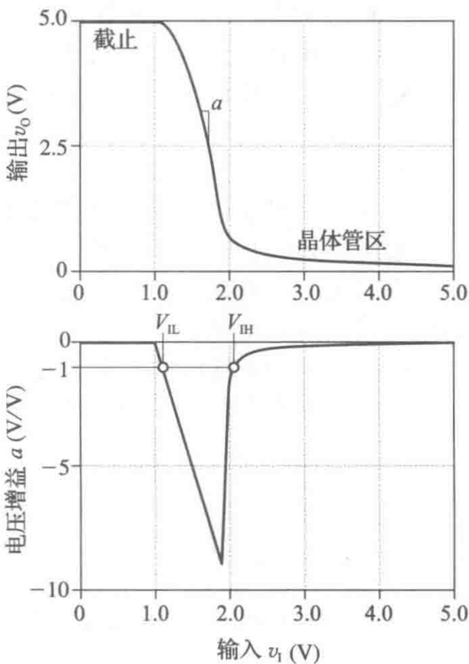


图 3.39 VTC 及其斜率(代表电压增益 a)

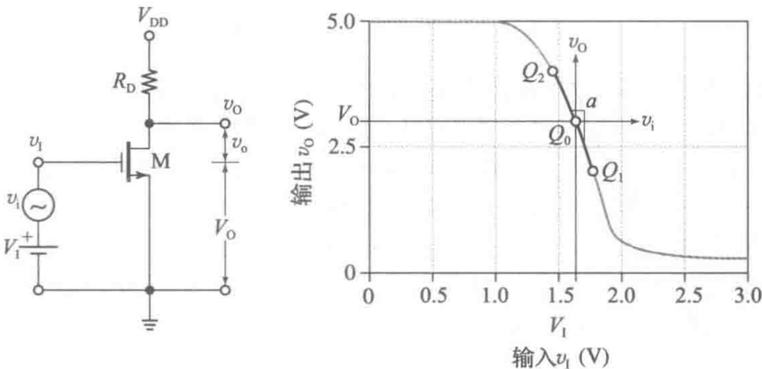
作为放大器的 MOSFET

VTC 的斜率表示电压增益。其记为 a，通过微分式(3.43)可以很容易地得到。对于所给的器件和元件值，结果是：

$$a = \frac{dv_O}{dv_I} = 10(1 - v_I) \tag{3.47}$$

图 3.39 画出了 VTC 及其斜率 a。在截止区和晶体管区，a 很小甚至为 0。然而，有两个点，记为 V_{IL} 和 V_{IH}，对于 $V_{IL} \leqslant v_I \leqslant V_{IH}$，有 $|a| > 1V/V$，这表明电路可以用作一个放大器(但是相位反相的)。我们可以看到，电压增益刚临近饱和边缘处达到峰值，约为 $-9V/V$。

电路本身是非线性的，它的增益不为常数，会随着信号值的变化而变化的。因此，VTC 不通过原点，而是在 v_I 和 v_O 轴都有偏移。怎样才能使这样的电路作为一个电压放大器呢？结果依赖于两个前提，这在图 3.40 中有所阐述。



a) 图3.37所示的MOSFET作为一个电压放大器

b) 工作点 的变化

图 3.40

- 首先，我们通过施加合适的直流电压 V_I，将 MOSFET 偏置在 FA 区内一个合适的工作点 $Q_0 = Q_0(V_I, V_O)$。该点称为静态工作点，实际上，Q_0 建立了关于该点信号变化的新坐标轴。Q_0 应离两个边界值(EOC 和 EOS)足够远，以允许输出信号在两个方向都有足够的摆幅。
- 其次，我们加上一个交流输入 v_i，这将使得瞬态工作点在 VTC(Q_1 和 Q_2 之间)上上下移动，在输出端产生了一个放大的交流电压 v_o。

在我们的讨论中，我们借助在二极管学习中被证明非常方便使用的相同符号，即我们

将输入和输出电压记为：

$$v_I = V_I + v_i \tag{3.48a}$$

$$v_O = V_O + v_o \tag{3.48b}$$

其中：● v_I 和 v_O 代表总的信号(小写符号和大写下标)

● V_I 和 V_O 是其直流分量(大写符号和大写下标)

● v_i 和 v_o 是其交流分量(小写符号和小写下标)

在图 3.40b 中画出了图 3.37 所示的电路，工作点选择在导通边缘和饱和边缘之间，即 $V_O=((5+0.905)/2)\text{V}\approx3\text{V}$。此处的电压增益记为 $a(Q_0)$。

练习 3.2

将图 3.37 所示电路的漏极偏置在 $V_O=3.0\text{V}$ 上，求出所需的 V_I。相应的电压增益 a 是多少?

答案： $V_I=1.632\text{V}$，$a(Q_0)=-6.324\text{V/V}$

当输入为逐渐增大的三角波 v_i 时，PSpice 仿真给出了图 3.41 所示的波形。对此，我们给出以下观察结果。

● 在图 3.41a 所示波形中，交流输入 v_i 的峰值为±100mV，交流输出 v_o 是 v_i 反向和放大的波形。v_o 表现出的轻微失真是由于二次(非线性)有源区 VTC。

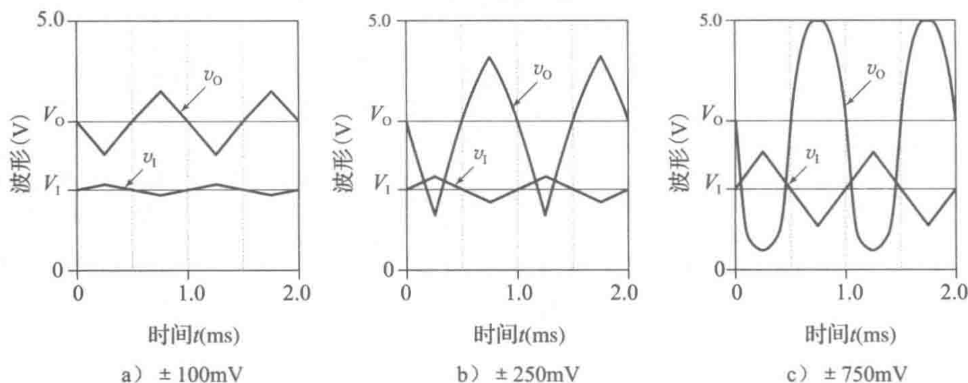


图 3.41　图 3.37 所示的电路的三角波的响应与峰值。MOSFET 偏置在 $V_I=1.63\text{V}$

● 如图 3.41b 所示，将 v_i 的峰值上升到±250mV，会产生一个更加失真的 v_o 波形，这是因为此时工作点在非线性 VTC 上的更宽范围内移动。

● 如图 3.41c，当 v_i 的峰值上升到±750mV 时，工作点不仅在整个有源区 VTC 上移动，甚至还进入了截止区和晶体管区。因此，v_o 的失真更加严重，由于进入了截止区，其波形上端被削平，由于进入了非线性晶体管区，其波形下端被压缩。

我们现在能够更好地理解将 MOSFET 偏置在有源区中间部分，离截止区和晶体管区足够远的原因，以及保持 v_i 和 v_o 足够小的原因。实际上，信号越小，输出失真越少。若我们保证交流信号足够小，以允许在式(3.47)中进行 $dv_I\rightarrow v_i$ 和 $dv_O\rightarrow v_o$ 的替换，接着我们可以近似 $a=v_o/v_i$，即

$$v_o = a(Q_0)\times v_i \tag{3.49}$$

式中：$a(Q_0)$是在工作点 Q_0 处的增益。就此而言，v_i 和 v_o 也称为小信号。在下节将会对这个问题进行更严格的处理。

例 3.26 参考图 3.41a 所示曲线，通过式(3.43)对交流输出 v_o 进行精确的分析，再通过式(3.49)进行近似分析，对两种情况进行比较。

解：

对于 $v_I=V_I+v_i=(1.632+0)\text{V}$，式(3.43)得到 $v_O=V_O+v_o=(3.003+0)\text{V}=3.003\text{V}$，电路工作在 Q_0 处(见图 3.40b)，此处的增益是 $a=-6.324\text{V/V}$。

对于 $v_I=V_I+v_i=1.632\text{V}+100\text{mV}=1.732\text{V}$，式(3.43)得到 $v_O=2.321\text{V}$，电路现在工作在

Q_1 处(见图 3.40b)。因此有 $v_O = V_O + v_o$，即 $2.321 = 3.003 + v_o$，给出 $v_o = (2.321 - 3.003)\text{V} = -682\text{mV}$。这表示实际的 v_o 负向峰值。由式(3.49)，近似的峰值为 $-6.324 \times 100\text{mV} = -632\text{mV}$，这表明估算小了 7.3%。这是因为 Q_0 和 Q_1 之间的实际增益比 6.324V/V 大。

对于 $v_I = V_I - v_i = 1.632\text{V} - 100\text{mV} = 1.532\text{V}$，式(3.43)得到 $v_O = 3.585\text{V}$，电路现在工作在 Q_2 处(见图 3.40b)。再有 $v_O = V_O + v_o$，得到 $v_o = (3.585 - 3.003)\text{V} = +582\text{mV}$。这表示实际的 v_o 正向峰值。由式(3.49)，近似的峰值为 $-6.324 \times (-100)\text{mV} = +632\text{mV}$，这表明估算大了 8.6%。这是因为 Q_0 和 Q_2 之间的实际增益比 6.324V/V 小。 ◀

作为电子开关的 MOSFET

当 MOSFET 在截止区和欧姆区中转换工作状态时，器件表现为一个电子控制的开关 SW。这个功能在图 3.42 中有所介绍，对此，我们给出以下观察结果。

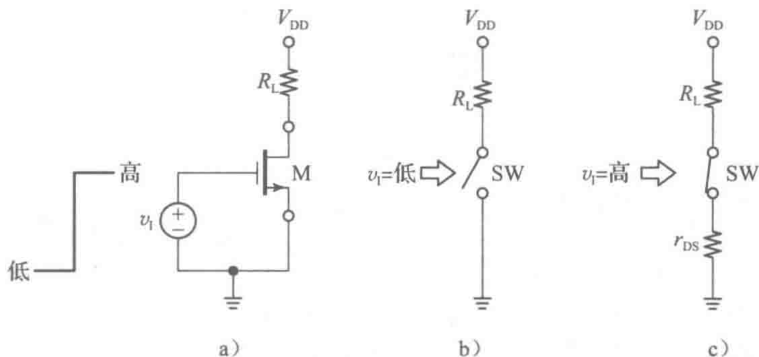
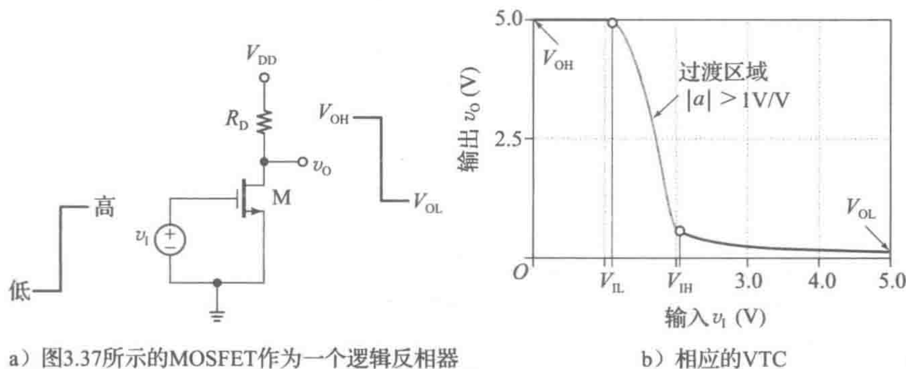


图 3.42 MOSFET 作为电子开关的工作状态

- 当图 3.42a 所示电路中的输入电压等级为低时，例如接近 0V，MOSFET 是截止的，因为其不抽取电流，其可作为一个开态的开关，如图 3.42b 所示。
- 当输入电压等级为高时，例如接近 V_{DD}，或者 5V，MOSFET 工作在欧姆区，表现为一个如图 3.42c 所示的具有电阻 r_{DS} 的闭合开关。在精心设计的电路中，$r_{DS} \ll R_L$。当图 3.37 所示电路给出 $v_I = V_{DD} = 5\text{V}$ 时，由式(3.17)可得，$r_{DS} = (1/(5-1))\text{k}\Omega = 250\Omega$。

作为逻辑反相器的 MOSFET

MOSFET 开关一个最重要的应用是在计算机系统中作为逻辑反相器使用。如图 3.43a 所示，一个逻辑反相器对低输入电平($v_I \approx 0\text{V}$)的响应是高输出电平 V_{OH}。对高输入电平($v_I \approx 5\text{V}$)的响应是低输出电平 V_{OL}。如此说来，根据图 3.37 所示的元件值，我们有 $V_{OH} = 5\text{V}$、$V_{OL} = 0.12\text{V}$。



a) 图3.37所示的MOSFET作为一个逻辑反相器　　b) 相应的VTC

图 3.43

图 3.43b 画出了逻辑反相器工作 VTC 的两个部分。毫无疑问，当反相器从一个状态转换到另一个状态，其工作点将会瞬间通过 VTC 的中间部分。但是在当今所用的高速逻辑电路中，反相器处在该区域的时间非常短，通常只有几纳秒或更少($1\text{ns} = 10^{-9}\text{s}$)。

逻辑反相器必须在有干扰(通常称为噪声)的情况下也能正常工作。若有干扰出现在输入端，反相器必须抑制它，至少要削弱它，以避免其进入后面的放大电路，引发潜在的甚至更加严重的隐患。因此，增益大于 1 的过渡区，是反相器工作的禁止区。其增益为 -1V/V处的极限值，可以很容易地借助图 3.38 所示底部的图表示出来。极限处 v_I 的值记为 V_{IL}和 V_{IH}。

为了求出 V_{IL}，在式(3.47)中令$-1=10(1-V_{IL})$。这给出：

$$V_{IL} = 1.1\text{V} \tag{3.50a}$$

为了求出 V_{IH}，我们在式(3.45)两端对 v_I 进行微分，得：

$$\frac{dv_O}{dv_I} = -10\left[v_O + (v_I - 1)\frac{dv_O}{dv_I} - v_O\frac{dv_O}{dv_I}\right]$$

令 $dv_O/dv_I=-1$，得到 v_O 和 v_I 在斜率为-1时的关系，即

$$v_O = 0.5v_I - 0.45$$

将其代回式(3.45)，求解得到的关于 v_I 的二次方程，并只保留可接受的解，这显然就是 V_{IH}，我们最终得到：

$$V_{IH} = 2.055\text{V} \tag{3.50b}$$

为了更好地理解反相器抑制噪声的能力，我们应用图 3.37 所示的 PSpice 仿真电路，其中输入混杂了噪声毛刺，它在图 3.44 所示的上端有所显示。在实际中，这些毛刺可从地和电源干扰、相邻电路间多余的电/磁耦合或其他我们未观察到的原因中产生。当反相器输入为低时，我们需要考虑趋正的毛刺，当反相器输入为高时，我们需要考虑趋负的毛刺。这两种毛刺都会尝试将工作点拉向 VTC 的禁止区，并得到放大。观看图 3.44 所示底部 v_O 的图形，我们表述如下。

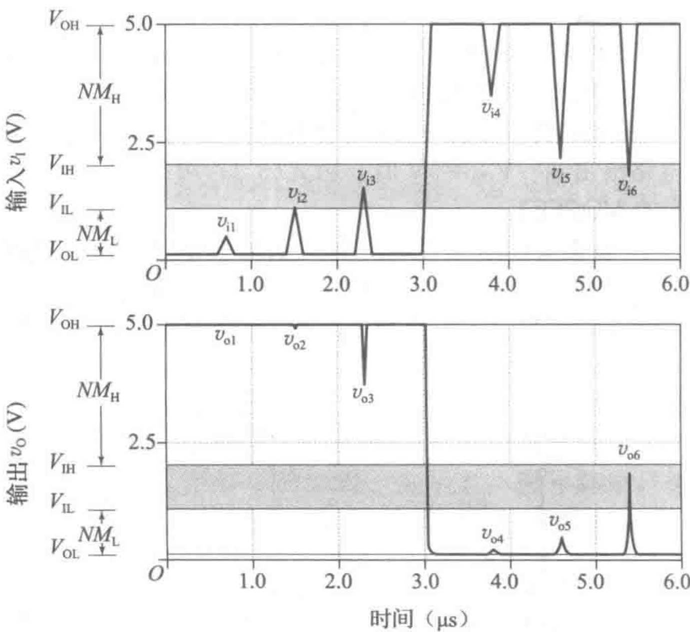


图 3.44　有噪声存在的逻辑反相器的行为，图中画出了噪声容限 NM_L 和 NM_H（阴影部分代表过渡区或是禁止区，此处的噪声得到了放大）

- 输入毛刺 v_{i1}和 v_{i2}对输出没有影响，因为其峰值比 V_{IL}小。同样，v_{i4}和 v_{i5}对输出也没有影响，因为其峰值高于 V_{IH}。
- v_{i3}的峰值比 V_{IL}大，这表示其上部将会被放大，并产生输出毛刺 v_{o3}。这是我们所不想要的，因为反相器应该抑制或削弱输入毛刺，而不是放大它们！
- v_{i6}的峰值低于 V_{IH}，这表明其低于 V_{IH}的部分将会得到放大，产生一个输出毛刺 v_{o6}。

同样，这也是不想看到的。

在输入噪声存在下，反相器能正常工作的能力用它噪声容限表示，其定义为：

$$NM_{L} = V_{IL} - V_{OL} \tag{3.51a}$$

$$NM_{H} = V_{OH} - V_{IH} \tag{3.51b}$$

如图 3.44 所示，NM_L 代表在输入为低时能承受的最大噪声。在该例中，$NM_L=(1.1-0.124)V=0.98V$，这表明趋正的输入毛刺在大小不超过 0.98V 时都会被抑制或减弱。同样地，NM_H 代表在输入为高时能承受的最大噪声。在该例中，$NM_H=(5-2.055)V=2.95V$，这表明电路有抑制不超过 2.95V 的趋负噪声的能力。该例中的电路在输入为高时，能更好地承受噪声。用具有较高 V_t 值的 MOSFET，如 $V_t=2V$，将会使 VTC 向右移动，从而增加 NM_L，这是以降低 NM_H 为代价的，而得到一个更加平衡的噪声容限。

3.7 MOSFET 的小信号工作状态

我们现在希望对以前章节中介绍的小信号工作状态做更系统化的研究。我们先从图 3.45a 所示的电路开始，其中，我们用一个直流源 V_{GS} 将 MOSFET 偏置在二次曲线上的某个静态工作点 $Q_0=Q_0(I_D, V_{DS})$（见图 3.46a），再用带有电阻 R_D 的电源 V_{DD} 将 FET 偏置在有源区内相应的工作点 $Q_0=Q_0(I_D, V_{DS})$（见图 3.46b）。在 Q_0 处应用式(3.21)，得到：

$$I_D = \frac{k}{2}(V_{GS} - V_t)^2(1 + \lambda V_{DS}) \tag{3.52}$$

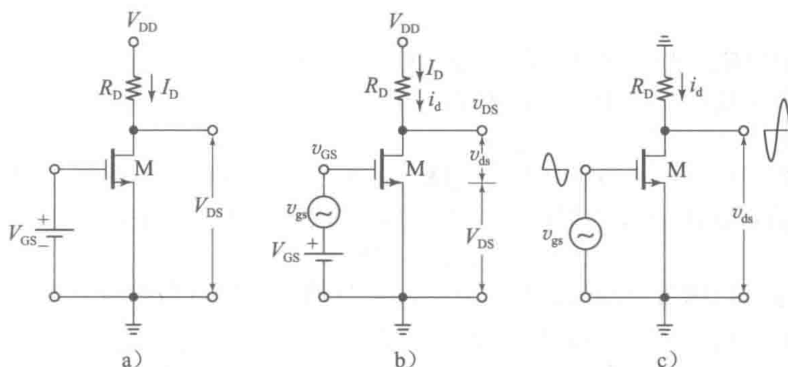


图 3.45 MOSFET 作为小信号放大器的系统分析。实际电路如图(b)所示，图(a)画出了其大信号或直流版本，图(c)画出了其小信号或交流版本

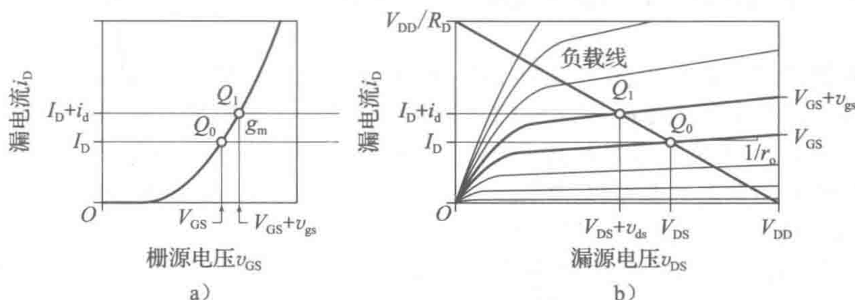


图 3.46 对图 3.45 所示的 MOSFET 放大器采用图解法

图 3.46b 画出了 MOSFET 的 i_D-v_{GS} 曲线，以及从漏极看入的外部电路的曲线，称为负载线，即

$$i_D = \frac{V_{DD} - v_{DS}}{R_D}$$

静态工作点 $Q_0=Q_0(I_D, V_{DS})$ 就落在给定 V_{GS} 下的 MOSFET 曲线与负载线相交处。

如果现在将图 3.45b 所示电路中的交流源 v_{gs} 接通，工作点将会在图 3.46a 所示的二次

曲线上上下移动，同时也会在图 3.46b 所示的负载线上上下移动。在图 3.46 所示电路中，我们得到了 v_{gs}的正向部分，此时图 3.46a 所示的瞬态工作点是 $Q_1=Q_1(I_D+i_d, V_{GS}+v_{gs})$，在图 3.46b 所示曲线中是 $Q_1=Q_1(I_D+i_d, V_{DS}+v_{ds})$。我们希望求出交流电流 i_d 与交流电压 v_{gs}和 v_{ds}的关系。在 Q_1 处应用式(3.21)，得到：

$$I_D+i_d=\frac{k}{2}[V_{GS}+v_{gs}-V_t]^2[1+\lambda(V_{DS}+v_{ds})]$$

重组相乘项，得到：

$$I_D+i_d=\frac{k}{2}[(V_{GS}-V_t)^2+2(V_{GS}-V_t)v_{gs}+v_{gs}^2][(1+\lambda V_{DS})+\lambda v_{ds}] \quad (3.53)$$

在 $\lambda V_{DS}\ll 1$ 时，近似有$(k/2)(V_{GS}-V_t)^2\approx I_D$，并重新写为：

$$I_D+i_d=I_D+kV_{OV}v_{gs}+\lambda I_D v_{ds}+\cdots$$

式中：$V_{OV}=V_{GS}-V_t$。只要我们能忽略包含交流乘积和指数的高阶项，上述的表达式就可写为：

$$i_d=g_m v_{gs}+\frac{v_{ds}}{r_0} \quad (3.54)$$

式中：g_m 是式(3.25)中所介绍的 MOSFET 的跨导。这里复习跨导的三个表达式：

$$g_m=kV_{OV}=\sqrt{2kI_D}=2\frac{I_D}{V_{OV}} \quad (3.55)$$

且

$$r_o=\frac{1}{\lambda I_D} \quad (3.56)$$

是漏极输出电阻。如图 3.46 所示，g_m 和 $1/r_o$ 分别表示 i_D-v_{DS}曲线和 i_D-v_{DS}曲线在 Q_0 处的斜率。两个参数都取决于工作电流 I_D。而且，$1/r_o\ll g_m$ 的事实也表明 i_d 与 v_{ds}的相关性要弱于其与 v_{gs}的相关性。

我们希望能解释在什么条件下可以忽略式(3.53)中的高阶项。通过观察，只要保持 v_{gs}足够小，以满足条件 $v_{gs}^2\ll 2(V_{GS}-V_t)|v_{gs}|$，二次项就可以忽略，这个条件也就是：

$$|v_{gs}|\ll 2V_{OV} \quad (3.57)$$

显然，式(3.54)称为小信号近似，式(3.57)证明了这种近似的有效性。

例 3.27 (a) 假设图 3.46a 所示曲线中的 v_{gs}是一个交流信号，其峰值为$\pm V_m$。若 $I_D=1\text{mA}$、$V_{OV}=1\text{V}$，若小信号近似的误差不超过 10%，求出 V_m 的最大值。

(b) 用小信号近似估算 i_d 的峰值。

(c) 求出 i_d 的精确峰值，与近似值相比较，并评论。

解：

(a) 参考式(3.57)，令 $v_m\leqslant 0.1\times(2V_{OV})=0.1\times(2\times1)\text{V}=0.2\text{V}$。

(b) 由式(3.55)，$g_m=2I_D/V_{OV}=(2\times1/1)\text{mA/V}=2\text{mA/V}$。对于 i_d，由式(3.54)得到小信号近似值，其峰值为$\pm I_m=g_m(\pm V_m)=2\times(\pm0.2)=\pm0.4\text{mA}$。

(c) 由所给出的数据，$k=2I_D/V_{OV}^2=(2\times1/1^2)\text{mA/V}^2=2\text{ mA/V}^2$。由式(3.53)，$i_d$ 峰值的精确值分别是$\pm g_m V_m+(k/2)V_m^2=[\pm0.4+(2/2)\times0.2^2]\text{mA}$，即 0.44mA 和 -0.36mA。因为i_D-v_{DS}特征曲线有弯曲，所以小信号近似对于正向电流，峰值低估了 10%，对于负向电流，峰值高估了 10%。 ◀

就像我们用图 3.45a 所示的直流等效来研究 MOSFET 的偏置条件一样，我们将用图 3.45c 所示的交流等效来研究其作为放大器的工作状态。实际上，由 KVL、欧姆定律和式(3.54)，对于后者，有：

$$v_{ds}=0-R_D i_d=-R_D\left(g_m v_{gs}+\frac{v_{ds}}{r_o}\right)$$

合并求解 v_{ds}，我们可写出：

$$v_{ds}=-g_m(R_D /\!/ r_o)v_{gs}$$

这表明电路将 v_{gs} 放大了 $-g_m(R_D // r_o)$ 倍。为了得到直观的印象，令 $g_m = 1\text{mA/V}$，$R_D = 10\text{k}\Omega$，$r_o = 100\text{k}\Omega$。得到：$v_{ds} = -9.1v_{gs}$。

分别进行直流和交流分析的必要性将随着学习的深入得到更好的诠释。图 3.20 和图 3.21 画出了进行直流分析的 MOSFET 大信号模型，正如图 3.30 和图 3.32 所例证。我们现在需要开发一个用于交流分析的 MOSFET 小信号模型。

小信号模型

图 3.47 画出了 MOSFET 的小信号模型。这个模型也称为增量模型或是交流等效，其作用是提供一种电路来反映式(3.54)中所表述的 i_d 相对于 v_{gs} 和 v_{ds} 的关系。我们知道，对于 v_{ds} 的相关性相比于 v_{gs} 而言要弱得多，这也是有时为了加速计算而忽略式(3.54)中第二项的原因。在这章中，我们将 MOSFET 的应用限制在体与源极相连的情况，图 3.47 所示的模型对于这种研究已经足够。若源极能脱离体而悬浮，考虑体效应需要对此处的小信号模型进行改进(这在下一章介绍)。小信号参数的定义(nMOSFET 的情况)及其计算列于表 3.1 中。

表 3.1 小信号参数汇总

定义	计算
$g_m = \left.\dfrac{\partial i_D}{\partial v_{GS}}\right\|_{V_{DS}}$	$g_m = \sqrt{2kI_D} = 2\dfrac{I_D}{V_{OV}} = kV_{OV}$
$\dfrac{1}{r_o} \left.\dfrac{\partial i_D}{\partial v_{DS}}\right\|_{V_{GS}}$	$r_o = \dfrac{1}{\lambda I_D}$

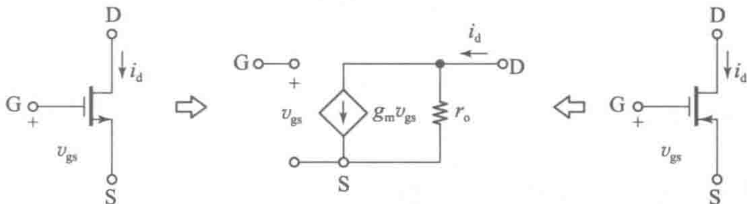


图 3.47 小信号 MOSFET 模型。这个模型适用于 nMOSFET 和 pMOSFET

我们需要指出，图 3.47 所示的模型适用于 nMOSFET 和 pMOSFET，不需要改变电压极性和电流方向。为了分析原因，考虑两种器件中通过增大 v_{gs} 而增大 v_{GS} 的影响。在 nMOSFET 中，i_D 也会增加，但在 pMOSFET 中 i_D 会下降。因此，在 nMOSFET 中 i_d 与 i_D 有相同的方向(i_d 流入漏端)，但在 pMOSFET 中 i_d 与 i_D 的方向相反：因为 i_D 是流出漏端的，i_d 是流入漏端的，这与 nMOSFET 的情况相同。我们需要强调，小信号模型不能与大信号模型相混淆。后者用于直流分析，相关例子我们已有接触。前者用于交流分析，在接下来介绍。

通用的 MOSFET 电路

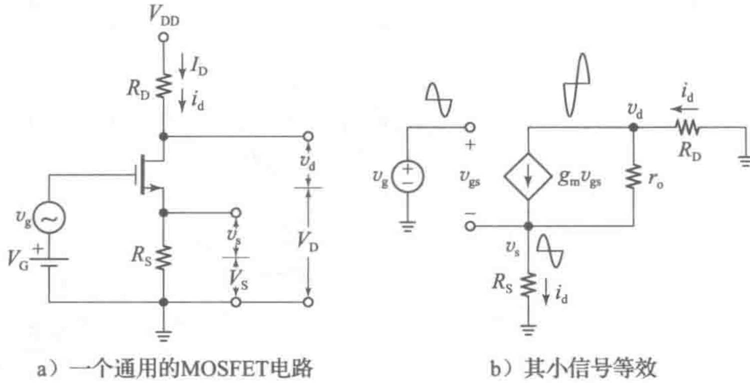
作为小信号模型的第一个应用，我们研究图 3.48a 所示的这种普遍的 MOSFET 电路，它除了包含一个额外电阻 R_S 之外，与图 3.45b 所示电路类似。我们的分析将会揭示 MOSFET 和外部电路元件之间一系列有趣的相关关系。另外，我们会提供一些表达式，帮助加快对 MOSFET 放大器的分析。

直流源 V_G 和 V_{DD} 的作用是将 MOSFET 偏置在饱和区内某个直流电流 I_D 下。打开输入交流源 v_g 会产生漏端交流电流 i_d 和输入交流电压 v_d 和 v_s。我们需要研究小信号 i_d、v_d、v_s 与 v_g 的关系。我们还希望求出从栅端、源端和漏端看入的小信号电阻，将其记为 R_g、R_s 和 R_d (注意到其中用了小写的下标，将它们与 MOSFET 外部的电阻(采用的是大写下标)相区别)。

一般来说，为了对 MOSFET 电路做小信号分析，需做如下工作。

- 先将 MOSFET 用其小信号模型代替。
- 只画出交流信号，如图 3.48b 所示的等效电路。偏置电压(V_G 和 V_{DD})及所有其他的直流分量(V_S，V_D 和 I_D)不在等效电路中出现，因为其是常数，不存在交流分量。因此，我们把实际电路变为了其小信号等效电路，要将所有直流电压和直流电流置为 0。

现在我们需要求出上述的小信号关系及电阻。



a）一个通用的MOSFET电路　　b）其小信号等效

图　3.48

● 电路的小信号跨导 $G_m = i_d/v_g$。参考图 3.48b 所示电路，由 KVL 给出：

$$i_d = g_m v_{gs} + \frac{v_d - v_s}{r_o}$$

现在，由欧姆定律，有 $0 - v_d = R_D i_d$，即

$$v_d = -R_D i_d \tag{3.58}$$

再由欧姆定律，有：

$$v_s = R_S i_d \tag{3.59}$$

再由定义 $v_{gs} = v_g - v_s$，即

$$v_{gs} = v_g - R_S i_d \tag{3.60}$$

将 v_{gs}，v_d，v_s 代入 i_d 的表达式并求解，我们得到：

$$i_d = G_m v_g \tag{3.61}$$

式中：G_m 为电路的跨导(不要与单独 MOSFET 的跨导 g_m 相混淆)，

$$G_m = \frac{g_m}{1 + g_m R_S + (R_D + R_S)/r_o} \tag{3.62a}$$

随着学习的深入，我们将会发现对于单个 MOSFET 放大器，通常有$(R_D + R_S)/r_o \ll 1$，所以式(3.62a)简化为：

$$G_m \approx \frac{g_m}{1 + g_m R_S} \tag{3.62b}$$

注意到在 $R_S = 0$ 时，我们有 $G_m = g_m$，在 $R_S \neq 0$ 时，我们有 $G_m < g_m$。这种跨导的下降称为简并，是因为压降 $R_S i_d$ 减去输入 v_g 产生了一个对受控源的简并控制信号 v_{gs}，如式(3.60)所示。因此，$i_d(= g_m v_{gs})$也会减小。对于简并更系统的研究表明，R_S 提供了一种负反馈功能，如例 3.19 中所提到。这个主题将会在第 7 章中更系统地研究，但在这里我们还需说明，R_S 通常称为源简并电阻，它不仅降低了跨导，也同时影响了从漏极看入的小信号电阻 R_d，我们马上将会对其进行研究。

● 从栅到漏的小信号电压增益 v_d/v_g。由式(3.58)、式(3.61)和式(3.62a)，增益是：

$$\frac{v_d}{v_g} = \frac{-g_m R_D}{1 + g_m R_S + (R_D + R_S)/r_o} \tag{3.63a}$$

负号代表从栅到漏是反向放大的：正向(负向)的 v_g 产生负向(正向)的 v_d。如果条件$(R_D + R_S) < r_o$ 成立，式(3.63a)简化为：

$$\frac{v_d}{v_g} \approx -\frac{g_m R_D}{1 + g_m R_S} \tag{3.63b}$$

● 从栅到源的小信号电压增益 v_d/v_g。由式(3.59)、式(3.61)和式(3.62)，增益是：

$$\frac{v_s}{v_g} = \frac{g_m R_S}{1 + g_m R_S + (R_D + R_S)/r_o} \tag{3.64a}$$

这表明 v_s 与 v_g 是同相的。如果条件 $(R_D+R_S)\ll r_o$ 成立，式(3.64a)简化为：

$$\frac{v_s}{v_g}\approx\frac{1}{1+1/(g_m R_S)} \tag{3.64b}$$

从栅到源的增益略小于1，这取决于 $g_m R_S$ 的乘积与1相比有多大。总结这一点，可以认为源极跟随栅极。

- 从栅极看入的小信号电阻 R_g。我们知道，栅极是小电容的一个极板，其获得的电流可以忽略，至少在中频之前是如此。考虑实际因素，我们可以说，MOSFET 从栅极看入的电阻是：

$$R_g=\infty \tag{3.65}$$

例 3.28 一个特定的 MOSFET 有 $k=0.5\text{mA/V}^2$、$\lambda=0.01\text{V}^{-1}$，其被偏置在 $I_D=1\text{mA}$。若 $R_D=10\text{k}\Omega$、$R_S=2.0\text{k}\Omega$，估计增益 v_d/v_g 和 v_s/v_g。

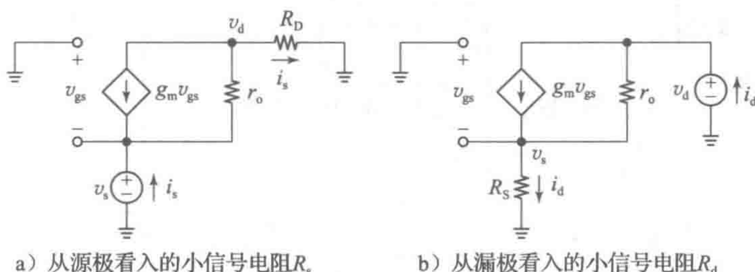
解：

由式(3.55)和式(3.56)，我们有 $g_m=1/(1\text{k}\Omega)$ 和 $r_o=100\text{k}\Omega$。利用 $(R_D+R_S)\ll r_o$ $(12\ll 100)$，我们用式(3.63b)和式(3.64b)的近似表达，求出：

$$\frac{v_d}{v_g}\approx-\frac{1\times 10}{1+1\times 2}\text{V/V}=-3.33\text{V/V},\quad \frac{v_s}{v_g}\approx\frac{1}{1+1/(1\times 2)}\text{V/V}=0.67\text{V/V}$$ ◀

- 从源极看入的小信号电阻 R_s。为了求出这个电阻，在图 3.48b 所示的交流等效电路中令 $v_g\to 0$，如图 3.49a 所示，在源端加入一个测试电压 v_s，求出产生的电流 i_s，最后得到 $R_s=v_s/i_s$。因此，将流入源极的电流相加，我们得到：

$$i_s+g_m v_{gs}+\frac{v_d-v_s}{r_o}=0$$



a) 从源极看入的小信号电阻R_s　　b) 从漏极看入的小信号电阻R_d

图 3.49 测试电路以求出(a)从源极看入的小信号电阻 R_s，(b)从漏极看入的小信号电阻 R_d

但是，$v_{gs}=v_g-v_s=0-v_s=-v_s$，且 $v_d=R_D i_s$。代入并对 v_s/i_s 求解，在经过适当的代数运算后，我们得到：

$$R_s=\left(\frac{1}{g_m}\mathbin{/\!/} r_o\right)+\frac{R_D}{1+g_m r_o} \tag{3.66a}$$

由于 r_o 的耦合作用，R_s 还取决于外部的源电阻 R_D，我们说(由式(3.66a)可以看出)R_D 折算到源极时，其缩小为 $\frac{1}{(1+g_m r_o)}$。MOSFET 通常有 $g_m r_o\gg 1$。而且，分立的 MOSFET 放大器通常有 $R_D\ll r_o$。在这些条件下，式(3.66a)简化为：

$$R_s\approx\frac{1}{g_m}\mathbin{/\!/} r_o\approx\frac{1}{g_m} \tag{3.66b}$$

注意到它与 BJT 的相似性。

- 从漏极看入的小信号电阻 R_d。为了求出这个电阻，在图 3.48b 所示的交流等效电路中令 $v_g\to 0$，在图 3.49b 所示的漏端加入一个测试电压 v_d(注意到 R_D 不参与这个测试)，求出产生的电流 i_d，最后令 $R_d=v_d/i_d$。因此，在源端利用 KVL，得到：

$$i_d=g_m v_{gs}+\frac{v_d-v_s}{r_0}=g_m(0-v_s)+\frac{v_d}{r_o}-\frac{v_s}{r_o}=\frac{v_d}{r_o}-(g_m+\frac{1}{r_o})v_s$$

$$= \frac{v_d}{r_o} - \left(\frac{g_m r_o + 1}{r_o}\right) R_S i_d$$

移项并求解比率 v_d/i_d 得到：

$$R_d \approx r_o + (1 + g_m r_o) R_S \tag{3.67a}$$

因为 r_o 的耦合作用，R_d 还取决于外部源电阻 R_S，我们说(由式(3.67a)可以看出)R_S 折算到漏极时，它被放大了$(1+g_m r_o)$倍。利用 $g_m r_o \gg 1$ 及分立 MOSFET 放大器中通常有的 $R_S \ll r_o$，我们将式(3.67a)简化为：

$$R_d \approx r_o(1 + g_m R_S) \tag{3.67b}$$

我们观察到在 $R_S=0$ 时，有 $R_d=r_o$，但在 $R_S \neq 0$ 时，有 $R_d > r_o$。R_d 的增大是由于源极简并电阻 R_S 的负反馈作用(注意与 BJT 的相似之处)。

将 MOSFET 对外部电阻的影响进行对比是很有趣的：R_D 折算到源极时，其减小为 $\frac{1}{(1+g_m r_o)}$，R_S 折算到漏极时其被放大了$(1+g_m r_o)$倍。为了简便，交流等效的小信号特性如图 3.50 所示。

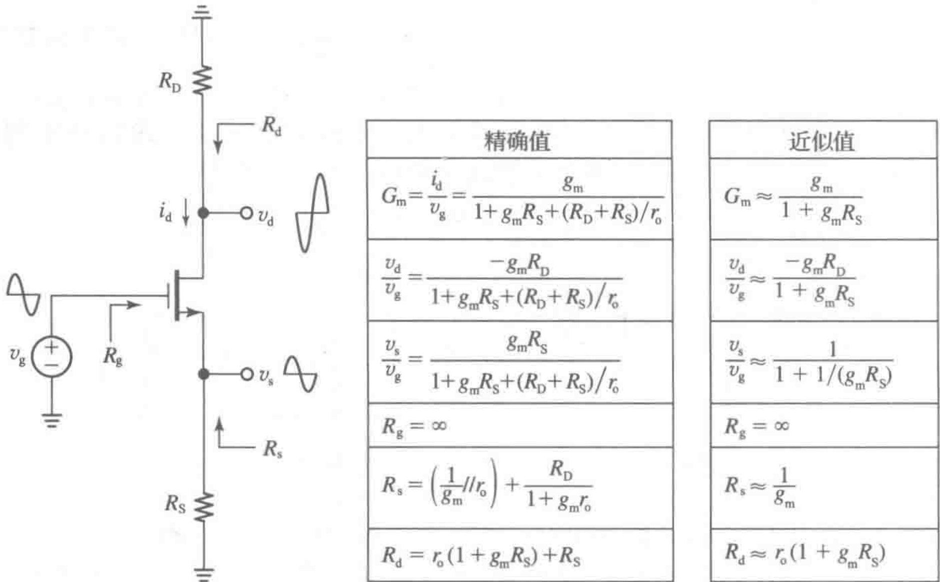


图 3.50　对小信号增益和端电阻的总结，以及对分立设计的近似

例 3.29　(a) 用例 3.28 中的小信号 MOSFET 参数，在 $R_D=0$ 时估算 R_s。

(b) 在 $R_S=5\text{k}\Omega$ 时估算 R_d。

解：

(a) 利用 $1/g_m \ll r_o$，我们利用式(3.66b)求出：

$$R_s \approx 1/g_m = 1\text{k}\Omega$$

(b) 因为 $R_S \ll r_o$，我们利用式(3.67b)求出：

$$R_d \approx 100 \times (1 + 1 \times 5)\text{k}\Omega = 600\text{k}\Omega$$ ◀

3.8　基本 MOSFET 电压放大器

因为输入、输出端口的不同，MOSFET 放大器有三种结构：共源极、共漏极和共栅极结构。在下面的研究中，我们假设体和源极是连接在一起的，所以 MOSFET 是一个三端器件。将放大器看作一个二端模块，显然 MOSFET 的一极会被两端共用，这就是上述命名的由来。

当今大部分 MOSFET 电路都通过 IC 的形式实现，应用 MOSFET 可提供有源功能

(如放大)，也可提供无源功能(如进行直流偏置和作为有源负载)。然而，在转向多晶体管电路之前，我们需要学习单晶体管的知识，我们专注于用已经熟悉的电阻和电容构成的单个 MOSFET 电路是最好的方式。这样的电路称为分立电路，因为它可以在实验室中用现成的元件来搭建，它不仅具有前瞻性，还便于理解和掌握，同时揭示了一些重要的观点，这些观点也可用于 IC 的制造中。

图 3.51 画出了电压放大器的方框图。放大器从一个带有内部电阻 v_{sig} 的信号源 v_{sig} 接收输入 v_i，并将输出 v_o 供给一个电阻负载 R_L。放大器的特性可用它输入电阻 R_i、输出电阻 R_o 和开路电压增益 a_{oc} 来表示。在放大器的输入端有一个分压器，结果其输入加载的信号为：

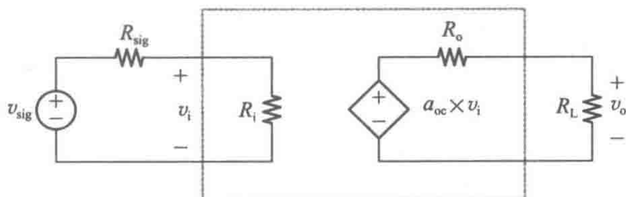


图 3.51 一个电压放大器的方框图

$$v_i = \frac{R_i}{R_{sig}+R_i}v_{sig} \tag{3.68}$$

同样的，在放大器的输出端有另一个分压器，结果在其输出的信号为：

$$v_o = \frac{R_L}{R_o+R_L}a_{oc}\times v_i \tag{3.69}$$

我们观察到

$$a_{oc} = \left.\frac{v_o}{v_i}\right|_{R_L\to\infty} \tag{3.70}$$

式中：a_{oc} 为放大器在空载时对输入 v_i 的放大增益。因此，a_{oc} 称为开环电压增益，也称为空载电压增益。从以上等式中消除 v_i，得到从信号到负载的电压增益为：

$$\frac{v_o}{v_{sig}} = \frac{R_i}{R_{sig}+R_i}\times a_{oc}\times\frac{R_L}{R_o+R_L} \tag{3.71}$$

因为信号是从源极到负载，这样会先在放大器的输入端衰减，再被放大 a_{oc} 倍，最后在输出端又有一定衰减。

共源极(CS)结构

图 3.52 所示电路中的放大器完全是由 MOSFET 和周围的元件组成的。为了防止源极和负载干扰 MOSFET 直流条件，我们采用了交流耦合电容 C_1 和 C_2。而且，为了在源端建立一个交流地，我们采用了旁路电容 C_3。

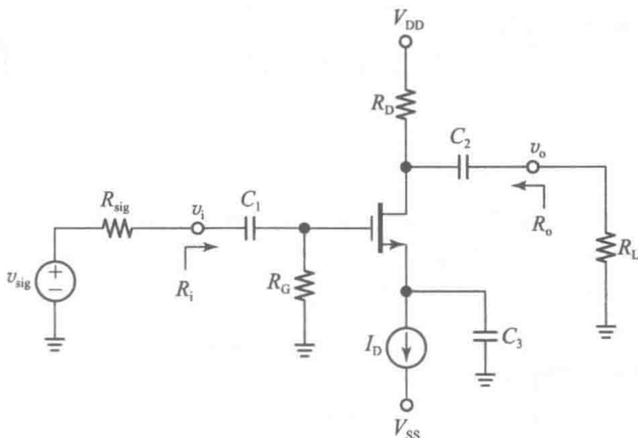


图 3.52 共源极(CS)结构

在直流情况下，电容上没有电流，因此表现为开路。实际上，在图 3.53a 所示的直流等效电路中，电容已经被忽略了。同样地，为了简化直流分析，我们假设 $\lambda=0$，再用一个

直流电流沉I_D来偏置 MOSFET。

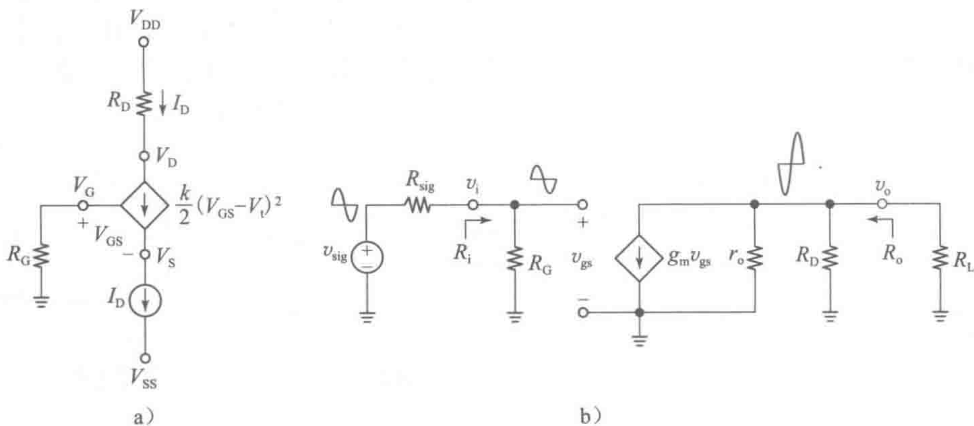


图 3.53　图 3.52 所示 CS 结构的 a)直流和 b)交流等效

这样的电流沉可以用另一个 MOSFET 制造，例如，电流镜(这里我们不需要在意这些细节)。直流电压是：

$$V_G = 0,\quad V_D = V_{DD} - R_D I_D,\quad V_S = -(V_t + V_{OV}) \tag{3.72}$$

式中：$V_{OV}=\sqrt{21_D/k}$。当给电路上电时，每个电容将会充电，直到其极板达到相应节点的直流电压值。例如，C_3 的下极板会保持地电势，而上极板将会充电至 V_S，其中，V_S 在这个电路中是负的。同样地，C_2 的左极板将会充电至 V_D，而右极板将会被 R_L 拉至 0V。

当分析电压放大器时，我们感兴趣的是其信号到负载的电压增益 v_o/v_{sig}。由式(3.71)，这需要求出从信号源看入的输入电阻 R_i、从负载看入的输出电阻 R_o，以及空载电压增益 a_{oc}。我们通过对图 3.53b 所示的电路进行研究来求出这些参数。然而，因为小信号参数 g_m 和 v_o 取决于 MOSFET 的直流偏置，我们需要分析图 3.53a 所示的直流等效。在进行分析之前，希望读者回顾直流分析和交流分析的不同，以及分别对其进行分析的重要性。

将图 3.52 所示的原始电路变为图 3.53a 所示的直流等效电路，我们按照下列步骤进行。

- 直流分析过程：
  - 将所有交流源置为 0；
  - 将 MOSFET 用其大信号模型代替(为了简便假设 $\lambda=0$)；
  - 将所有电容用开路代替。

相反地，将图 3.52 所示的原始电路变为图 3.53b 所示的交流等效电路，我们按照下列步骤进行。

- 交流分析过程：
  - 将所有直流源置为 0；
  - 将 MOSFET 用其小信号模型代替，将 r_o 包括在内；
  - 将所有电容用短路电路代替。

参考图 3.53b 所示电路，我们观察到：

$$R_i = R_G,\quad R_o = R_D \mathbin{/\!/} r_o \tag{3.73}$$

而且，由欧姆定律，我们有：

$$0 - v_o = (r_o \mathbin{/\!/} R_D \mathbin{/\!/} R_L) g_m v_{gs} = (r_o \mathbin{/\!/} R_D \mathbin{/\!/} R_L) g_m v_i$$

令 $R_L\to\infty$，得到 $v_o=-(r_o/\!/R_D)g_m v_i$。但是，根据式(3.70)，v_o/v_i 的比值是在 $R_L\to\infty$时的空载电压增益。因此，

$$a_{oc} = -g_m(R_D \mathbin{/\!/} r_o) \tag{3.74}$$

在得到 R_i，R_o，a_{oc}的表达式后，我们用式(3.71)来求出信号到负载的增益。

例 3.30 在图 3.52 所示的电路中，令 $V_{DD}=-V_{SS}=12V$，$I_D=1mA$，$R_G=1M\Omega$，$R_D=10k\Omega$，且 MOSFET 有 $V_t=1.0V$，$k=0.5\ mA/V^{-1}$，$\lambda=0.01V^{-1}$。假设 $R_{sig}=0.1M\Omega$，$R_L=30k\Omega$，且

$$v_{sig}=(100mV)\cos(\omega t)$$

求出电路中所有的节点电压，并将它们以式(3.48)的方式表示为直流分量和交流分量之和的形式，并在电路中明确标出。

解：

我们有 $V_{OV}=\sqrt{2I_D/k}=\sqrt{2\times1/0.5}V=2V$，所以式(3.72)给出：

$$V_G=0,\quad V_D=(12-10\times1)V=2V,\quad V_S=-(1+2)V=-3V$$

而且，$g_m=\sqrt{2kI_D}=\sqrt{2\times0.5\times1}mA/V=1mA/V$，且 $r_o=1/(\lambda I_D)=(1/(0.01\times1))k\Omega=100k\Omega$。因此，式(3.73)和式(3.74)给出

$$R_i=1M\Omega,\quad R_o=(10\ /\!/\ 100)k\Omega=9.09k\Omega,\quad a_{oc}=-1\times9.09V/V=-9.09V/V$$

而且，式(3.68)给出 $v_i=[1/(0.1+1)]v_{sig}=(90.9mV)\cos(\omega t)$。最终，用式(3.71)求出：

$$v_o=\left[\frac{1}{0.1+1}\times(-9.09)\times\frac{30}{9.09+30}\right]v_{sig}=-6.34\times(100mV)\cos(\omega t)$$
$$=(634mV)\cos(\omega t-180°)$$

节点电压如图 3.54 所示。鼓励读者详细地验证每个电压。

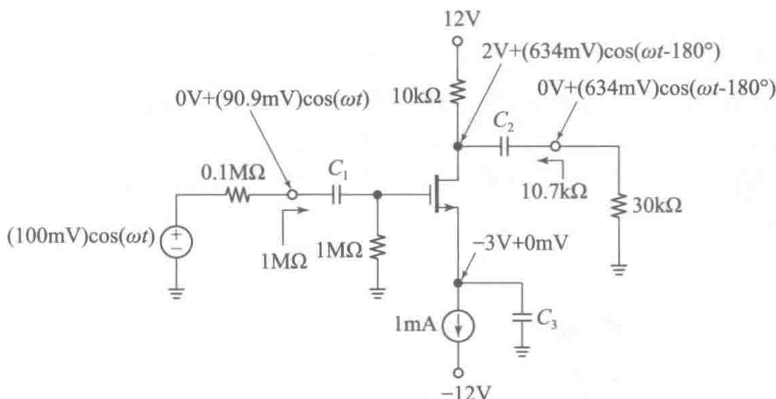


图 3.54 标出了例 3.30 的电路中每个节点的交流和直流电压分量

用交流和直流的形式重画放大器的系统分析过程，如图 3.53 所示。虽然非常推荐初学者使用，但这也许是快速分析过程的负担。随着经验的积累，某些中间过程可在脑中完成，而不需画出详细的等效电路，此外，通过将通用的电路与图 3.48 所示电路进行对比，观察图 3.50 所总结的知识，就可得到大量的结果。随着学习的深入，我们将用大量的例题来阐述。

例 3.31 图 3.55a 所示是 CS 放大器常见的单电源实现电路。R_1 和 R_2 的作用是将栅极偏置在 10V 电源和地电势之间的某个电压值。R_S 的作用是设置偏置电流 I_D 的值。

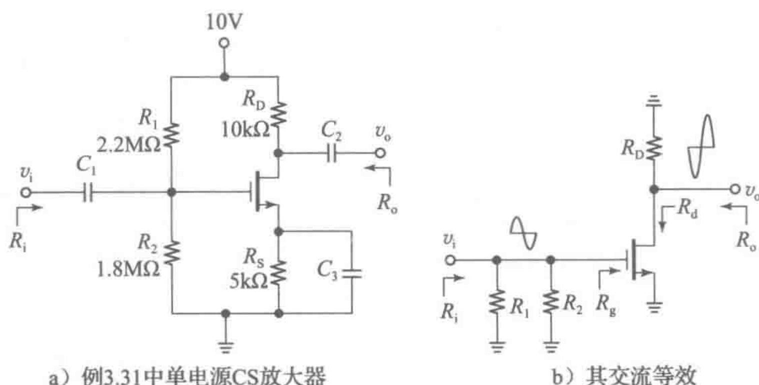
(a) 假设 $V_t=1.5V$，$k=0.8\ mA/V^2$，$\lambda=0.02V^{-1}$，求出小信号参数 R_i，R_o，$a_{oc}=v_o/v_i$。

(b) 若电路由内阻 $R_{sig}=100k\Omega$ 信号源所驱动，它的驱动负载 $R_L=75k\Omega$，求出信号到负载的增益。

解：

(a) 首先我们需要求出偏置电流 I_D。考虑到在直流情况下，所有的电容都表现为开路，显然放大器的直流版本如图 3.34a 所示。按照例 3.23 进行计算，为了简便，假设 $\lambda=0$，可以很容易求出 $I_D=0.4mA$。因此有：

$$g_m=\sqrt{2kI_D}=\sqrt{2\times0.8\times0.4}mA/V=0.8mA/V$$
$$r_o=1/(\lambda I_D)=(1/(0.02\times0.4))k\Omega=125k\Omega$$



a）例3.31中单电源CS放大器　　b）其交流等效

图 3.55

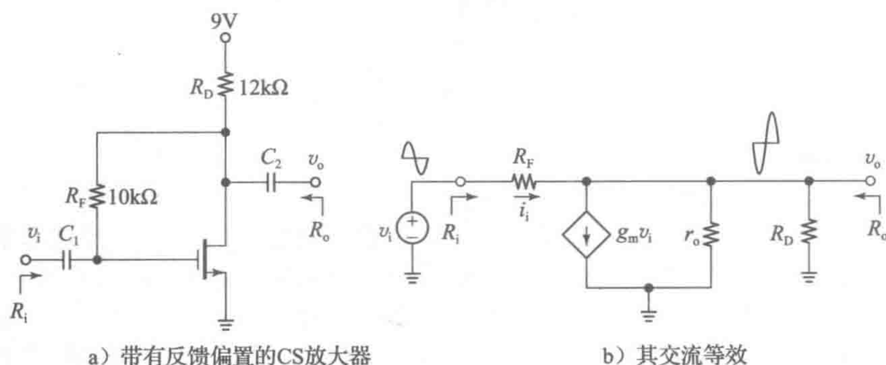
接着，参考图 3.55b 所示的交流等效电路，注意到旁路电容 C_3 将源极拉至交流地电势。因此，我们应用图 3.50 所列出的结果，但有 $R_S=0$。根据观察，有：

$$R_i = R_1 \mathbin{/\!/} R_2 \mathbin{/\!/} R_g = (2.2 \mathbin{/\!/} 1.8 \mathbin{/\!/} \infty)\text{k}\Omega = 990\text{k}\Omega$$
$$R_o = R_D \mathbin{/\!/} R_d = R_D \mathbin{/\!/} r_o = (10 \mathbin{/\!/} 125)\text{k}\Omega = 9.26\text{k}\Omega$$
$$a_{oc} = -g_m R_o = -0.8 \times 9.26\text{V/V} = -7.4\text{V/V}$$

(b) 由于输入和输出负载的存在，增益下降到：

$$\frac{v_o}{v_{sig}} = \frac{990}{100+990} \times (-7.4) \times \frac{75}{9.26+75}\text{V/V} = -5.98\text{V/V}$$ ◀

例 3.32 图 3.56a 所示的单电源 CS 结构采用了常见的直流偏置方案，称为反馈偏置。这个命名来源于电阻 R_F 的存在，它将漏极的直流电源反馈到栅极。因为 $I_G=0$，通过 R_F 的压降为 0V，这表明 MOSFET 在 $V_G=V_D$ 的情况，即二极管模式下工作，因此也就工作在饱和区。



a）带有反馈偏置的CS放大器　　b）其交流等效

图 3.56

(a) 假设 $V_t=2.0\text{V}$，$k=1.0\ \text{mA/V}^2$，$\lambda=0.033\text{V}^{-1}$，求出 MOSFET 的直流工作点，以及 $a_{oc}=v_o/v_i$，R_i(在输出端开路时的输入电阻)和 R_o(在输入端短路时的输出电阻)。

(b) 假设 v_i 是交流信号，其振幅为 V_{im}，若想保持小信号近似的误差小于 10%，V_{im} 的最大值为多少？相应的输出振幅 V_{om} 为多少？MOSFET 一直工作在有源区吗？

解：

(a) 我们有 $V_{GS}=V_{DS}=V_{DD}-R_D I_D=9-12I_D$，所以 $V_{OV}=V_{GS}-V_t=7-12I_D$。令

$$I_D = \frac{1}{2}(7-12I_D)^2$$

并求解，得到 $I_D=0.5\text{mA}$、$V_{DS}=3.0\text{V}$。而且，$g_m=1.0\text{mA/V}$、$r_o=60.6\text{k}\Omega$。

为了求出小信号参数，我们需要利用图 3.56b 所示的小信号等效电路(注意反馈电阻

R_F 的存在，使我们不能再用图 3.50 所示的结果）。假定 R_o 是在极限 $v_i \to 0$ 下的输出节点电阻，可求出：

$$R_o = R_F \mathbin{/\!/} r_o \mathbin{/\!/} R_D = (10\,000 \mathbin{/\!/} 60.6 \mathbin{/\!/} 12)\text{k}\Omega = 10\text{k}\Omega$$

为了求出 a_{oc}，在输出点应用 KCL，可以得到：

$$\frac{v_i - v_o}{R_F} = g_m v_i + \frac{v_o}{r_o} + \frac{v_o}{R_D}$$

合并项并求解 v_o/v_i 的比值，得到：

$$a_{oc} = \frac{v_o}{v_i} = -\left(g_m - \frac{1}{R_F}\right)R_o \approx -g_m R_o = -1 \times 10\text{V/V} = -10\text{V/V}$$

这里，我们利用了 $1/R_F \ll g_m$。求得输入电阻为 $R_i = v_i/i_i$，其中，$i_i = (v_i - v_o)/R_F$。将 $v_o = a_{oc} \times v_i$ 代入并合并项得到 $i_i = v_i(1 - a_{oc})/R_F$。因此，有：

$$R_i = \frac{v_i}{i_i} = \frac{R_F}{1 - a_{oc}} = \frac{10 \times 10^6}{1 - (-10)}\Omega = \frac{10 \times 10^6}{11}\Omega = 0.91\text{M}\Omega$$

有趣的是，当折算到输入时，反馈电阻 R_F 被除以$(1 - a_{oc})$，这个现象称为米勒(Miller)效应（在第 6、7 章有更详细介绍）。

(b) 为了使误差不超过 10%，式(3.57)需要保持 $V_{im} \leqslant (2V_{OV})/10 = ((2 \times 1)/10)\text{V} = 0.2\text{V}$。相应的输出摆幅为 $V_{on} \approx |a_{oc}| \times V_{im} = (10 \times 0.2)\text{V} = 2\text{V}$。漏极的直流电压是 $V_D = 3\text{V}$，MOSFET 工作在有源区/饱和区，直到 $V_D = V_{OV} = 1\text{V}$ 为止。所允许的漏极最大下摆为 2V，这表明放大器只能勉强接受峰值为 0.2－V 的输入。◀

对共源结构增益的快速估计

在日常实践中，工程师通常需要快速地对 MOSFET 放大器的增益进行估计，即便是一个粗略的值。上述的例题揭示了 CS 结构趋向于给出 $a_{oc} = g_m R_o$。在分立设计中，R_o 通常为 R_D 所控制，这表明可以近似有 $a_{oc} \approx -g_m R_D$。令 $g_m = 2I_D/V_{OV}$，我们可以估计一个分立型 CS 放大器的空载增益为：

$$a_{oc} \approx -g_m R_D = -\frac{R_D I_D}{0.5V_{OV}} \tag{3.75a}$$

总之，一个 CS 放大器的空载增益是通过 R_D 的压降与过驱动电压 V_{OV} 的比值。对于例 3.30 的电路，式(3.75a)给出了空载增益的估计值 $a_{oc} \approx (-2(10 \times 1)/2)\text{V/V} = -10\text{V/V}$，这与计算值$-9.09\text{V/V}$ 高度相符。同样地，例 3.31 和例 3.32 的估计值是 $a_{oc} \approx (-2 \times (10 \times 0.4)/1)\text{V/V} = -8\text{V/V}$ 和 $a_{oc} \approx (-2 \times (12 \times 0.5)/1)\text{V/V} = -12\text{V/V}$。都与计算值$-7.4\text{V/V}$ 和-10V/V 很符合。

对 BJT 很熟悉的学生会注意到，对于 CS 放大器，$a_{oc} \approx \frac{-R_D I_D}{0.5V_{OV}}$ 的表达式与共射极(CE)放大器，$a_{oc} \approx -R_C I_C/V_T$ 的表达式很相似。然而，考虑到 $V_T = 26\text{mV}$，而 $0.5V_{OV}$ 通常是伏数量级，显然在相同的偏置条件下，MOSFET 得到的增益比 BJT 得到的要低得多。这是因为 MOSFET 的跨导比较低。在 IC 设计中，通常用电流源代替 R_D 来提高 CS 结构的增益。正如我们将在第 4 章中学习的，这个电流源通常用 pMOSFET 实现。

练习 3.3

证明若将 r_o 纳入考虑，式(3.75a)变为了

$$a_{oc} = -\frac{R_D I_D}{0.5V_{OV}} \times \frac{1}{1 + \lambda R_D I_D} \tag{3.75b}$$

带有源简并的共源极(CS-SD)结构

图 3.57 所示的电路与图 3.52 所示的 CS 放大器相似，除了在 MOSFET 的源极存在一个无旁路的电阻 R_S。考虑图 3.58 所示的交流等效电路，我们注意到，除了存在输入电压分压器和输出负载之外，这个电路与图 3.50 所示的是一样的。

若令 $v_s/v_g \to v_o/v_i$，我们就可以再用上面已经得到的关系式。通过观察可得：

$$R_i = R_G \tag{3.76a}$$

我们知道，源简并电阻 R_S 的作用是将从漏极看入的电阻从 r_o 提高到 $R_d \approx r_o(1+g_m R_S)$。因此，现在有：

$$\begin{aligned} R_o &= R_D /\!/ R_d \\ &\approx R_D /\!/ [r_o(1+g_m R_S)] \\ &\approx R_D \end{aligned} \tag{3.76b}$$

空载增益记为在极限 $R_L \to \infty$ 下的 v_o/v_i 比值，现在为：

$$a_{oc} = -\frac{g_m R_D}{1+g_m R_S+(R_D+R_S)/r_o} \approx -\frac{g_m R_D}{1+g_m R_S} \tag{3.77}$$

这里，我们利用了在分立设计中通常有 $(R_D+R_S) \ll r_o$。将式(3.77)与式(3.74)相比较，我们观察到：R_S 的存在使得 a_{oc} 从大约 $-g_m R_D$ 下降到了大约 $-g_m R_D/(1+g_m R_S)$。这个大小的下降是由于 R_S 提供的负反馈的存在，即简并的存在而引起的。

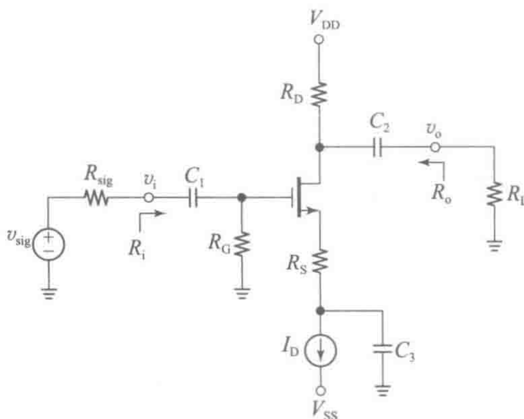


图 3.57 带有源简并的共源极(CS-SD)结构

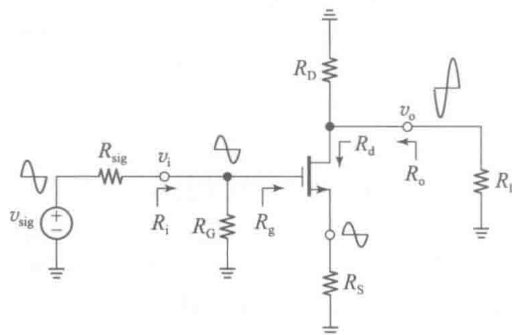


图 3.58 图 3.57 所示 CS-SD 放大器的交流等效

将表达式重新写为：

$$a_{oc} \approx -\frac{R_D}{1/g_m + R_S} \tag{3.78}$$

这对我们快速估计 CS-SD 结构的增益提供了一个有用的经验准则：

从栅极到漏极的空载电压增益是(负的)漏极电阻与总源极电阻的比值。

在得到 R_i，R_o，a_{oc} 的表达式后，应用式(3.71)就可求出信号到负载的增益。

例 3.33 (a) 在例 3.30 的 CS 电路中插入一个源简并电阻 $R_S = 2\text{k}\Omega$，将其变为一个图 3.57 所示类型的 CS-SD 电路，研究这个电阻的作用。

(b) 若空载增益为 -2V/V，估计 R_S。

解：

(a) 所有的直流电压和电流，以及 $-g_m(1\text{mA/V})$ 和 $r_o(=100\text{k}\Omega)$ 都保持不变。在电路中插入 $R_S = 2\text{k}\Omega$，有以下作用：

- R_d 从 $100\text{k}\Omega$ 增加到 $100\times(1+1\times 2)\text{k}\Omega = 300\text{k}\Omega$。
- R_o 从 $-9.09\text{k}\Omega$ 增加到 $(10/\!/300)\text{k}\Omega = 9.68\text{k}\Omega$。
- a_{oc} 从 $-9.09\text{k}\Omega$ 下降到(简并)$(-(1\times 9.68)/(1/1+1\times 2))\text{V/V} = -3.23\text{V/V}$。

应用式(3.71)，可以求出，v_o 变为：

$$\begin{aligned} v_o &= \left[\frac{1}{0.1+1}\times(-3.23)\times\frac{30}{9.68+30}\right]v_{sig} = -2.22\times(100\text{mV})\cos(\omega t) \\ &= (222\text{mV})\cos(\omega t - 180^\circ) \end{aligned}$$

(b) 应用式(3.78)，令 $-2 \approx -10/(1/1+R_S)$。这得到 $R_S = 4\text{k}\Omega$。 ◀

电容的选择

在结束分立 MOSFET 放大器这一主题之前，我们希望解决如何选取上述电路中各种电容的问题。当信号源导通时，我们希望每个电容 C 在源频率 f_{sig} 下都是交流短路的。在物理上，通常需要选取 C 足够大，来防止其在交流信号交替时有明显的充电/放电过程。

我们知道，电容 C 在频率 f_{sig} 下表现的阻抗为 $Z_C(\text{j}f_{sig}) = 1/(\text{j}2\pi f_{sig})$。为了使该电容

在 f_{sig} 下表现为短路，其阻抗必须满足：

$$|Z_C(jf_{sig})| \ll R_{eq}$$

式中：R_{eq} 是从 C 看入的等效电阻。用 C 来表示这个条件是：

$$C \gg \frac{1}{2\pi R_{eq} f_{sig}} \tag{3.79}$$

如果电路被设计在一定频率范围内工作，我们必须在上述条件中应用最低频率 $f_{sig(min)}$。实际中通常用 $C \approx 10/(2\pi R_{eq} f_{sig(min)})$。

例 3.34 对于图 3.54 所示的 CS 放大器，指定合适的电容值，使其能在音频范围内正常工作。

解：

音频范围从 20Hz 到 20kHz，所以 $f_{sig(min)} = 20\text{Hz}$。

- 对于 C_1，有 $R_{eq1} = R_{sig} + R_i = (0.1+1)\text{M}\Omega = 1.1\text{M}\Omega$，所以 $C_1 \gg (1/[2\pi \times 1.1 \times 10^6 \times 20))\text{F} \approx 7\text{nF}$（选用 100nF）。
- 对于 C_2，有 $R_{eq2} = R_o + R_L = (10.7+30)\text{k}\Omega = 40.7\text{k}\Omega$，所以 $C_2 \gg (1/[2\pi \times 40.7 \times 10^3 \times 20))\text{F} \approx 0.2\mu\text{F}$（选用 2μF）。
- 对于 C_3，有 $R_{eq3} = R_s \approx 1/g_m = 1\text{k}\Omega$，所以 $C_3 \gg (1/[2\pi \times 10^3 \times 20))\text{F} \approx 8\mu\text{F}$（选用 100μF）。

◀

3.9 MOSFET 电压和电流缓冲器

在这一节，我们研究剩下的两种单 MOSFET 放大器结构，共漏极和共栅极结构。我们可以看到这两种结构可分别作为电压缓冲器和电流缓冲器应用。

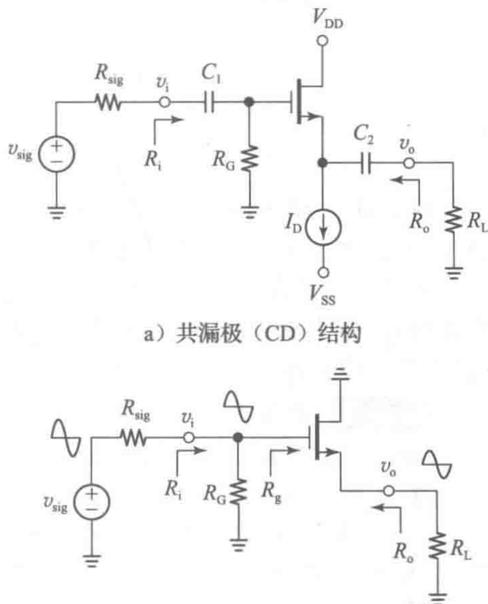
共漏极(CD)结构

共漏极(CD)放大器从栅极接受输入，在源极送出输出。图 3.59 所示的电路实现采用了与图 3.52 所示 CS 放大器同样的偏置方案。考虑图 3.59b 所示的交流等效电路，我们观察到它与图 3.50 所示的相似，但有 $R_D = 0$。这里不再采用例行的小信号分析，而是在令 $R_D \to 0$，以及进行 $R_S \to R_L$、$R_s \to R_o$ 和 $v_s/v_g \to v_o/v_i$ 的重新标记以后，我们简单地再利用前面得到的结果。可得到以下的结果：

$$R_i = R_G$$

$$R_o = -\frac{r_o}{1+g_m r_o} = \frac{1}{g_m} /\!/ r_o \tag{3.80}$$

$$v_o = \frac{g_m R_L}{1+g_m R_L + R_L/r_o} v_i$$



a）共漏极（CD）结构

b）其交流等效

图 3.59

在极限 $R_L \to \infty$ 下，得到：

$$v_o = -\frac{g_m}{g_m + 1/r_o} v_i = \frac{1}{1+1/(g_m r_o)} v_i$$

但根据式(3.70)，在极限 $R_L \to \infty$ 下，v_o/v_i 的比值是空载增益，所以，有：

$$a_{oc} = \frac{1}{1+1/(g_m r_o)} \tag{3.81}$$

因为通常 $g_m r_o \gg 1$，从栅到漏的空载增益非常接近 1。在物理上说，源电压 v_s 紧密地跟随栅电压 v_g，这也是 CD 放大器称为源跟随器的原因。虽然 CD 结构作为电压放大器不是那么好，但它提供了高输入电阻和低输出电阻，这使其适用于作为电压缓冲器，用于降低中间级的负载，或是使 CS 放大器有一个较低的输出电阻。在得到 R_i，R_o，a_{oc} 的表达式后，就可用式(3.71)来求出信号到负载的增益。

例 3.35 (a) 在图 3.59 所示的电路中，令 $V_{DD}=-V_{SS}=10V$，$I_D=1mA$，$R_G=5M\Omega$，令 MOSFET 有 $V_t=1.0V$，$k=0.5\ mA/V^2$，$\lambda=0.01V^{-1}$。假设 $R_{sig}=0.1M\Omega$，$R_L=10k\Omega$，且

$$v_{sig}=5.0V+(1.0V)\cos(\omega t)$$

求出所有节点电压和电流，并参考式(3.48)的方式将其表示为直流分量和交流分量的和，并在电路中精确标示出。

(b) 验证 MOSFET 是否满足式(3.57)中的小信号近似条件。

解：

(a) 我们有 $g_m=1mA/V$，$r_o=100k\Omega$，$1/g_m=1k\Omega$，$g_m r_o=100$。

因此

$$R_i=R_G=5M\Omega,\quad R_o=\frac{1}{g_m}\ /\!/\ r_o\approx\frac{1}{g_m}=1k\Omega$$

$$a_{oc}=\frac{1}{1+1/(g_m r_o)}=\frac{1}{1+1/100}V/V=0.99V/V$$

正如期望的，R_i 很高，R_o 很低，a_{oc} 接近于 1。而且，由电压分压准则，我们有 $v_i=[5/(0.1+5)]v_{sig}=(0.980V)\cos(\omega t)$。最终得到：

$$v_o=\left[\frac{5}{0.1+5}\times(0.99)\times\frac{10}{1+10}\right]v_{sig}$$
$$=0.882\times(1.0V)\cos(\omega t)=(0.882V)\cos(\omega t)$$

节点电压如图 3.60 所示。鼓励读者依次进行详细验证。

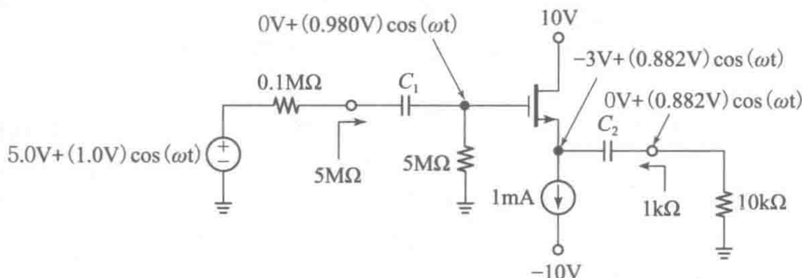


图 3.60 例 3.35 的电路，画出了每个节点电压的直流和交流分量

(b) 对于 MOSFET，有 $v_{BS}=v_i-v_o\approx(98mV)\cos(\omega t)$。考虑到 $V_{OV}=2V$，所以 $2V_{OV}=4V$，我们有 $0.098V\ll 4V$，因此证明了小信号模型的有效性。

提示：虽然在这个电路中，v_i 和 v_o 都不能作为小信号，但 v_{gs} 可以！CD 放大器可以处理线性信号(即使不是严格的小信号)的能力，来源于源电阻(本例中为 R_L)提供的负反馈作用(在第 7 章中详述)。实际上，R_L 产生与 v_i 接近的电压 v_o，以得到小信号差 $v_{gs}=v_i-v_o$。 ◀

例 3.36 图 3.61 画出了单电源源跟随器。为了防止跟随器成为信号源明显的负载，R_1 和 R_2 选取为 $R_1 /\!/ R_2 > R_{sig}$。通常，R_S 的功能是建立偏置电流 I_D。假设 $V_t=1.0V$，$k=0.625\ mA/V^2$，$\lambda=0.025\ V^{-1}$，求出小信号电阻 R_i 和 R_o，并估计信号到负载的增益。

解：

按照往常一样进行分析，但为了便于直流计算，令 $\lambda=0$，求出 $I_D=1.25mA$，$1/g_m=0.8k\Omega$，$r_o=32k\Omega$，$g_m r_o=40$。参考图 3.62 所示的交流等效电路，求出：

$$R_i=R_1 /\!/ R_2 /\!/ R_g=(10 /\!/ 20 /\!/ \infty)M\Omega$$
$$=6.7M\Omega_{(大)}$$

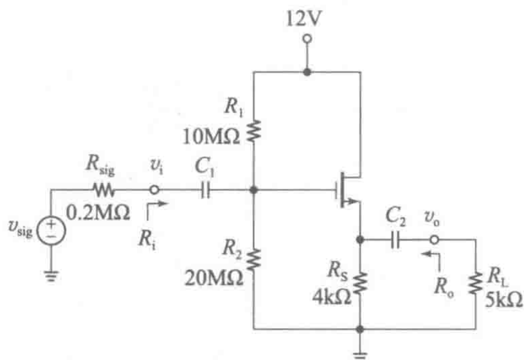


图 3.61 例 3.36 中的单电源 CD 放大器

同时有，$R_s=(1/g_m)//r_o=(0.8//32)\text{k}\Omega=0.78\text{k}\Omega$，所以通过观察，可写出：

$$R_o = R_s // R_S = (0.78 // 4)\text{k}\Omega = 0.65\text{k}\Omega$$

最后，源到负载的增益为：

$$\frac{v_o}{v_s}=\frac{6.7}{0.2+6.7}\times\frac{1}{1+1/40}\times\frac{5}{0.65+5}\text{V/V}$$
$$=0.838\text{V/V}$$

图 3.62 图 3.61 所示电路的交流等效

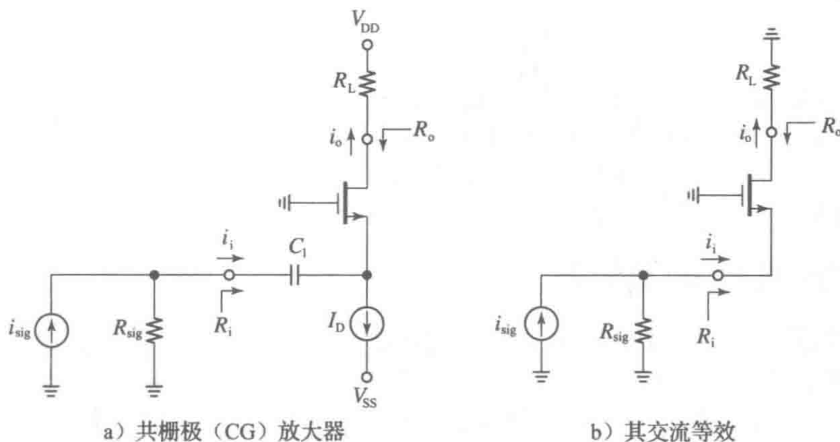
共栅极(CG)结构

共栅极(CG)放大器从源极接收输入，并在漏极送出输出。因为从源极看入的电阻通常较小($R_s\approx1/g_m$)，这种结构的输入信号自然就是电流 i_{sig}。而且，因为从漏极看入的电阻通常较大($R_d=r_o$，若存在源极简并，甚至有 $R_d\gg r_o$)，输出信号自然是电流 i_o。就像 CD 结构近似为电压缓冲器具有 $R_i\rightarrow\infty$，$R_o\rightarrow 0$，$v_o/v_{sig}\rightarrow 1\text{V/V}$ 一样，CG 结构近似为电流缓冲器，在理想情况下，有：

$$R_i\rightarrow 0,\quad R_o\rightarrow\infty,\quad \frac{i_o}{i_{sig}}\rightarrow 1\text{A/A}$$

如图 3.63a 所示的是 CG 放大器，其中信号源用其诺顿等效电路代替。考虑图 3.63b 所示的交流等效电路，我们注意到它与图 3.50 所示的通用电路的相似性。我们可以再次运用以前得到的关系式，只要令 $R_s\rightarrow R_{sig}$，$R_D\rightarrow R_L$，$R_s\rightarrow R_i$，$R_d\rightarrow R_o$。结果是：

$$R_i=\left(\frac{1}{g_m}//r_o\right)+\frac{R_L}{1+g_m r_o}\tag{3.82}$$



a) 共栅极（CG）放大器　　b) 其交流等效

图 3.63

且

$$R_o=r_o(1+g_m R_{sig})+R_{sig}\tag{3.83}$$

输入电阻 R_i 与信号源电阻 R_{sig} 形成了一个分流器，所以，有：

$$i_i=\frac{R_{sig}}{R_{sig}+R_i}i_{sig}$$

因为栅极电流为 0，由 KVL，有 $i_o=i_i$。结合式(3.82)，经过适当的代数运算，得到信号到负载的电流增益为：

$$\frac{i_o}{i_{sig}}=\frac{1}{1+\dfrac{r_o+R_L}{(1+g_m r_o)R_{sig}}}\tag{3.84}$$

显然增益是小于(虽然很接近于)1。当 CG 结构的信号输入是由另一个 MOSFET 的漏提供时，CG 结构是特别有用的。所得到的双晶体管结构称为共源共栅结构，同时它具有速度

和灵活性的优势，使得其特别适宜于IC实现，这将在第4、6章阐述。

例 3.37 (a) 在图 3.63a 所示的电路中，令 $V_{DD}=-V_{SS}=12\text{V}$、$I_D=1\text{mA}$、$R_{siB}=50\text{k}\Omega$，且令 MOSFET 与例 3.35 有相同的参数（$V_t=1.0\text{V}$，$k=0.5\ \text{mA/V}^2$，$\lambda=0.01\text{V}^{-1}$）。若 $R_L=0$，估计 R_i，R_o，i_o/i_{sig}。评价你的结果。

(b) 若 $R_L=10\text{k}\Omega$，重复你的结果，并评论。

解：

(a) 由式(3.82)及式(3.84)，得到：

$$R_i \approx (1 \,/\!/\, 100)\text{k}\Omega = 0.99\text{k}\Omega_{(\text{低})}$$

$$R_o = (100 \times (1 + 1 \times 50) + 50)\text{k}\Omega = 5.15\text{M}\Omega_{(\text{高})}$$

$$\frac{i_o}{i_{sig}} = \frac{1}{1 + \frac{100}{(1+100) \times 50}}\text{A/A} = 0.980\text{A/A}_{(\text{接近}1)}$$

(b) 对 $R_L=10\text{k}\Omega$ 重新计算，得到：

$$R_i \approx ((1 \,/\!/\, 100) + 10/101)\text{k}\Omega = 1.09\text{k}\Omega, \quad R_o = 5.15\text{M}\Omega$$

$$\frac{i_o}{i_{sig}} = \frac{1}{1 + \frac{100+10}{100 \times 50}}\text{A/A} = 0.979\text{A/A}$$

$R_L=10\text{k}\Omega$ 的存在对 R_o 没有影响。然而，它会导致 R_i 少量增加，增益稍许下降。◄

作为电压放大器的 CG 结构

虽然CG结构最常见的应用是作为电流缓冲器，但也可用它作为增益为 v_d/v_s 的电压放大器。考虑到 $v_d=-g_m(R_L /\!/ r_o)v_{gs}=-g_m(R_L /\!/ r_o)(v_g-v_s)$，以及CG结构有 $v_g=0$，我们得到：

$$\frac{v_d}{v_s} = +g_m(R_L \,/\!/\, r_o) \tag{3.85}$$

表述为，CG结构的电压增益与CS结构有相同的大小，但方向相反。其他主要的区别是输入电阻，在CS情况中是∞，但在CG结构中通常较小。对于例 3.37(b)问中的电路，电压增益是 $v_d/v_s=1\times(10 /\!/ 100)\text{V/V}\approx+9.1\text{V/V}$。在极限 $R_T\to\infty$ 下，增益为 $g_m r_o=1\times100\text{V/V}=100\text{V/V}$(在第4章中有更多内容)。

3.10 CMOS 反相器/放大器

CMOS反相器/放大器是简单但又实用的电路，它是当今各种电路系统的基础，无论是数字的，还是模拟的。如图 3.64 所示电路由一个 nMOSFET 和一个 pMOSFET 组成，其栅极连接在一起形成输入节点，其漏极连接在一起形成输出节点。对于单个器件，体和源是连接在一起的，所以没有体效应产生。而且，n 沟道的源极接到了最低电势，p 沟道的源极接到了最高电势。在本例中，这些电势是地电势和 V_{DD}，但其他的值也是可能的，例如分离的电源。这个电路通常用匹配的 MOSFET 实现，其参数简明地表示如下：

$$k_p = k_n = k, \quad V_{tn} = -V_{tp} = V_t$$

$$\lambda_n = \lambda_p = \lambda \tag{3.86}$$

考虑到工艺跨导参数 k_p' 通常比对应的 k_n' 小2到3倍，制造商为了补偿这点以达到平衡，通常使 pMOSFET 的宽长比比 nMOSFET 的大2到3倍，因此保证跨导参数匹配，即 $k_p=k_n$。另外，制造商会采用合适的掺杂注入，以保证 $|V_{tp}|=V_{tn}$。通常，注入剂量遵循 $V_t\approx0.2V_{DD}$，即在 $V_{DD}=5\text{V}$ 时，有 $V_t=1\text{V}$。图 3.64 画出了它作为反相器的逻辑图形符号，

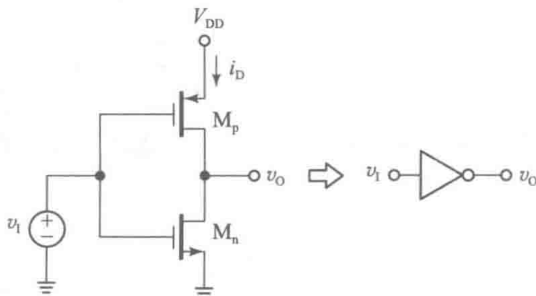


图 3.64 CMOS 反相器/放大器的电路图和逻辑图形符号

其中忽略了电源的细节，以免使电路图变得混乱。

VTC

为了研究电路的工作，我们将 v_I 从 0 逐渐增大到 V_{DD}，并研究随后得到的响应 v_o。记住 $V_{GSn}=v_I$、$V_{SGp}=V_{DD}-v_I$，我们给出如下两个观察结果。

- 因为 v_I 从 0 增大到 V_{DD}，M_n 从截止状态到完全导通状态，而 M_p 从完全导通状态到截止状态，这表明 MOSFET 之间有互补的行为。
- 至于输出 v_o，M_p 试图将其上拉到 V_{DD}，而 M_n 试图将其下拉到地。结果是 v_o 会处于中间的某个值，这取决于那种趋势较强。

v_o 相对于 v_I 的曲线称为 VTC，通过 PSpice 很容易得到。图 3.65 展示了这样的例子。图 3.66 端显示了 VTC，并标示了元件和器件参数值。我们给出以下的考虑。

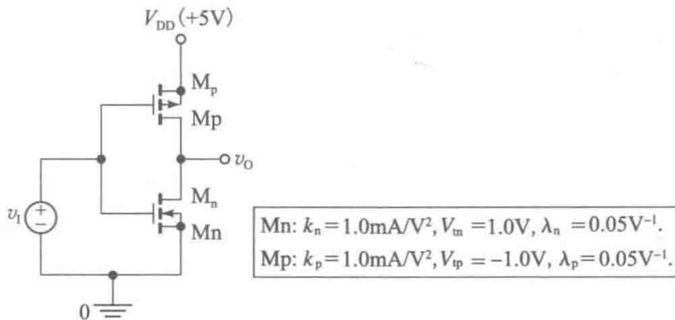


图 3.65 仿真 CMOS 反相器/放大器的 PSpice 电路

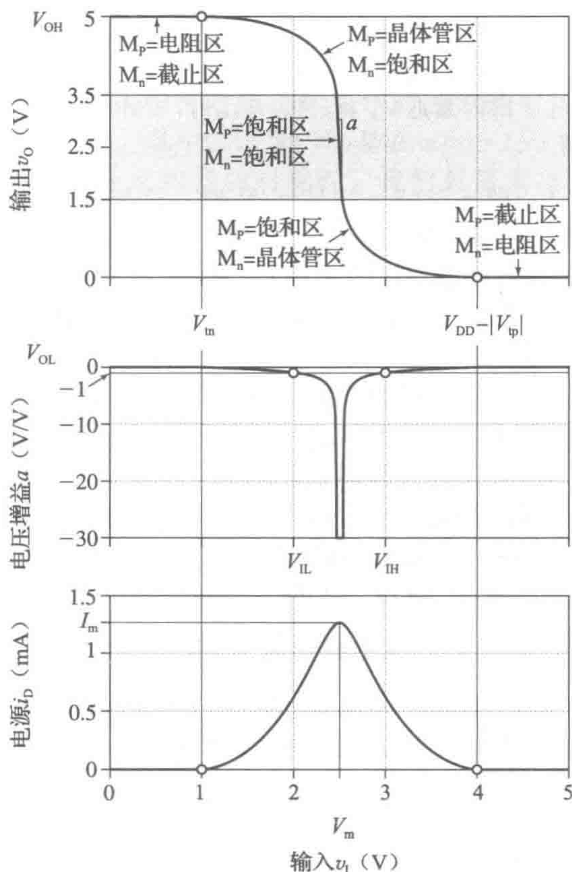


图 3.66 对于图 3.65 所示的 CMOS 反相器/放大器，v_o，a，i_D 相对于 v_I 的图形

- 当 $v_I \leqslant V_{tn}$，即 $V_{GSn} \leqslant 1.0$V 时，M_n 是截止的，表现为一个开态开关。另一方面，M_p

是完全导通的，因为$V_{SGp} \geqslant 4V$。但是，因为M_n是截止的，没有电流流过M_p，这迫使其工作在其i_D-v_{SD}特性曲线的原点，也就是欧姆区。这个状态在图 3.67a 所示上端进一步地进行了解释，其画出了$V_{GSn}=0$和$V_{SGp}=5V$时的曲线。工作点Q_H正落在两条曲线的交点，即$v_O=V_{OH}=V_{DD}=5V$、$i_D=0$。图 3.67a 所示下端画出了 MOSFET 的工作状态。将v_O拉至V_{DD}的 p 沟道电阻是$r_{SDp}=1/[k_p(V_{SGp}-|V_{tp}|)]=(1/[1(5-1)])k\Omega=0.25k\Omega$。

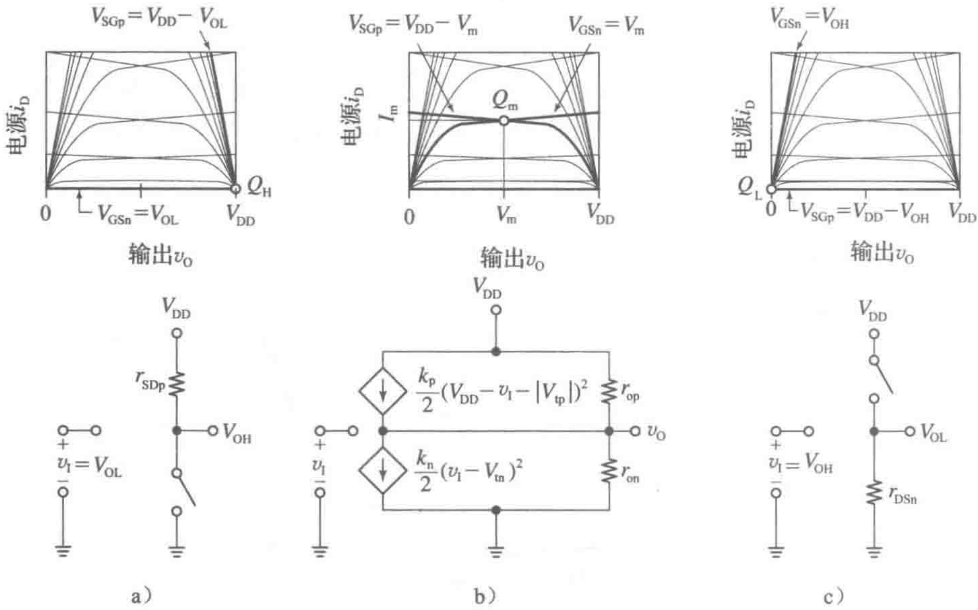


图 3.67 在 a)$V_I=V_{OL}$、b)V_I靠近V_m和 c)$V_I=V_{OH}$时，CMOS 反相器/放大器的工作点和大信号模型

- 当$v_I \geqslant V_{DD}-|V_{tp}|$，即$v_I \geqslant (5-1)V=4V$时，这与刚所讨论的情况完全相反，即$M_n$是完全导通的，而$M_p$是截止的。如图 3.67c 的上端所示，工作点$Q_L$正落在$V_{GSn}=5V$和$V_{SGp}=0V$两条曲线的交点上，即$v_O=V_{OL}=0V$、$i_D=0$。图 3.67c 所示下端画出了 MOSFET 的工作状态。将v_O拉至地的 n 沟道电阻是$r_{DSn}=1/[k_{GSn}-V_{tn})]=0.25k\Omega$。
- 当将v_I上升到略大于V_{tn}(本例中为 1.0V)时，M_n开始导通，并开始下拉v_O。然而，只要v_O仍然足够高，因为$v_{DSn}(=v_O)$较大，M_n就工作在饱和区；因为$v_{SDp}(=V_{DD}-v_O)$较小，M_p工作在晶体管区。
- 由双重的原因，如果将v_I降低到略小于$V_{DD}-|V_{tp}|$(本例中为 4V)，M_p开始导通，并开始上拉v_O。然而，只要v_O是足够小的，M_p就工作在饱和区，且M_n工作在晶体管区。
- 在一定的v_I范围内，两个 MOSFET 都工作在饱和区。对于匹配的器件，这个范围的中间电压值是$V_m=\frac{1}{2}V_{DD}$(在本例中是 2.5V)。如图 3.67b 的上端所示，工作点Q_m正落在$V_{GSn}=V_m(=2.5V)$和$V_{GSp}=V_{DD}-V_m(=2.5V)$对应曲线的交点。

因此Q_m的坐标是$v_O=V_m$、$i_D=I_m$，其中，I_m可通过下列 nMOSFET 的表达式容易求出：

$$I_m=\frac{k}{2}(V_m-V_t)^2(1+\lambda V_m) \tag{3.87}$$

在本例中，有：

$$I_m=\frac{1}{2}\times(2.5-1)^2\times(1+0.05\times 2.5)mA=1.27mA$$

此时 MOSFET 的工作情况如图 3.67b 的底部所示。

我们知道，VTC 的斜率代表电压增益。图 3.66 的顶部表明，在两个 MOSFET 都饱和时，该区域里的斜率最陡峭。图 3.66 的中间部分表明增益 a 是 v_I 的函数，图 3.66 的底部表明从电源抽取的电流为 i_D。

作为逻辑元件的 CMOS 反相器

当作为一个逻辑元件使用时，图 3.64 所示的 CMOS 反相器有很多如下独特的优点。

- 输出摆幅轨到轨，即

$$V_{OL} = 0V, \quad V_{OH} = V_{DD} \tag{3.88}$$

  这提供了最大的信号摆幅，因此也得到了最宽的噪声容限。
- 如图 3.66 的底部所示，电路在任一逻辑状态都不抽取电流，这表明其静态功耗为 0。图 3.67a 和 c 所示的等效电路证实了这点。然而，在从一个状态转换到另一个的过程中，电路会从电源中抽取电荷，如图 3.66 的底部所示。转换越频繁，每秒抽取的电荷量就越高，这表明其动态功耗与逻辑时钟频率呈线性关系。
- 如图 3.67a 和 c 所示的等效电路表明，反相器在任意逻辑状态都提供了很小的输出电阻(在本例中是 0.25kΩ)，这表明其对输出负载和输出干扰有屏蔽作用。
- 因为输入节点由两个栅电极组成，每个栅极电容形成微小电容的极板，输入电阻实际上是无穷大的，至少在直流情况下是如此，这表明不同的 CMOS 反相器类型电路互连时，不会产生静态负载。

上述的这些优点，再加上 MOSFET 占用的芯片面积很小，这也是 CMOS 技术为何在数字和数模混合集成电路中占主要地位的原因，特别是在低功耗系统中，如笔记本电脑、智能手机、数码相机、起搏器和其他相似应用。

噪声容限

我们知道，数字门在有输入噪声时能正常工作的能力是用其噪声容限 $NM_L = V_{IL} - V_{OL}$ 及 $NM_H = V_{OH} - V_{IH}$ 表示的，其中，V_{IL} 和 V_{IH} 是在 $a = -1\text{V/V}$ 时的 v_I 值，V_{OL} 和 V_{OH} 由式(3.88)给出。考虑 CMOS 反相器的对称性，我们只需求出两个中的一个即可，即 V_{IH}。再通过 $v_{IL} = V_{DD} - V_{IH}$ 可得到其他值。

考虑图 3.66 的上部，我们观察到 V_{IH} 处于 M_p 工作在饱和区，且 M_n 工作在晶体管区的区域内。令 $i_{Dp(sat)} = i_{Dn(triode)}$，得到一个关于 v_I 和 v_O 的方程。对于匹配的 MOSFET，它可表示为：

$$\frac{k}{2}(V_{DD} - v_I - V_t)^2 = k\left[(v_I - V_t)v_O - \frac{1}{2}v_O^2\right] \tag{3.89}$$

两端对 v_I 进行微分，并化简得到：

$$-(V_{DD} - v_I - V_t) = (v_I - V_t)\frac{dv_O}{dv_I} + v_O - v_O\frac{dv_O}{dv_I}$$

令 $dv_O/dv_I = -1$，得到在斜率为 -1 时，v_O 和 v_I 的关系为：

$$v_O = v_I - \frac{V_{DD}}{2}$$

将其代回式(3.89)，令 $v_I = V_{IH}$，求解 V_{IH}，最终得到：

$$V_{IH} = \frac{5V_{DD} - 2V_t}{8} \tag{3.90a}$$

由对称的推理，$V_{IL} = V_{DD} - V_{IH}$，即

$$v_{IL} = \frac{3V_{DD} + 2V_t}{8} \tag{3.90b}$$

结合式(3.88)，对于匹配的 MOSFET，可求出其噪声容限为：

$$NM_L = NM_H = \frac{3V_{DD} + 2V_t}{8} \tag{3.91}$$

噪声容限在图 3.68 中进一步地说明了。

例 3.38 求出图 3.65 所示反相器的 V_{IL}、V_{IH}和噪声容限。

解：

利用式(3.90)和式(3.91)，我们求出 $V_{IL}=((3\times5+2\times1)/8)\text{V}=2.1\text{V}$，$V_{IH}=2.9\text{V}$，且 $NM_L=NM_H=2.1\text{V}$。◀

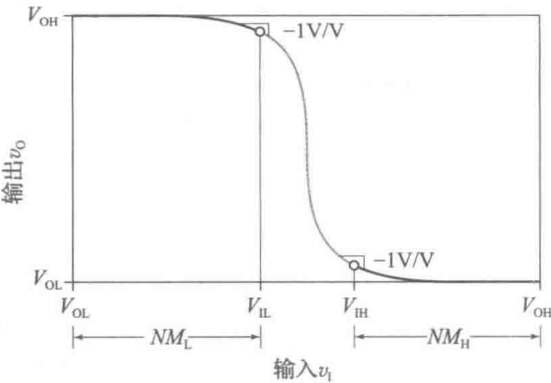
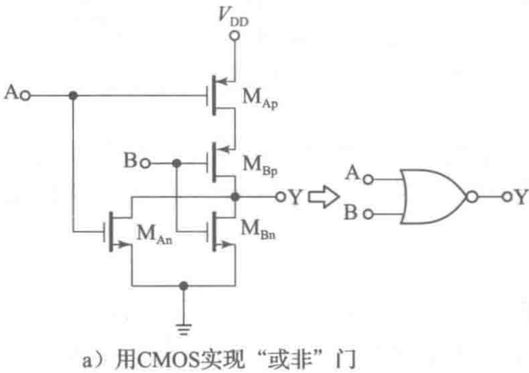


图 3.68 CMOS 反相器的噪声容限

基本的“或非”、“与非”门

图 3.69a 和图 3.70a 画出了怎样用 CMOS 反相器拓扑结构来实现基本的逻辑功能，如“或非”及“与非”。这里，A 和 B 是输入，Y 是输出，且逻辑电平在 L 时为 0V，在 H 时为 V_{DD}(如 5V)。在两种情况下，通过追踪不同输入来理解电路是最方便的。

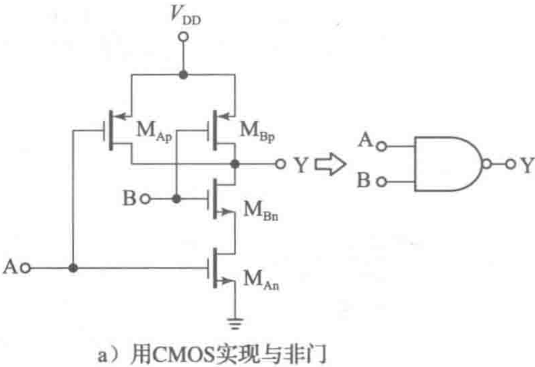


a）用CMOS实现“或非”门

A	B	M_{An}	M_{Bn}	M_{Ap}	M_{Bp}	Y	R_o
L	L	CO	CO	Ω	Ω	H	$2r_{SDp}$
L	H	CO	Ω	Ω	CO	L	r_{DSn}
H	L	Ω	CO	CO	CO	L	r_{DSn}
H	H	Ω	Ω	CO	CO	L	$r_{DSn}/2$

b）在不同输入组合下，电路的各种状态

图 3.69



a）用CMOS实现与非门

A	B	M_{An}	M_{Bn}	M_{Ap}	M_{Bp}	Y	R_o
L	L	CO	CO	Ω	Ω	H	$r_{SDp}/2$
L	H	CO	Ω	Ω	CO	H	r_{SDp}
H	L	Ω	CO	CO	CO	H	r_{SDp}
H	H	Ω	Ω	CO	CO	L	$2r_{DSn}$

b）在不同输入组合下，电路的各种状态

图 3.70

- 参考图 3.69b 所示表格的第一行，我们观察到在 AB=LL 时，M_{An}和 M_{Bn}都是截止(CO)的，而 M_{An}和 M_{Bn}都处在欧姆区(Ω)，将 Y 拉高。从 Y 节点看入的电阻 R_o是两个 p 沟道电阻的串联组合，即 $2r_{SDp}$，它将 Y 拉至 V_{DD}。
- 再到图 3.69b 所示表格的第二行，此处 AB=LL，我们观察到 M_{An}开始导通(Ω)，M_{Bp}开始截止(CO)，M_{An}和 M_{Ap}与第一行时保持相同。因此，M_{Bn}将会拉低 Y，M_{Bn}的电阻 $2r_{SDp}$将 Y 拉至地电势。
- 图 3.69b 所示表格的第三行与第二行相似，只不过 A 和 B 的角色互换了，所以输出状态也与第二行中相同。

- 最后到图 3.69b 所示表格的第四行，此处 AB＝HH，n 沟道都处于欧姆区(Ω)，p 沟道都处于截止区(CO)。因此，Y 被两个并联的沟道电阻拉低，且这时的 R_o 是 $r_{DSn}/2$。显然，“或非”门在 AB＝LL 时的状态与其他的都不同。

鼓励读者对图 3.70a 所示的电路做相似的分析，并对每一行做详细验证。显然，“与非”门在 AB＝HH 时的状态与其他的都不同。

作为放大器的 CMOS 反相器

如上所述，在中点 $V_m=\frac{1}{2}V_{DD}$(在例 3.39 中为 2.5V)附近，MOSFET 都是饱和的，因此提供了线性的放大。相应的输出电压范围是：

$$(V_m-V_{tn})\leqslant v_O\leqslant(V_m+|V_{tp}|) \tag{3.92}$$

我们希望求出这个范围内的小信号增益 a。为此，将 MOSFET 用其小信号模型代替，得到图 3.71 所示的交流等效。由欧姆定律，有：

$$v_o=-(g_{mn}v_{gsn}+g_{mp}v_{gsp})\times(r_{on}\,/\!/\,r_{op})$$

考虑到 $v_{gsn}=v_{gsp}=v_i$，得到：

$$a=\frac{v_o}{v_i}=-(g_{mn}+g_{mp})\times(r_{on}r_{op}) \tag{3.93}$$

对于匹配器件，有($g_{mn}=g_{mp}=g_m$，$r_{on}=r_{op}=r_o$)，式(3.93)简化为 $a=-(2g_m)\times(r_o/2)$，即

$$a=-g_mr_o \tag{3.94}$$

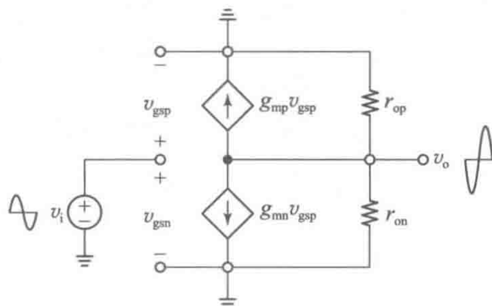


图 3.71 CMOS 反相器在有源区的小信号模型

注意到两个 MOSFET 在向输出节点输送电流时，起到相互增强的作用，而且，每个 MOSFET 可看作带有负载 r_o 的 CS 放大器，其输出负载是另一个 MOSFET。毫无疑问，CMOS 反相器/放大器虽然简单，但是其非常有用！

例 3.39 对于图 3.65 所示的反相器，求出它在中间线性工作区的输出电压范围及增益。

解：

因为 $V_m=2.5\text{V}$、$V_t=1.0\text{V}$，式(3.92)给出 $1.5\text{V}\leqslant v_O\leqslant 3.5\text{V}$。我们还有 $g_m=\sqrt{2kI_D}=\sqrt{2\times1\times1.27}\text{mA/V}=1.6\text{mA/V}$，$r_o=1/(\lambda I_D)=(1/(0.05\times1.27))\text{k}\Omega=15.7\text{k}\Omega$，所以增益是 $a=-1.6\times15.7\text{V/V}\approx-25\text{V/V}$。◀

练习 3.4

(a) 证明由匹配 MOSFET 组成的 CMOS 反相器/放大器的电压增益可以估计为：

$$a=-\frac{2V_A}{0.5V_{DD}-V_t} \tag{3.95}$$

其中，$V_A=1/\lambda$。

(b) 利用式(3.95)证明例 3.39 的结果。

(c) 若 V_{DD} 从 5V 增加到 10V，会发生什么？并评论。

答案(b) $a=-26.7\text{V/V}$。(c) $a=-10\text{V/V}$ 升高 V_{DD} 会降低 a。

附录 3A

MOSFET 的 SPICE 模型

与 BJT 的情况相似，MOSFET 的特性可用一系列的参数来表示，PSpice 利用这些参数创造器件的内部模型。在过去的几十年，CMOS 技术按照摩尔定律迅速地发展，如本章开始所述。因为沟道一直缩小到纳米数量级，各种高阶效应出现，使得用计算机仿真 MOSFET 的任务变得复杂且充满挑战。目前，存在三个不同的模型级别。一级，是希克曼-霍奇斯(Shichman-Hodges)模型，对于沟道长度在微米数量级的器件有效，其 i-v 特性曲线取决于本章提到的平方关系。二级，是一种更高级的模型，其用分析技术来计算在亚

微米等级产生的高阶效应。三级，是用分析和经验的混合工具来计算高阶效应。

我们此处研究的范围仅限于一级的，其参数表列于表 3A.1 中。浏览整个表，在上半部分可以轻易地认出熟悉的参数。下半部分包含了影响 MOSFET 内部电容计算的参数，这些在第 6 章中将会做详细介绍，那时我们将研究 IC 的频率和时间响应。

表 3A.1

符号	名称	参数描述	单位	默认值	实例值
	级别	模型级别		1	3
V_{t0}	Vto	零偏置阈值电压	V	0	1.0
k'	Kp	工艺跨导参数	A/V^2	20μ	50μ
γ	Gamma	体效应参数	$V^{1/2}$	0	0.5
$2\phi_f$	Phi	表面势	V	0.06	0.65
λ	Lambda	长沟道调制参数	V^{-1}	0	0.05
r_d	Rd	漏极体电阻	Ω	0	1
r_s	Rs	源极体电阻	Ω	0	1
μ	Uo	表面迁移率	cm^2/Vs	600	500
t_{ox}	Tox	氧化层厚度	m	100n	10n
N_A 或 N_D	Nsub	衬底掺杂	cm^{-3}	0	10^{15}
C_{db0}	Cbd	零偏置 BD 结电容	F	0	10fF
C_{sb0}	Cbs	零偏置 BS 结电容	F	0	10fF
ϕ_0	Pb	BD 和 BS 结内建电势	V	0.8	0.75
C_{ov}/W	Cgso	单位 GS 交叠电容	F/m	0	100p
C_{ov}/W	Cgdo	单位 GD 交叠电容	F/m	0	100p
C_{gb}/L	Cgbo	单位 GB 交叠电容	F/m	0	250p
$C_{j0(btm)}$	Cj	单位面积零偏置体结电容	F/m^2	0	250μ
m_{btm}	Mj	Mjsw 体结等级系数		0.5	0.5
$C_{j0(sw)}$	Cjsw	单位周长零偏置体结侧壁电容	F/m	0	0.5n
m_{sw}	Mjsw	体结侧壁等级系数		0.33	0.33
X_j	Xj	SB 和 DB 冶金结深	m	0	0.5μ
L_{ov}	LD	侧向扩散	m	0	100n

表 3A.1 所示的是 MOSFET 的一级 PSpice 模型中的部分参数列表。

本书中使用的 PSpice 库中包含两种功率 MOSFET 的三级模型，即 n 沟道 IRF150 和 p 沟道 IRF9140。读者可以编辑现有的模型来创造额外的模型。例如，考虑图 3.14 和图 3.16 所示的 PSpice 电路，根据 i-v 图，创造了 $k'=50\ \mu A/V^2$，$V_{t0}=1.0V$，$\lambda=0.05V^{-1}$，$W=2\mu m$ 和 $L=1\mu m$ 的自制 MOSFET。通常，我们通过 Place→Part 命令来调出各种元件，再用 Place→Wire 命令进行互连，从而创建出 PSpice 电路。当放置 MOSFET 时，我们在 PSpice 库中向下拉，选中 IRF150 并单击它，就可以导入。一旦 MOSFET 放置在电路中，只需单击 MOSFET 选中，再右击，以激活下拉菜单，就可以观察其模型。若我们单击 Edit PSpice Model，将会显示下面的列表：

```
.model    IRF150  NMOS(Level=3 Gamma=0 Delta=0 Eta=0 Theta=0
+         Kappa=0 Vmax=0 Xj=0 Tox=100n Uo=600 Phi=.6 Rs=1.624m
+         Kp=20.53u W=.3 L=2u Vto=2.831 Rd=1.031m Rds=444.4K
+         Cbd=3.229n Pb=.8 Mj=.5 Fc=.5 Cgso=9.027n Cgdo=1.679n
+         Rg=13.89 Is=194E-18 N=1 Tt=288n)
```

为了创建自制的 nMOSFET，我们简单地编辑(重写)上述的列表，在保存之前一定要给其一个名称，如 Mn，以避免破坏已有的模型。其结果是：

```
.model Mn NMOS(W=2u L=1u Kp=50u Vto=1.0V Lambda=0.05)
```

同样地，一个名为 Mp 的自制 pMOSFET 模型，有 $k'=20\ \mu A/V^2$，$V_{t0}=-0.75V$，$\lambda=0.1V^{-1}$，$W=5$，$L=1\mu m$，将会是：

```
.model Mp PMOS(W=5u L=1u Kp=20u Vto=-0.75V lambda=0.1)
```

所有忽略的参数都会按照表 3A.1 定义为默认值。

参考文献

1. R. F. Pierret, *Field Effect Devices*, Modular Series on Solid State Devices, 2/E, Vol. IV, G. W. Neudeck and R. F. Pierret, eds., Addison-Wesley, 1989.
2. R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*, 2/E, J. Wiley and Sons, 1986.
3. R. T. Howe and C. G. Sodini, *Microelectronics: An Integrated Approach*, Prentice Hall, 1997.
4. P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, 2/E, Oxford University Press, 2002.
5. P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 4/E, Wiley and Sons, 2001.
6. A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 5/E, Oxford University Press, 2004.
7. R. C. Jaeger and T. N. Blalock, *Microelectronic Circuit Design*, 2/E, McGraw-Hill, 2004.
8. G. W. Gordon and A. S. Sedra, *SPICE for Microelectronic Circuits*, 2/E, Oxford University Press, 1996.

习题

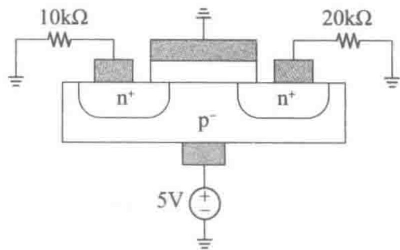
3.1 节

3.1 (a) 图 3.2 揭示了寄生 npn BJT 的存在，其基区是 p^- 的体(B_n 是其端点)，其发射区和集电区是 n^+ 源和漏(S_n 和 D_n 是其端点)。可以使这个 BJT 做到相当高的增益吗？这个 BJT 有用吗？

(b) 相同的图形表明了另一个寄生 BJT 的存在，其是 pnp 型的，其基区是 n^- 阱(B_p 是其端点)，其发射区和集电区是 p^+ 源和漏(S_p 和 D_p 是其端点)。可以使这个 BJT 做到相当高的增益吗？这个 BJT 有用吗？

(c) 指出另外两个寄生 BJT(可以在网上搜索“CMOS 锁定”)。

3.2 题 3.2 图所示结构不是常规的互连，违背了 p^- 体需要接到最负电压(MNV)的原则。这也是有益的，因为我们可以更好地研究在正确连接时，电路结构的工作状态。



题 3.2 图

(a) 假设 pn 结有典型的参数值，预测题 3.2 图所示结构中所有的节点电压和端点电流。

(b) 若将左边带有 10kΩ 电阻的端口升离地面，并连接至 10V 电源，会发生什么？

3.2 节

3.3 令题 3.6b 图所示结构中的 pMOSFET 有 n^+ 型多晶硅栅，且 $N_D=2\times10^{19}\,cm^{-3}$，及 n^- 型的衬底，且 $N_D=10^{16}\,cm^{-3}$，$t_{ox}=30mm$。

(a) 画出平衡电势 $\phi(x)$并标注。

(b) 求出消除空间电荷层的栅体电压。

(c) 求出强反型开始时的栅体电压 V_{GB0}。

(d) 在 $V_{GB}=V_{GB0}$，画出平衡电势 $\phi(x)$ 并标注。

3.4 (a) 假设一个 nMOSFET 的衬底掺杂浓度为 $N_D=10^{16}\,cm^{-3}$，$t_{ox}=50nm$，且阈值电压为 $-1.0V$。若想制成 $V_{t0}=1.0V$ 的增强型器件，求出所需的注入类型及剂量 N_i。

(b) 在 $0\leqslant V_{SB}\leqslant5V$ 时，画出 V_t 相对于 V_{SB} 的图形并标注。

(c) 若想制成耗尽型器件，且 $V_{t0}=-0.5V$，重复(a)和(b)问。产生 $V_t=0V$ 的 V_{SB} 值是多少？$V_{t0}=+0.5V$ 的呢？

3.5 (a) 假设一个 pMOSFET 的衬底掺杂浓度为 $N_D=2\times10^{16}\,cm^{-3}$，$t_{ox}=40nm$，且阈值电压为 $-1.5V$。若想制成 $V_{t0}=-1V$ 的增强型器件，求出所需的注入类型及剂量 N_i。

(b) 在 $0\leqslant V_{BS}\leqslant5V$ 时，画出 V_t 对于 V_{BS} 的图形并标注。

(c) 若想制成耗尽型器件，且 $V_{t0}=1.0V$，重复(a)和(b)问。

3.6 (a) 在例 3.4(a)问中，分别将 N_A、t_{ox}和 N_{ox} 增加 10%，各自会对原本的阈值产生什么影响？

(b) 在例 3.4(b)问中，分别将 t_{ox}和 N_i' 增加 10%，各自会对原本的阈值产生什么影响？

3.7 (a) 一个 nMOSFET 有 $t_{ox}=25nm$，求出使得 $\gamma=0.5V^{1/2}$ 的 N_A。

(b) 若 t_{ox}翻倍，γ 的新值为多少？

(c) 若想还原初始值 $\gamma=0.5V^{1/2}$，N_A 的新值为多少？

(d) 若 $t_{ox}=100nm$，当 V_{SB}从 0V 变化为 5V 时，V_t 增加了 1V，求出 N_A。

提示：你可能需要进行迭代操作。

3.3 节

3.8 图 3.10 表明，锥形沟道中的电荷/单位长度从源极到漏极是逐渐降低的。然而，在整合式(3.12)的过程中，认为 i_D 在整个沟道中必须为常数。当电荷/单位长度降低时，电流怎么会为常数？你能感觉到此处存在的矛盾吗？对其进行解释。

3.9 假设一个 nMOSFET 有 $\mu_n=500\ cm^2/V_S$、$t_{ox}=25nm$，且阈值电压为$-0.1V$。

(a) 假设 $\lambda=0$，若想制造一个 nMOSFET，在 $V_{GS}=1.0V$ 时有 $I_{D(EOS)}=8\mu A$、在 $V_{GS}=2.0V$ 时有 $I_{D(EOS)}=98\mu A$，指出注入的类型和剂量 N_i，以及宽长比W/L。

(b) 若 nMOSFET 在 $V_{GS}=0V$ 时有 $I_{D(EOS)}=25\mu A$、在 $V_{GS}=1.0V$ 时有 $I_{D(EOS)}=225\mu A$，重复上问。

3.10 (a) 一个特定的 nMOSFET 工作在欧姆区，其 $V_{DS}=0.1V$，并在 $V_{GS}=2V$ 时有 $I_D=90\mu A$、在 $V_{GS}=3V$ 时有 $I_D=165\mu A$。假设 $k'=50\mu A/V^2$，求出器件的宽长比 W/L 和 V_t。

(b) 求出在 $V_{GS}=4V$、$V_{DS}=0.2V$ 时的 i_D。

(c) 若 $V_{GS}=2.5V$，求出 $V_{DS(EOS)}$ 和 $I_{D(EOS)}$。

3.11 一个特定的 nMOSFET 工作在低 v_{DS} 值下，作为一个压控电阻 r_{DS}。MOSFET 有 $k'=50\mu A/V^2$，$W=10\mu m$，$L=\mu m$ 及 $V_t=1.0V$。

(a) 求出使得 r_{DS}在 500Ω 到 20kΩ 之间变化的 V_{GS}范围。

(b) 对于(a)问中的 V_{GS}范围，若将 W 减半，r_{DS}的范围是多少？将 L 减半呢？将 W 和 L 都减半呢？将 W 和 L 都翻倍呢？若将 W 上升到 $50\mu m$ 而 L 保持 $1\mu m$ 呢？

3.12 一个 nMOSFET 有 $k=1mA/V^2$，其作为一个压控电阻，但只在一定的 V_{DS} 范围内工作，以保持较低的非线性。我们知道，在极限 $V_{DS}\to 0$ 下的沟道电阻是 $r_{DS}=1/(k\times V_{OV})$。然而，当 V_{DS}增加时，i_D-V_{DS} 曲线的斜率下降，所以代表沟道电阻的斜率倒数会上升。

(a) 若 $V_{OV}=1V$，若想真实的沟道电阻与极限 $V_{DS}\to 0$ 时的值的偏差不超过 5%，$|V_{DS}|$ 的最大值是多少？极限值是多少？

(b) 若 $V_{OV}=2$，5，0.5，0.2V，重复上问。

3.13 考虑三个拥有相同 V_t 和 k'值但宽长比分别为 $(W/L)_1=1/1$、$(W/L)_2=2/1$ 和$(W/L)_3=4/1$ 的 MOSFET，所有的值单位都是 μm。为了简便，假定所有器件都有 $\gamma=0$、$\lambda=0$。

(a) 若三个 MOSFET 如图 3.12 所示相互并联，作为一个单个的等效 MOSFET，求出$(W/L)_{eq}$。令 W 和 L 中的较小者为 $1\mu m$。

(b) 若三个 MOSFET 如图 3.13 所示相互串联，重复上问。

(c) 若第一、第二个 MOSFET 先并联，再与第三个串联，重复上问。

(d) 若第二、第三个 MOSFET 先串联，再与第一个并联，重复上问。

(e)若第一、第二个 MOSFET 先串联，再与第三个并联，重复上问。

3.14 一个特定的 nMOSFET 工作在饱和区，过驱动电压为 1V，在 $V_{DS}=2V$ 时有 $I_D=110\mu A$，在 $V_{DS}=4V$ 时有 $I_D=120\mu A$。

(a) 求出 λ 和 r_o。

(b) 求出 $I_{D(EOS)}$。

(c) 若 MOSFET 在极限 $V_{DS}\to 0$ 下有 $L=1\mu m$，在 $V_{DS}=5V$ 时实际的沟道长度 L_{actual}是多少？

提示：利用 $L_{actual}=L-\Delta L=L/(1+\lambda V_{DS})$。

(d) 在 V_{DS}为何值时，器件有 $L_{actual}=(2/3)L$?

3.15 假设一个 nMOSFET 的调制常数 λ 随着沟道长度 L 按照 $\lambda=(0.1\mu m)/LV^{-1}$ 规律变化，L 在 μm 数量级。令 $k'=50\mu A/V^2$。

(a) 若一个器件有 $W/L=(10\mu m)/(2\mu m)$，过驱动电压为 $V_{OV}=2V$，求出在 $V_{DS}=5V$ 和 $V_{DS}=10V$ 时的 I_D 值。r_o 的值是多少？

(b) 若 W 和 L 翻倍，重复(a)问。

(c) 若 W 和 L 减半，重复(a)问。

(d) 若器件在 $V_{OV}=1V$ 时，器件有$I_{D(EOS)}=1mA$、$r_o=100k\Omega$，指定 W 和 L。

3.16 如图 3.9d 所示，一个饱和 nMOSFET 的沟道长度降低了 ΔL。这个降低来源于，将 p^- 体和 n^+ 漏形成的结的空间电荷层(SCL)拓宽了。因为掺杂是不对称的($N_D\gg N_A$)，

SCL 会向轻掺杂的体区域延伸。应用式(1.45)，得到 $\Delta L \approx \sqrt{2\varepsilon_{si}(\phi_0 - V/(qN_A)}$，其中 ϕ_0 是结的内建电势，V 是漏端沟道处的结压降，即$V=V_{OV}-V_{DS}$。

(a) 假设一个特定的 nMOSFET 过驱动电压为 $V_{OV}=1V$，且在 $V_{DS}=2V$ 时有 $I_D=210\mu A$，在 $V_{DS}=4V$ 时有 $I_D=220\mu A$，λ 和k'的值为多少？

提示：考虑两个电流的比值。

(b) 假设体掺杂浓度 $N_A=10^{16}cm^{-3}$，多晶硅栅掺杂浓度 $N_D=10^{20}cm^{-3}$，$k'=50\mu A/V$，两种情形下 ΔL 的值是多少？

(c) 利用 I_D 是与 $L-\Delta L$ 成反比的，估计 L。W 的值是多少？

3.17 令一个 nMOSFET 有 $V_{t0}=1.0V$，$k=200\mu A/V^2$，$\lambda=0.02V^{-1}$，且 $\gamma=0.46V^{1/2}$。假设 $\phi_p=-0.35V$，对题 3.17 表填空。

题 3.17 表

#	V_{GS}(V)	V_{DS}(V)	V_{SB}(V)	I_D(μA)
1	2	2	0	
2	2	5	0	
3	2		0	106
4	3	4	3	
5	1.5	3	5	
6		6	3	252
7	2	5		55
8	3	1	0	

3.18 一学生用题 3.18 图所示的电路来测试一个 nMOSFET，以得到其重要参数的精确值，其结果如题 3.18 表的前四行。

题 3.18 表

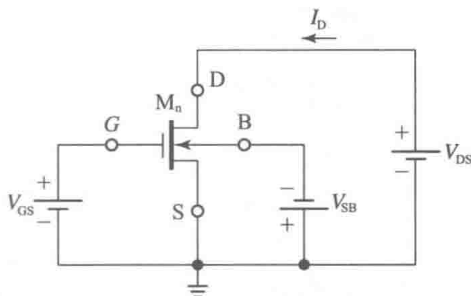
#	V_{GS}(V)	V_{DS}(V)	V_{SB}(V)	I_D(μA)
1	2	4	0	174
2	3	3	0	672
3	3	5	0	720
4	3	5	3	405
5	3	3	4	
6	4	1	3	

(a) 假设 $\phi_p=-0.35V$，求出 V_{t0}，k，λ，γ。

提示：用第 2、3 行求出 λ，用第 1、2 行求出 V_{t0}和 k，用第 3、4 行求出 γ。

(b) 用(a)问中的结果填满剩下行中的空白。

3.19 在题 3.18 图所示的电路中，令 $V_{SB}=0$、$V_{DS}=2V$，且令 V_{GS}在 0 到 5V 间变化。



题 3.18 图

(a) 假设 $v_t=1.0V$，$k=1\ mA/V^2$，$\lambda=0$，画出 i_D 相对于 V_{GS}的曲线并标注。

提示：因为 V_{GS} 在 0 到 5V 间变化，MOSFET 工作状态从截止，到饱和，再到晶体管区。

(b) 求出器件在 $V_{GS}=2V$ 和 $V_{GS}=4V$ 时的动态电阻 r(注意 r 是斜率的倒数)。

3.4 节

3.20 考虑两个二极管连接的 nMOSFET，其分别有 $V_{t1}=1.0V$、$k_1=100\mu\ A/V^2$，$V_{t2}=2.0V$、$k_2=400\mu A/V^2$。而且，令两个器件 $\gamma=0$、$\lambda=0$。

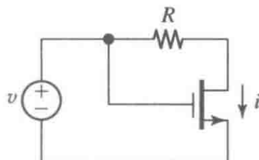
(a) 证明若两个二极管串联，它们仍然表现为一个二极管连接的 MOSFET。这个等效器件的 V_t 和 k 值是多少？

提示：利用 $i=i_{D1}=i_{D2}$ 和 $v=v_{DS1}+v_{DS2}$，推导出串联结构的 i-v 特性。

(b) 若两个二极管并联，所得到的结构仍然表现为二极管吗？画出其 i-v 特性曲线并标注，计算一些关键点，并讨论。

3.21 在题 3.21 图所示的电路中，令 $R=1k\Omega$，且令 FET 有 $v_t=1.0V$、$k=2mA/V^2$。假设$\lambda=0$，在 $0 \leqslant v \leqslant 5V$ 时画出其 i-v 特性曲线并标注。计算一些关键点，再用物理的观察，来预测在 v 很大时，特性曲线的极限斜率。

提示：因为 v 从 0V 开始上升，MOSFET 首先工作在截止区，再到饱和区，最后在晶体管区。

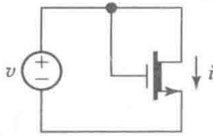


题 3.21 图

3.22 (a) 题 3.22 图所示的耗尽型 nMOSFET 工作在$v \geqslant 0$。证明器件一直工作在晶体管区。

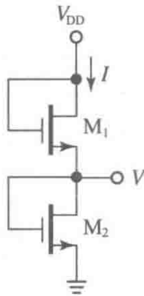
(b) 假设$V_t=-1.0V$，$k=100\mu A/V^2$ 及 $\lambda=0$，画出 $0 \leqslant v \leqslant 5V$ 时的 i-v 曲线并标注。

(c) 求出器件在 $v=0\text{V}$，3V，5V 时的动态电阻 r(注意 r 是斜率的倒数)。



题 3.22 图

3.23 题 3.23 图所示的是一个分压器，其用两个二极管连接的 nMOSFET 制成。令两个 MOSFET 有 $V_t=0.5\text{V}$，$k'=50\mu\text{A/V}^2$，$\gamma=0$，且 $\lambda=0$。



题 3.23 图

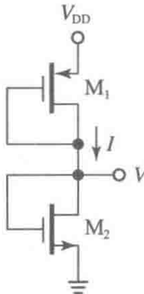
(a) 若 $V_{DD}=5\text{V}$，为 M_1 和 M_2 指定合适的宽长比 W/L，使得电路在从 V_{DD} 抽取电流 $I=25\mu\text{A}$ 时，给出 $V=2.5\text{V}$。

(b) 对于 $V=1.5\text{V}$、$I=10\mu\text{A}$，重复上问。

(c) 若 $(W/L)_1=(1\mu\text{m})/(1\mu\text{m})$，若 $V=3\text{V}$，指定 $(W/L)_2$；令 $(W/L)_2$ 中 W 和 L 的较小值为 $1\mu\text{m}$。电路的功耗为多少？

提示：利用 $I_{D1}=I_{D2}$。

3.24 题 3.24 图所示的是一个分压器，其用一个 nMOSFET 和一个 pMOSFET 制成，两个都工作在二极管模式。令两个 MOSFET 有 $V_{tn}=0.5\text{V}$，$k_n'=50\mu\text{A/V}^2$，$V_{tp}=-0.75\text{V}$，$k_p'=20\mu\text{A/V}^2$，$\lambda=0$。而且，令 $V_{DD}=4\text{V}$。



题 3.24 图

(a) 当电路在 $I=20\mu\text{A}$ 时给出 $V=1.5\text{V}$，指定两个 MOSFET 的宽长比 W/L；令 W 和 L 中的较小值为 $1\mu\text{m}$。

(b) 若 $V=1.0\text{V}$、$I=10\mu\text{A}$，重复上问。

提示：利用 $I_{D1}=I_{D2}$。

3.25 在题 3.23 图所示的分压器中，两个 MOSFET 都有 $V_t=0.5\text{V}$，$k'=50\mu\text{A/V}^2$，$\lambda=0$。

(a) 若 $V_{DD}=3\text{V}$，每个器件的宽长比都被限制在 $(1\mu\text{m})/(10\mu\text{m})\leqslant W/L\leqslant(10\mu\text{m})/(1\mu\text{m})$ 的范围内，V 的可能值为多少？电路从 V_{DD} 中抽取的电流是多少？

(b) 若电路抽取的电流与(a)问中的相同，但产生 $V=V_{DD}/2$，指定两个器件的宽长比 W/L；令 W 和 L 中的较小值为 $1\mu\text{m}$。

(c) 若 V_{DD} 翻倍到 6V，会发生什么？评价你的结果。

提示：利用 $I_{D1}=I_{D2}$。

3.26 令一个耗尽型 nMOSFET 有 $V_{t0}=-1.5\text{V}$，$k=0.4\text{mA/V}^2$，$\lambda=0.04\text{V}^{-1}$，$\gamma=0.62\text{V}^{1/2}$。假设 $\phi_p=-0.35\text{V}$，将题 3.26 表中的空白填满。

题 3.26 表

#	V_{GS}(V)	V_{DS}(V)	V_{SB}(V)	I_D(μA)
1	0	2	0	
2	−0.5	1	0	
3		3	0	56
4	0	2	2	
5	−1	1	5	
6		0.5	2	250
7	0	5		160
8	0		0	522

3.27 一个特定的增强型 pMOSFET 有 $V_{t0}=-1.5\text{V}$，$k=0.25\text{mA/V}^2$，$\lambda=0.04\text{V}^{-1}$，$\gamma=0.62\text{V}^{1/2}$。假设 $\phi_n=0.35\text{V}$，填满题 3.27 表中的空白。

题 3.27 表

#	V_{GS}(V)	V_{DS}(V)	V_{SB}(V)	I_D(μA)
1	3	3	0	
2	3	1	0	
3	3		0	130
4	4		2	550
5		3	2	35
6	4	1		250

3.28 一个特定的耗尽型 pMOSFET 有 $V_{t0}+0.5\text{V}$，$k=240\mu\text{A/V}^2$，$\lambda=0.05\text{V}^{-1}$，$\gamma=0.65\text{V}^{1/2}$。假设 $\phi_n=0.35\text{V}$，填满题 3.28 表中的空白。

题 3.28 表

#	V_{GS}(V)	V_{DS}(V)	V_{SB}(V)	I_D(μA)
1	0	4	0	
2	0.5	0.5	0	
3	1.5		0	360
4	0	2	5	
5	1.5		5	90
6		1	5	360

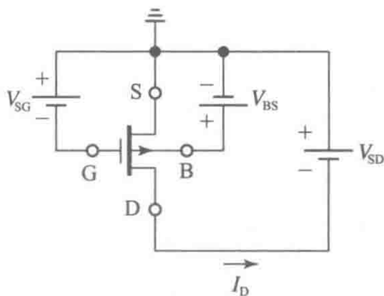
3.29 (a) 在题 3.18 图所示的测试电路中，令 $V_{GS}=0$、$V_{SB}=0$。若已知在 $V_D=3$V 时，有 $I_D=112\mu$A，在 $V_D=5$V 时，有 $I_D=120\mu$A，指出器件的类型(增强型或耗尽型?)，并求出 γ。

(b) 现在令 $V_{GS}=1.5$V、$V_{DS}=5$V。若已知在 $V_{SB}=0$ 时，有 $I_D=750\mu$A，在 $V_{SB}=2$V 时，有 $I_D=480\mu$A，假设 $\phi_p=-0.35$V，求出 k，V_{t0}，γ。

(c) 若 $V_{GS}=0$，$V_{SB}=-5.3$V，$V_{DS}=1$V，预测 I_D，并评论你的结果。

(d) 若将 V_{GS} 上升到 2V，重复(c)问。

3.30 一学生用题 3.30 图所示的结构对一个 pMOSFET 进行测试，以求出重要参数的精确值，其结果在题 3.30 表的前 4 行列出。



题 3.30 图

题 3.30 表

#	V_{GS}(V)	V_{DS}(V)	V_{SB}(V)	I_D(μA)
1	2	2	0	110
2	2	4	0	120
3	3	5	0	500
4	4	5	4	720
5	5	0	4	580
6	4	1		400

(a) 指出器件类型(增强型还是耗尽型?)，假设 $\phi_n=-0.35$V，求出 V_{t0}，k，λ，γ。

(b) 用(a)问中的结果，来填满剩余行内的空格。

3.31 (a) 题 3.30 图所示的测试电路被调至 $V_{SG}=V_{BS}=0$。已知在 $V_{SD}=8$V 时，有 $I_D=240\mu$A，在 $V_{SD}=2$V 时，有 $I_D=210\mu$A，在 $V_{SD}=0.5$V 时，有 $I_D=150\mu$A，并已知若 V_{BS} 升至 6V 时，I_D 下降到 0，指出器件的类型(增强型或耗尽型?)，假设 $\phi_n=0.35$V，求出 V_{t0}，k，γ 和 λ。

(b) 在 $V_{SG}=V_{BS}=V_{SD}=2$V 时预测 I_D。

3.32 在题 3.30 图所示的测试电路中，令 $V_{SD}=2$V，再令 v_{GS} 在 0V 到 5V 之间变化。

(a) 假设 MOSFET 有 $V_t=-1.0$V，$k=2.0$ mA/V^2，$\gamma=0.46\text{V}^{1/2}$，$\phi=0.35$V，$\lambda=0$，若 $V_{BS}=0$，画出 i_D 相对于 v_{GS} 的电路并标注。

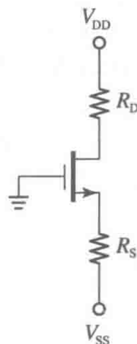
(b) 若 $V_{BS}=3$V，重复上问。比较两个曲线，并评论。

提示：因为 v_{GS} 从 0V 到 5V 变化，MOSFET 从截止区到饱和区再到晶体管区。

3.33 假设在 $T=300$K 附近，一个特定的 nMOSFET 有 $k=[1-0.005(T-300)]$ ma/V^2，$V_t=[1-0.002(T-300)]$V，$\lambda=0$，且被偏置在饱和区。若在 $T=300$K 时有 $TC(I_D)\approx0$，求出 V_{GS}。相应的 I_D 值是多少?

3.5 节

3.34 题 3.34 图所示的 nMOSFET 有，$V_t=0.5$V，$k=0.5$ mA/V^2，$\lambda=0$。而且，$V_{DD}=-V_{SS}=5$V。



题 3.34 图

(a) 指定 R_D 和 R_S 的值，以将 MOSFET 偏置在 $I_D=1$mA、$V_{DS}=3$V。

(b) 若 $V_{DS}=1$V，重复上问。

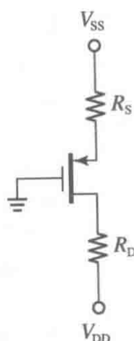
(c) 若(b)问中的 R_D 被置零(短路)，会发生什么? MOSFET 的新工作点是多少?

3.35 题 3.35 图所示的 pMOSFET 有，$V_t=-1.0$V，$k=0.25$ mA/V^2 且 $\lambda=0$。再令 $V_{SS}=-V_{DD}=6$V。

(a) 指定 R_D 和 R_S 的值，将 MOSFET 偏置在饱和边缘(EOS)，$I_D=0.5$mA。

(b) 若想将 MOSFET 偏置在 $I_D=2mA$、$V_{SD}=2V$。

(c) 若(b)问中的 R_D 翻倍，会发生什么？MOSFET 的新工作点是多少？



题 3.35 图

3.36 在题 3.34 图所示的电路中，令 $V_{DD}=-V_{SS}=6V$，$R_D=36k\Omega$，及 $R_s=10k\Omega$。

(a) 若 MOSFET 有 $V_t=2.0V$，$k=0.4mA/V^2$，$\lambda=0$，求出电路中所有的电压和电流。

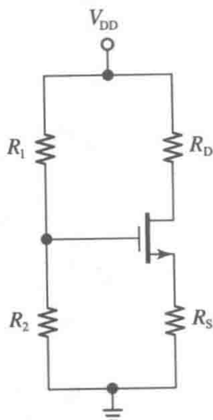
(b) 若 R_S 上升到 $15k\Omega$，重复上问。

3.37 在题 3.35 图所示的电路中，令 $V_{SS}=-V_{DD}=12V$，$R_S=16k\Omega$，及 $R_D=30k\Omega$。

(a) 若 MOSFET 有 $V_t=-1.5V$，$k=0.25mA/V^2$，及 $\lambda=0$，求出电路中所有的电压和电流。

(b) 若栅极离地并接入漏极，重复上问。

3.38 令题 3.38 图所示的 nMOSFET 有，$V_t=0.5V$，$k=0.8mA/V^2$，及 $\lambda=0$。

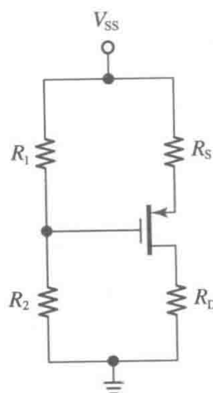


题 3.38 图

(a) 若 $V_{DD}=5V$，$R_1=2M\Omega$ 及 $R_S=5k\Omega$，求出合适的 R_2 和 R_D 值，将 MOSFET 偏置在 $I_D=0.3mA$、$V_{DS}=0.5V$。

(b) 若 R_1 从 $2M\Omega$ 上升到 $3M\Omega$，MOSFET 的工作点会受什么影响？评论之！

3.39 令题 3.39 图所示的 pMOSFET 有，$V_t=-2V$，$k=0.25\ mA/V^2$，及 $\lambda=0$。



题 3.39 图

(a) 若 $V_{SS}=12V$，指定合适的电阻值，在下列条件下将 MOSFET 偏置在 $I_D=0.5mA$：V_S 被偏置在 $(2/3)V_{SS}$；V_D 被偏置在饱和区的中间；$R_1+R_2\geqslant3M\Omega$。

(b) 若令(a)问设计中的 V_{SS} 变为 15V，会发生什么？MOSFET 的工作点会受到什么影响？

(c) 若 $V_{SS}=6V$，重复上问。

3.40 在题 3.38 图所示的电路中，令 $V_{DD}=15V$，$R_1=1.2M\Omega$，$R_2=1.8M\Omega$，$R_D=15k\Omega$，及 $R_S=5k\Omega$。而且，令 MOSFET 有，$v_t=1.5V$，$k=0.2mA/V^2$，$\lambda=0$。

(a) 求出电路中所有的电压和电流。

(b) 若 $R_D=0$，重复(a)问。

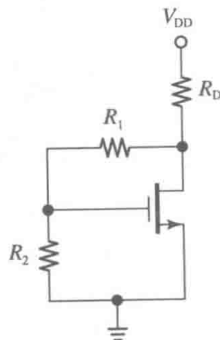
(c) 若 $R_S=0$，重复(a)问。

3.41 在题 3.39 图所示的电路中，令 $V_{SS}=10V$，$R_1=R_2=10M\Omega$，$R_S=2k\Omega$，且 $R_D=10k\Omega$。而且，令 MOSFET 有 $V_t=-1.5V$，$k=0.5mA/V^2$，$\lambda=0$。

(a) 求出电路中所有的电压和电流。

(b) 若栅极脱离分压器，并接入漏极，重复上问。

3.42 在题 3.42 图所示的电路中，令 $V_{DD}=10V$，$R_1=R_2=10M\Omega$，$R_D=10k\Omega$。



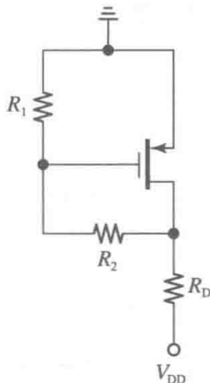
题 3.42 图

(a) 假设 MOSFET 有 $V_t=1.0\text{V}$，$k=0.2\text{mA/V}^2$，$\lambda=0$，估计 MOSFET 的工作点。

提示：注意到 $10\text{k}\Omega \ll 10\text{M}\Omega$。

(b) 若 R_1 从 $10\text{M}\Omega$ 上升到 $20\text{M}\Omega$，会对工作点 Q 产生什么影响？

3.43 题 3.43 图所示电路中，MOSFET 有 $V_t=-1.0\text{V}$，0.75mA/V^2，$\lambda=0$。



题 3.43 图

(a) 假设 $V_{DD}=-8\text{V}$，指定合适的电阻值，将器件偏置在 $I_D=1.5\text{mA}$，且 V_D 处于导通边缘和饱和边缘的中间；在 $\text{M}\Omega$ 数量级指定 R_1 和 R_2。

(b) 若 V_{DD} 变化到 -5V，MOSFET 的工作点会受什么影响？

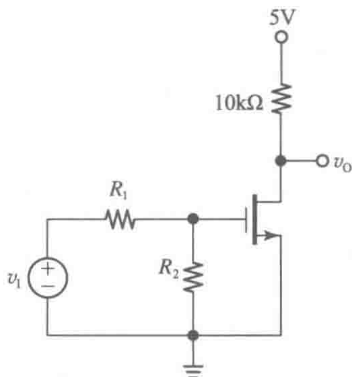
(c) 到 -1.5V 呢？

3.44 (a) 在图 3.35 所示的电路中，指定 R_1 和 R_2（$\text{M}\Omega$ 数量级）将 M_p 偏置在饱和边缘（EOS）。

(b) 所得到 M_n 的漏极电流是多少？

3.6 节

3.45 题 3.45 图所示的 MOSFET 有，$V_t=1.0\text{V}$，$k=1.0\ \text{mA/V}^2$，$\lambda=0$。



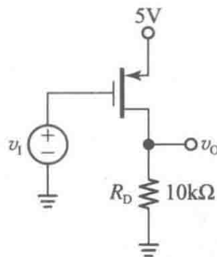
题 3.45 图

(a) 指定 R_1 和 R_2（$\text{M}\Omega$ 数量级），使得在 $v_I=2.5\text{V}$ 时，有 $v_O=2.5\text{V}$。

v_I 为多少时，MOSFET 工作在导通边缘（EOC）？在饱和边缘（EOS）呢？

(c) 在 $v_I=2.5\text{V}$ 时，VTC 的斜率是多少？

3.46 题 3.46 图所示的 MOSFET 有，$V_t=-1.5\text{V}$，$k=1.0\text{mA/V}^2$，及 $\lambda=0$。

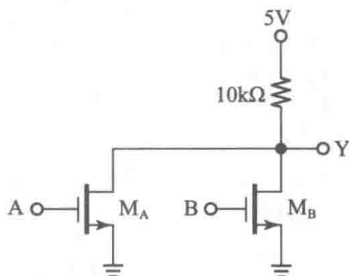


题 3.46 图

(a) 画出 VTC 的曲线并标注。

(b) 若得到输出 $v_O=3.0\text{V}$，求出所需的 v_I 值，并估计该点的 VTC 斜率。

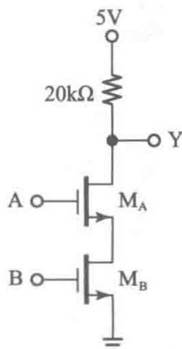
3.47 如题 3.47 图所示电路是用 nMOSFET 实现或非的逻辑功能的。假设相同的 MOSFET 有，$V_t=1.0\text{V}$，$k=0.25\ \text{mA/V}^2$，$\lambda=0$，画出真值表，在下列输出节点 A 和 B 组合下，指明每个 MOSFET 的工作区（CO 或欧姆区），并计算输出电压：(A，B)=(0V，0V)，(0V，5V)，(5V，0V)，(5V，5V)。



题 3.47 图

提示：两个相同的 MOSFET 并联表现为一个单个的 MOSFET，其 V_t 相同，但 k 变为原来的 2 倍。

3.48 对于题 3.48 图所示的电路，其实现了"与非"的逻辑功能，重复习题 3.47 中的问题。



题 3.48 图

提示：假设 $\gamma=0$，$\lambda=0$，利用两个相同的MOSFET串联表现为一个单个的MOSFET，其 V_t 相同，但 k 变为原来的一半。

3.7 节

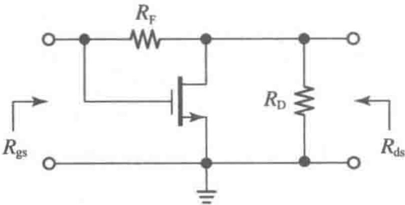
3.49 (a) 将题3.49图所示的MOSFET用其小信号模型代替，并用测试信号的方法求出 R_{gs}。

(b) 若 $R_F=1\text{M}\Omega$、$R_D=10\text{k}\Omega$，且MOSFET有 $g_m=1\text{mA/V}$、$r_o=100\text{k}\Omega$，求出 R_{gs}。

(c) 研究 $R_F\to0$ 和 $R_D\to\infty$ 的极限情况，并根据已知的MOSFET特性进行验证。

(d) 对于 R_D 有限，且 $R_F\gg R_D$ 的情况，重复上问。

(e) 在极限 $R_D\to0$ 下，会发生什么？



题3.49图

3.50 (a) 将题3.49图所示的MOSFET用其小信号模型代替，并用测试信号方法来获得 R_{ds} 的表达式。R_F 在该电路中起何作用？

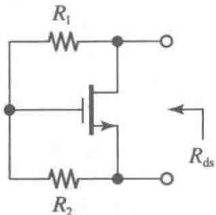
(b) 若 $R_F=1.0\text{M}\Omega$、$R_D=10\text{k}\Omega$，且MOSFET有 $g_m=1.0\text{mA/V}$、$r_o=100\text{k}\Omega$，计算 R_{ds}。

(c) 若栅极和源极之间是交流短路的，会发生什么？

3.51 (a) 将题3.51图所示的MOSFET用其小信号模型代替，并用测试信号方法来获得 R_{ds} 的表达式。

(b) 若 $R_1=R_2=1.0\text{M}\Omega$，且MOSFET有 $g_m=1.0\text{mA/V}$、$r_o=100\text{k}\Omega$，计算 R_{ds}。

(c) 若 R_1，R_2，r_o 非常大，R_{ds} 的极限是多少？



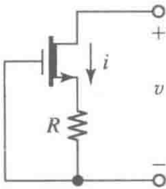
题3.51图

3.52 题3.52图所示的耗尽型nMOSFET有，$V_t=-2.0\text{V}$，$k=2.0\text{mA/V}^2$，$\lambda=0.01\text{V}^{-1}$。

(a) 在 $R=0$ 时，求出 $V_{DS(EOS)}$ 和 $I_{D(EOS)}$，再对于 $v\geqslant0$，画出 i-v 曲线并标注。饱和区的斜率是多少？在饱和区时每伏电压变化会使 i 变化多少？将这个变化用 $I_{D(EOS)}$ 的百分比表示。

(b) 在 $R=1.0\text{k}\Omega$ 时，重复上问。比较百分比的变化，并评论。

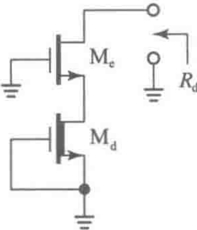
提示：R 产生了源简并。



题3.52图

3.53 (a) 将题3.53图所示的MOSFET用其小信号模型代替，得出 R_d 的表达式。

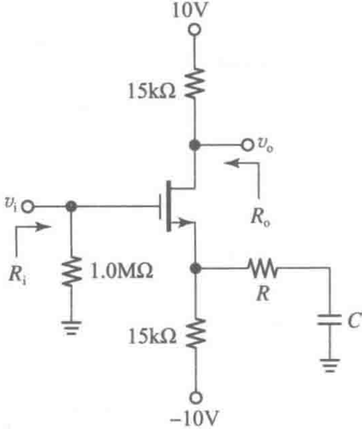
(b) 若两个器件都有 $g_m=1\text{mA/V}$、$r_o=100\text{k}\Omega$，计算 R_d 并评论你的结果。



题3.53图

3.8 节

3.54 题3.54图所示电路中MOSFET有 $V_t=1.5\text{V}$，$k=1\text{mA/V}^2$，$\lambda=0.02\text{V}^{-1}$。



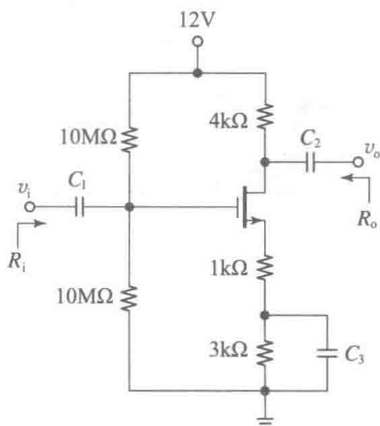
题3.54图

(a) 求出MOSFET的直流工作点，为了简化直流计算，假定 $\lambda=0.02\text{V}^{-1}$。

(b) 若 $R=0$，求出 R_i，R_o，v_o/v_i，并在10kHz的信号频率下，指定能正常工作的 C 值。

(c) 求出使增益下降到(b)问中一半的 R 值。其对 R_i、R_o 以及 C 的选择有什么影响？

3.55 题3.55图所示电路中MOSFET有，$V_t=1.0V$，$k=2mA/V^2$，$\lambda=0.02V^{-1}$。



题3.55图

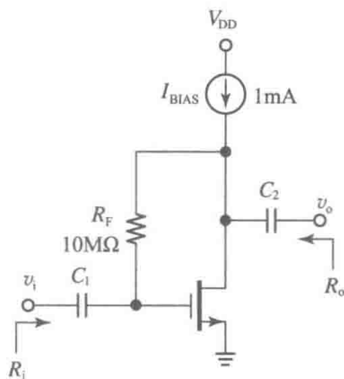
(a) 求出MOSFET的直流工作点，为了简化直流计算，假定$\lambda=0$。

(b) 求出R_i，R_o，v_o/v_i。

(c) 若1.0kΩ电阻被置零(短路)，重复(a)和(b)问。

3.56 若将图3.57所示MOSFET的源极升离地面，并在源极和地之间插入一个串联电阻$R_S=2.0k\Omega$，使其成为源简并结构，再重复例3.32(a)问。讨论R_S对直流工作点和小信号参数的影响。

3.57 在题3.57图所示的电路中，令MOSFET有$V_t=1.5V$，$k=0.5mA/V^2$，$\lambda=0.01V^{-1}$。



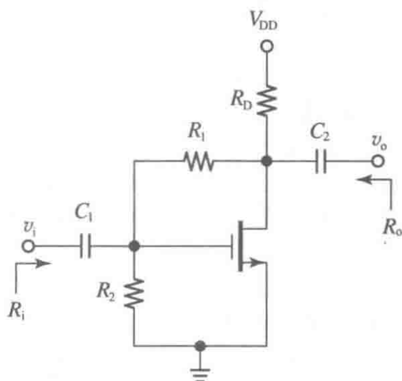
题3.57图

(a) 求出MOSFET的直流工作点，为了简化计算假设$\lambda=0$。

(b) 求出增益v_o/v_i。

(c) 用测试的方法求出R_i(输出端开路时的输入电阻)，再由观察求出R_o(输入端短路时的输出电阻)。

3.58 在题3.58图所示的电路中，令$V_{DD}=12V$，$R_D=2.0k\Omega$，$R_1=1.0M\Omega$，$R_2=2.0M\Omega$。



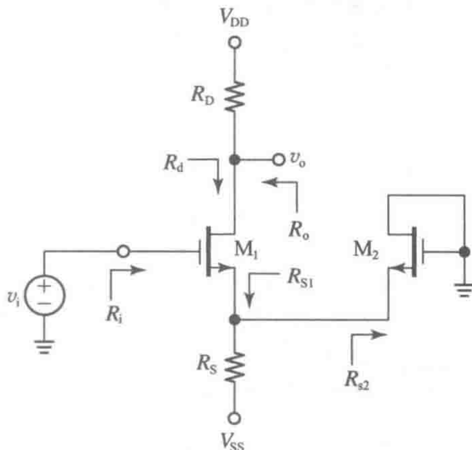
题3.58图

(a) 若MOSFET有$V_t=2.0V$，$k=1.5mA/V^2$，$\lambda=0.015V^{-1}$，求其直流工作点。为了简化直流计算，假设$\lambda=0$。

(b) 求出增益v_o/v_i。

(c) 用测试的方法求出R_i(输出端开路时的输入电阻)，再由观察求出R_o(输入端短路时的输出电阻)。

3.59 我们知道，CS结构中源极旁路电容的作用是，在源极建立一个交流地。题3.59图所示的电路消除了对这个电容的需求，其利用二极管连接的MOSFET M_2代替电容。虽然M_2在M_1的源极不能提供一个真实的交流地，但其交流电阻(R_{s2})比较小，虽然给M_1带来了少量的源极简并，但消除了旁路电容，这是值得的。这种技术在IC制造中广泛采用，其中M_1和M_2是匹配器件。对于直流分量的信号源，这两个MOSFET有相同的V_{GS}压降，因此流过相同的电流I_D。因此，需指定R_S，使其流过$2I_D$的电流。



题3.59图

(a) 将M_1看作一个带有源简并电阻$R_{S1}=R_S // R_{s2}$)的CS-SD结构，推导出小信号参数R_i，R_o，v_o/v_i的表达式。

(b) 假设匹配的 MOSFET 有，$V_t=1V$，$k=1mA/V^2$，$\lambda=0.02V^{-1}$，且 $V_{DD}=-V_{SS}=12V$，$R_D=15K\Omega$，$R_S=7.5K\Omega$，求两个 MOSFET 的直流工作点。

(c) 计算 R_i，R_o，v_o/v_i 的具体值。

3.60 利用题 3.54 图所示的电路，但令 $R=0$，设计一个放大器，其接受频率为 1kHz 内阻为 $R_{sig}=100k\Omega$ 的交流信号 v_{sig}，输出 $v_o=-4\times v_{sig}$到负载 $R_L=20k\Omega$。你的电路由 ±6V 的电源供电，采用的是 nMOSFET，其有$V_t=1.0V$，$k=1.0mA/V^2$，$\lambda=0.02V^{-1}$。

(a) 画出你的电路，并指定 5% 的标准电阻和电容值来实现你的目标。

(b) 若 $v_{sig}=(50mV)\cos(2\pi\ 10^3 t)$，通过求出所有节点电压(直流和交流部分)，来验证你的电路可以正常工作。

3.61 利用题 3.39 图所示的电路，设计一个 CS 放大器，其有 $a_{oc}=-5V/V$、$R_i\geqslant 1M\Omega$。再指定合适的电容值使其在 100kHz 下正常工作。你的放大器由 9V 的电源供电，采用的是 pMOSFET，其有 $V_t=-1.5V$，$k=1.25\ mA^2V$，$\lambda=0.02V^{-1}$。

提示：令 $V_D=(1/3)V_{SS}$、$V_S=(2/3)V_{SS}$(1/3-1/3-1/3 准则)。

3.62 在图 3.56a 所示的 CS 放大器中，MOSFET 被偏置在二极管模式，给出 $V_D=V_{D(EOS)}+V_r$。为了允许输出信号有更大的动态范围，可行的方法是将漏极偏置得更高一些，在 $V_D=V_{D(EOS)}+mV_t$，$m>1$ 处。题 3.58 图所示的 CS 结构实现了这个目标，其采用了一个额外的电阻 R_2，迫使 R_1 上电压下降一些，从而提高 V_D。

(a) 证明若 R_1 和 R_2 足够大，其抽取的电流与 I_D 相比可忽略不计，那么在 $\lambda=0$ 时，题 3.58 图所示的 CS 放大器有：

$$a_{oc}=2\left(\frac{V_{DD}-mV_t}{V_{OV}}-1\right)$$

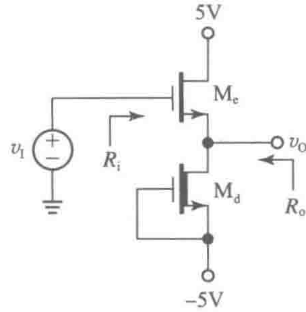
(b) 若 $V_{DD}=5V$，且 MOSFET 有 $V_t=0.5V$，$k=2.0mA/V^2$，$\lambda=0$，指定合适的电阻值，使得在$m=2$时有 $a_{oc}=-10V/V$。

(c) 若 $\lambda=0.02V^{-1}$，计算 a_{oc}，并评论。

(c) (d) 若 $v_i=(100mV)\cos(\omega t)$，通过求出所有节点电压(直流和交流部分)，来验证你的电路可以正常工作。

3.9 节

3.63 在题 3.63 图所示的电路中，增强型 MOSFET M_e 作为一个电压跟随器，耗尽型 MOSFET M_d 作为一个电流源对 M_e 进行偏置。令 M_e，有 $V_t=1.0V$，$k=2.0mA/V^2$，$\lambda=0.025V^{-1}$，再令 M_d，有 $V_t=-1.0V$，$k=2.0mA/V^2$，$\lambda=0.02V^{-1}$。



题 3.63 图

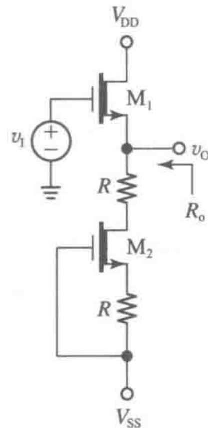
(a) 在 $v_I=0$ 时，求出两个 MOSFET 的静态工作点。为了简化直流计算，假设 $\lambda=0$。

(b) 求出 R_i，R_o，v_o/v_i。

(c) v_i 处在什么范围内时，电路可以正常工作，且 MOSFET 都工作在有源区？

3.64 若将习题 3.63 中的增强型 MOSFET M_e 用拥有相同特性的耗尽型 MOSFET M_d 代替，重复上题。

3.65 在题 3.65 图所示的电路中，采用了两个耗尽型 MOSFET，M_1 作为一个电压跟随器，M_2 作为一个电流沉对 M_1 进行偏置，R 控制偏置电流。



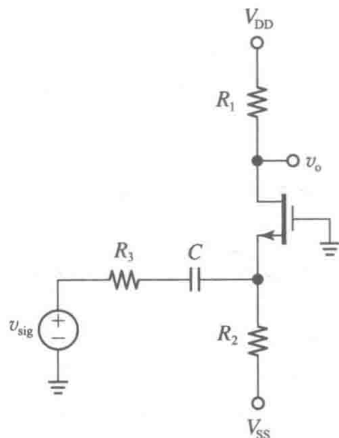
题 3.65 图

(a) 假设电源为 ±5V，匹配的 MOSFET 有，$V_t=-1.5V$、$k=2.0mA/V^2$，指定合适的 R 值将 MOSFET 偏置在 1mA。$v_I=0$ 时的 v_o 值是多少？

(b) 假设 $\lambda=0.025V^{-1}$，求出 R_i，R_o，v_O/v_i。

(c) v_I 处在什么范围内时，电路可以正常工作，且 MOSFET 都工作在有源区？

3.66 题 3.66 图所示的 CG 电路有，$V_{DD}=-V_{SS}=10V$,且 MOSFET 有，$k=1.0mA/V^2$，$V_t=1.0V$，$\lambda=0$。



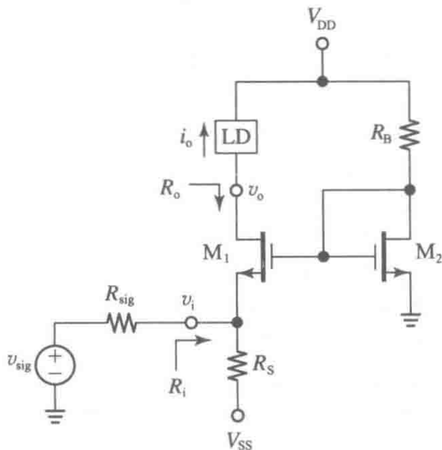
题 3.66 图

(a) 指定合适的 R_1 和 R_2 值，使得 $I_D=2mA$，并将漏极偏置在(V_S+V_{OV})和V_{DD}之间。

(b) 指定 R_3 和 C 值，使得在信号频率为10kHz时，增益为 $v_o/v_{sig}=+2V/V$。

提示：先考虑从 v_{sig} 到 v_s 的增益，再考虑 v_s 到 v_o 的增益，其中 v_s 是 MOSFET 源端的信号。

3.67 题3.67图所示电路中，M_1 工作在CG模式，M_2 工作在二极管模式。由KVL，有 $V_{S1}=V_{GS2}-V_{GS1}$。若采用匹配的 MOSFET，将其偏置在相同的电流下，那么 V_{GS1} 和 V_{GS2} 将会相互抵消，得到 $V_{S1}=0V$。因为 M_1 的源极是CG工作状态下的输入级，此处需要0V的直流电压，以允许我们将信号源直接耦合到放大器上，而不需要任何交流耦合电容。而且，交流工作状态可以一直延伸到直流状态，这也是所需的特性。在所画的电路中，CG结构是用作电压到电流的放大器。



题 3.67 图

(a) 令 $V_{DD}=-V_{SS}=10V$、$R_S=10k\Omega$。假设匹配的 MOSFET 有，$V_t=1.5V$，$k=2.0\ mA/V^2$，$\lambda=0.02V^{-1}$，假设信号源有 $R_{sig}=10k\Omega$，且直流分量为0V，指定 R_B 的值，保证 $V_{S1}=0$。

(b) 求出小信号参数 R_i，R_o，v_0/v_i。此时的增益 i_o/v_{sig} 与理想情况 $R_i\to 0$ 时的相比如何？

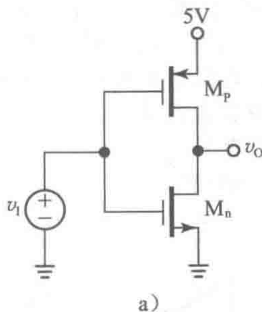
提示：求出 R_i 后，再求出中间的电压增益 i_i/v_{sig}。

(c) 负载所能得到的且保证 M_1 仍然工作在有源区的最大电压是多少？

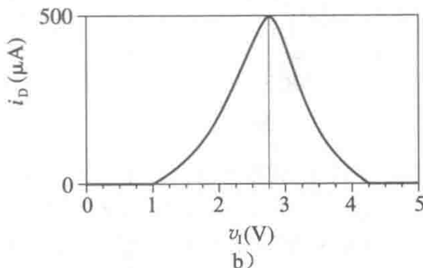
3.10 节

3.68 (a) 已知题3.68a图所示的反相器有如图b所示的电流转换曲线，假设$\lambda_n=\lambda_p=0$，求 k_n 和 k_p。

(b) 若 $\lambda_n=\lambda_p=0.08V^{-1}$，重复上问。



a)



b)

题 3.68 图

3.69 一个 CMOS 反相器用匹配的 MOSFET 制成，其有 $k=200\mu A/V^2$、$V_t=0.6V$，且由 $V_{DD}=3V$ 供电。

(a) 假设 $\lambda=0$，求出 V_{IL}，V_{IH}，NM_L，NM_H，V_m，I_m。

(b) 求出 $v_O=V_{OL}$ 和 $v_O=V_{OH}$ 时的输出电阻。

(c) 求输出在地电势上下0.1V内时，反相器从负载吸入的最大电流；输出在 V_{DD} 上下0.1V内时，反相器能向负载提供的最大电流。

(d) 求出噪声容限仍为1V时，反相器可以提供/吸入的最大输出电流。

3.70 一个 CMOS 反相器用匹配的 MOSFET 制成，其有 $V_t=V_{tn}=-V_{tp}=0.2V_{DD}$。

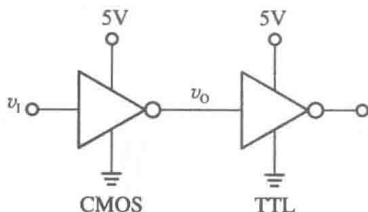
(a) 证明输出在地电势上下0.1V内时，反

相器从外部负载吸入的最大电流；以及输出在 V_{DD} 上下 0.1V 内时，反相器能向负载提供的最大电流都为 $I_{o(max)}=0.075kV_{DD}^2$，其中 $k=k_n=k_p$。

(b) 假设 $k_D'=100\mu A/V^2$、$k_D'=40\mu A/V^2$，若 $V_{DD}=3V$，指定 $(W/L)_n$ 和 $(W/L)_P$ 使得 $I_{o(max)}=0.5mA$。所得到的 I_m 值是多少？

(c) 求出在 $v_O=V_{OL}$ 和 $v_O=V_{OH}$ 时的输出电阻。

3.71　虽然当今的数字电子技术中 CMOS 技术占据主要地位，但仍有 TTL 技术制造的系统在工作，TTL 技术是在 CMOS 技术出现前占据主要地位的 BJT 技术。题 3.71 图画出了 CMOS 系统和 TTL 系统的连接，其用两个基本的反相器作为例子。CMOS 反相器是图 3.64 所示的类型。TTL 反相器的细节在此处我们并不关心，其在制造商的数据手册中有所提及。在以下的分析中，假设 CMOS 有 $V_{tn}=-V_{tp}=1V$，$k_n'=50\mu A/V^2$，$k_p'=20\mu A/V^2$。



题 3.71 图

(a) TTL 的数据手册指定了能正常工作的参数，一个 7400 系列的 TTL 门在 $k_p'=20\mu A/V^2$ 时，需要 CMOS 反相器向其提供 $i_O\geqslant 40\mu A$ 的电流，且 $v_O\geqslant 2.4V$。为满足这个要求，指定 $(W/L)_P$ 的最低值。

(b) 同样，在 $v_I=5V$ 时，TTL 门需要 CMOS 反相器从其吸入 $i_O\geqslant 1.6mA$ 的电流，且 $v_O\leqslant 0.4V$。为满足这个要求，指定 $(W/L)_n$ 的最低值。

(c) 对于 74LS00 系列的 TTL(低功耗肖特基(Schottky)TTL)，重复上问，此时在 $v_I=0V$ 时，TTL 需要 CMOS 反相器向其提供 $i_O\geqslant 4\mu A$ 的电流，且 $v_O\geqslant 2.7V$；在 $v_I=5V$ 时，TTL 需要 CMOS 反相器吸入 $i_O\geqslant 0.4mA$ 的电流，且 $v_O\leqslant 0.4V$。评论所得的差异。

3.72　我们知道，对于匹配 MOSFET 组成的 CMOS 反相器，其 VTC 的中点在 $v_I=V_m=V_{DD}/2$。若由于制造工艺变化，器件不匹配，会出现什么情况？

(a) 利用 $i_{Dp}=i_{Dn}$，证明在器件不匹配时，VTC 的中点在

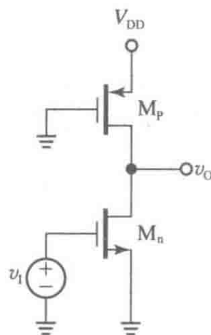
$$V_m=\frac{V_{DD}-|V_{tp}|+V_{tn}\sqrt{k_n/k_p}}{1+\sqrt{k_n/k_p}}$$

处。

(b) 假设 $V_{DD}=5V$，且对于每个 FET，k 处于 $100\mu A/V^2\pm 20\%$ 的范围内，V_t 处于 $1.0V\pm 20\%$ 的范围内，求出 V_m 可能值的范围。V_m 偏离其理想值 $V_{DD}/2=2.5V$ 的最大百分比范围是多少？

(c) 峰值电流 I_m 可能值的范围是多少？

3.73　题 3.73 图所示的反相器称为伪 nMOSFET，其在一些本章未涉及的情况下得到应用。



题 3.73 图

(a) 假设 $V_{DD}=5V$，$V_m=-V_{tp}=1V$，$k_p=40\mu A/V^2$，$k_n=200\mu A/V^2$，$\lambda_n=\lambda_p=0$，求出 V_{OH}，V_{OL}，NM_L，NM_H。

(b) 在 $v_I=0V$ 时，栅极从电源抽取的电流为多少？$v_I=5V$ 呢？与图 3.64 所示的 CMOS 反相器比较，并评论。

提示：利用 $i_{Dp}=i_{Dn}$。

3.74　(a) 利用 $i_{Dp}=i_{Dn}$，求出将习题 3.73 中的反相器偏置在 $v_O=5V$ 时所需的 v_I 值。

(b) 在 $v_O=2.5V$ 时，估计小信号增益(VTC 的斜率)。

3.75　在题 3.73 图所示的电路中，令 $V_{DD}=5V$，$V_{tn}=-V_{tp}=1V$，$k_p=40\mu A/V^2$，$k_n=400\mu A/V^2$，且为了简便，假设 $\lambda_n=\lambda_p=0$。

(a) 求出 $v_O=v_I$ 时，VTC 上的工作点 Q_0。

提示：利用 $i_{Dp}=i_{Dn}$。

(b) 将 MOSFET 用其小信号模型代替，来估计 Q_0 处的增益 $v_o=v_i$。

提示：在晶体管区，pMOSFET 表现为一个动态电阻 r_{sd}。

3.76　在图 3.69a 所示的"或非"门中，令 $V_{DD}=5V$，MOSFET 是匹配器件，且有 $V_t=1V$、$k=100\mu A/V^2$。

(a) 假设 $\lambda=0$，画出 VTC 并标注，若 A 和 B 被连接在一起，使得"或非"门作为反相器使用，求出 V_m，NM_L，NM_H。

(b) 与传统的反相器比较，证明差异的存在。

提示：注意两个相同的 MOSFET 并联会表现为一个单个的等效 MOSFET，其 $k_{eq}=2k$。

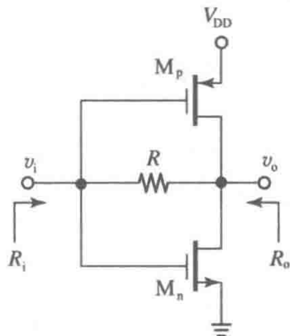
3.77 在题 3.70a 图所示的“与非”门中，令 $V_{DD}=5V$，MOSFET 是匹配器件，且有 $V_t=1V$、$k=100\mu A/V^2$，$\lambda=0$。

(a) 画出 VTC 并标注，若 A 和 B 连接在一起，使得“与非”门作为反相器使用，求出 V_m，NM_L，NM_H。

(b) 与传统的反相器比较，证明差异的存在。

提示：注意两个相同的 MOSFET 串联会表现为一个单个的等效 MOSFET，其 $k_{eq}=k/2$。

3.78 在题 3.78 图所示的电路中，R 将 MOSFET 偏置在 $V_O=V_I$，因为 MOSFET 是匹配的，所以有 $V_O=V_I=V_{DD}/2$。



题 3.78 图

(a) 将 MOSFET 用其小信号模型代替，再用测试的方法获得 R_i(输出端开路时的输入电阻)和 R_o(输入端交流短路时的输出电阻)关于 g_m，r_o，R 的表达式。

(b) 若 $R=1M\Omega$，$V_t=1V$，$k=1mA/V^2$，$\lambda=0.01V^{-1}$ 计算在 $V_{DD}=5V$ 时的 R_i 和 R_o。

3.79 (a) 在题 3.78 图所示的电路中，将 MOSFET 用其小信号模型代替，并得到小信号增益 $a=v_o/v_i$ 关于 g_m，r_o，R 的表达式。并计算在以下条件下的增益：

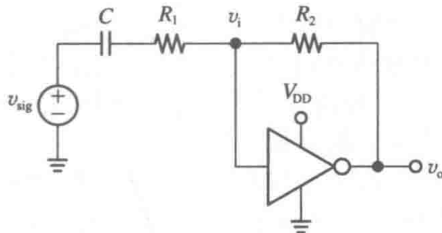
(b) $V_{DD}=5V$；

(c) $V_{DD}=10V$；

(d) $V_{DD}=3V$。

(e) 在条件 $R\gg r_o$ 下，推导出 a 关于 V_{DD} 和 λ 的表达式，与计算值相比较，并评论。

3.80 题 3.80 图所示的电路画出了将 CMOS 反相器作为反相放大器的一种应用。负反馈电阻 R_2 的作用是将 MOSFET 偏置在 $V_O=V_I$；R_1 的作用是将理想的闭环增益设置为 $-R_2/R_1$；C 的作用是不影响直流工作点的前提下，将输入源交流耦合到放大器。假设 MOSFET 是匹配的，每一个有 $g_m=1mA/V$、$r_o=100k\Omega$。若 $R_1=200k\Omega$、$R_2=1.0M\Omega$，$v_{sig}=(100mV)\cos\omega t$，估算 v_o、v_i、开环增益 v_o/v_i 和闭环增益 v_o/v_{sig}。后者与理想值相比如何？



题 3.80 图

第4章 模拟集成电路单元电路

如第 2 章所述，在 1947 年发明双极型晶体管(BJT)之后，它首先用来替代更笨重的、更耗能的且超低稳定性的真空三极管。实际上，如果工作电压和周边元件进行合适的缩放，第一个晶体管电路就是真空管电路原型的复制品。一般来说，它们就是我们之前已经研究过的电路，称为分立电路。

在 20 世纪 50 年代末，已经认识到采用晶体管进一步以单片形式(即在相同的半导体材料上)制备整个电路(晶体管、二极管、电阻及小电容，以及其他的互连)，即芯片，可以实现显著的小型化及低功耗。所谓集成电路(IC)是 TI 的杰克・基尔比(Jack Kilby)于 1958 年和仙童半导体的罗伯特・诺伊斯(Robert Noyce)于 1959 年先后率先实现的。20 世纪 60 年代见证了集成电路的繁荣发展，相继推出了仙童半导体的第一个(μA 系列)集成电路运算放大器(IC op amp)，TI(7400 系列)的 TTL 数字集成电路家族，以及摩托罗拉(10K 系列)发射极耦合逻辑(ECL)电路。

同时，在 20 世纪 70 年代初，金属-氧化物-半导体类型的场效应晶体管(MOSFET)得到了商业应用。与 BJT 比较而言，MOSFET 的优点是更小尺寸和低功耗。这种替代技术(MOSFET 替代 BJT)推进了第一个电池供电的电子计算器及腕表的发展。此外，低功耗替代技术扩充了 TTL 双极逻辑系列，称为 RCA(4000 系列)的 CMOS 数字系列。在这些产品之后，在 1971 年 Intel 诞生了第一款微处理器。自那以后，IC 电子学呈指数级进步，并且渗透到现代生活的每一个方面。摩尔定律表述了这种惊人的增长，其大体意思是由于 IC 制造的不断进步，集成于给定面积上的器件数量大约每 18 个月翻一番。摩尔定律最初于 1965 年提出，尽管摩尔定律指出了 IC 技术会接近物理极限，最终会消亡，但是摩尔定律至今还仍然有效。

由于前文提到的 MOSFET 具有小尺寸、低功耗的优点，尤其在数字电子学领域，所以 MOSFET 超越了主导半导体器件近 30 年的 BJT。尽管如此，BJT 仍然是高性能通用模拟 IC 的首选器件。由于提供了多种选择的器件，BJT 也可应用于分立的电路设计。如果增加工艺步骤和成本，也可以在同一芯片上同时制备 BJT 和 MOSFET。该技术就称为 BiCMOS 技术，它利用了两种类型晶体管的优点，提供了更加创新的设计方案。当前 IC 倾向于在同一芯片上兼具模拟和数字功能，这就是命名为混合信号或混合模式 IC 的原因。通常，我们将试着以数字形式实现尽可能多功能，只有与外部物理世界的接口才会使用模拟电路，因为外部物理世界的本质就是模拟的。

本章重点

本章首先比较了分立设计和单片式集成设计。接着回顾 BJT 和 MOSFET 的特性，强调了前面介绍性章节中有意忽略但与单片电路实现相关的二阶效应。也回顾了第 2、3 章中的基本单晶体管结构，但是从单片的角度来看，直流偏置的功能和输出负载不再由电阻提供，而是由其他的作为电流源或电流沉的晶体管提供。

其次，本章研究了模拟 IC 中各种已经成为标准模块的多晶体管电路结构。这包括达林顿(Darlington)和共源共栅结构、差分对、电流镜、直流电流源和电流沉、有源负载增益级和推挽式输出结构。尤其关注的是差分对结构，因为它是构成大多数模拟 IC 的核心。首先，我们研究了器件完美匹配情况下的差分对，然后我们验证了工艺失配对输入失调误差和共模抑制比的影响。为了避免重复，尽可能地并行研究 BJT 和 MOSFET 的电路实

现，并比较两种技术的相似和不同之处。

本章阐述了各种巧妙的设计解决方案，有助于使模拟电路成为一个最吸引人的课程。但是精彩即将到来，在下一章，通过把这些模块配置在一起来设计某些代表性的模拟 IC。

通常，不管一个给定的电路多么复杂，理解它所使用工具仍然还是那些基础电子电路课程中掌握的知识，如欧姆定律、基尔霍夫定律(LVL 和 KCL)、戴维南/诺顿定理，以及计算受控源的端电阻的测试信号技术。

本章充分利用了 PSpice 作为一个软件示波器来显示传输曲线和波形，并且作为直流和交流手动计算的验证工具。

4.1 集成电路设计注意事项

单片电路(也称为集成电路(IC))的广泛使用源于我们有能力在同一半导体芯片上制造大量互连器件，同时保持适当低功耗。对于设计者，IC 和分立器件相比，表现出了独特的约束性和优势，最相关的有如下几点。

- 电容器在 IC 技术中是非常不希望的，因为它们倾向于占用过多的芯片面积。尽管小电容(大约在几皮法或更小)仍然是可以接受的，但是在第 2 章和第 3 章中分立 CE 和 CS 放大器的例子中，那些用于交流耦合以及交流旁路的电容必须清除。因此，级间耦合必须是直流类型的，而且必须使用合适的技术来避免使用交流旁路电容。全方面考虑，这些限制也有可能变成好处，譬如某个单片电路功能就是一直工作在直流下。相比之下，第 2 章和第 3 章的分立设计只能在超过一定频率时才能正常工作，因为低频电容会表现出开路特性，不再提供耦合和旁路功能。
- 我们也应该尽可能地避免使用电阻，因为电阻也会占用珍贵的芯片面积，尽管不像电容那样严重。当使用和晶体管区相同的材料制备集成电阻器时，它会有误差，并且对温度很敏感。另一方面，就大小和易于制造性而言，晶体管是 IC 技术中最常用的器件，所以在单片实现中，诸如直流偏置的电阻功能需要用晶体管制造。
- 在同一个芯片上同时制造的器件会表现出高匹配性的特性。事实上，这些特性对温度敏感，也会随时间漂移，但是如果当两个及以上的器件非常靠近共享同样的环境时，它们的特性会在一系列环境变化中保持相同变化。可以很好地实现匹配和一致性是 IC 设计最聪明之处，因为这在分立电路是很难实现的。电流镜和差分对是两个常见的例子，接下来会详细地研究。

设计实例

为了说明分立设计和单片设计的相同点和不同点，重新考虑我们熟悉的图 4.1 所示的 CE 结构，在 IC 之前的分立设计时期，它是主要的电压放大器，只要每个电容相对于周围电路的等效电阻表现为交流短路，小信号增益就表示为：

$$a = \frac{v_o}{v_i} = -g_m(r_o \,/\!/\, R_C) \tag{4.1a}$$

为了将这个设计转换成适合单片制造的形式，我们要尽可能地去掉电容器并用适当偏置的晶体管替代电阻。下面是相关的步骤：

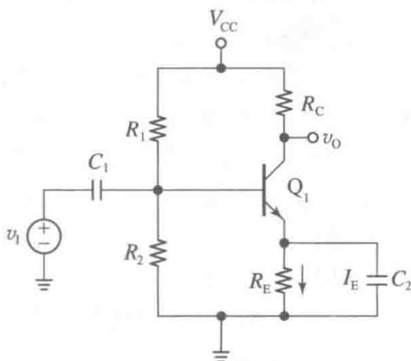
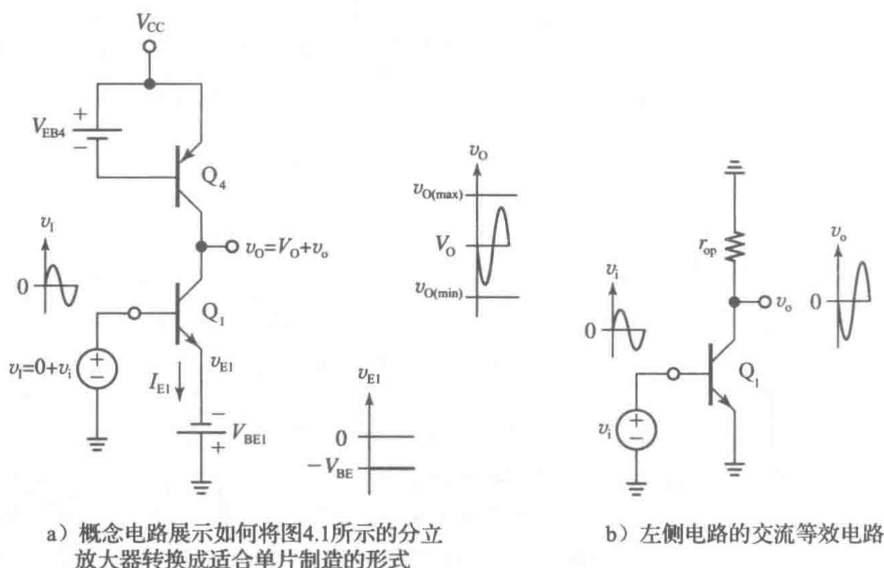


图 4.1　一个分立电压放大器

- 图 4.1 中 C_1 的功能是解决输入源(通常伴随 0V 的直流分量)和基极(通常偏置在 $(1/3)V_{CC}$)之间的直流差值的影响，同时在输入源和基极($v_b \to v_i$)之间提供一个交流短路。避免 C_1 最好的办法是，将输入源和基极直接相连，如图 4.2a 所示。直流耦合也能消除对偏置电阻 R_1 和 R_2 的需求。
- 图 4.1 中 R_E 的功能是产生偏置电流 I_E，然而，C_2

的功能是保证发射极($v_e \to 0$)交流接地。至少从原理上可以通过适当的电压源$V_{BE1}=V_T\ln(I_{C1}/I_{s1})$对发射极进行负偏置，这两个功能都可以实现，如图 4.2a 所示。



a）概念电路展示如何将图4.1所示的分立放大器转换成适合单片制造的形式

b）左侧电路的交流等效电路

图 4.2

- 图 4.1 中 R_c的功能是集电极偏置，通常为 $V_0 \approx (2/3)V_{CC}$，同时也按照例 4.1(a)的设置增益。避免 R_c最好的方法是用 pnp 型晶体管构成电流源来代替它，如图 4.2a 所示。做完这些，交流等效电路如图 4.2b 所示，r_{op}是在 Q_4的集电极看进去的交流电阻，在增益的表达式中扮演 R_c的角色。因此，式(4.1a)变成：

$$a=\frac{v_o}{v_i}=-g_{mn}(r_{on}\ /\!/\ r_{op}) \tag{4.1b}$$

我们使用下标 n 和 p 来区分 npn 和 pnp 型晶体管的参数。考虑到 R_c(无源元件)被晶体管(有源元件)替代，Q_4被恰当地称作有源负载。

我们观察到，为了使式(4.1b)成立，两种晶体管都必须在正向有源区工作，或者最多在饱和边缘(EOS)。只要满足 $v_O \geqslant v_{O(min)}$，Q_1将会在有源区，这里 $v_{O(min)}=V_{E1}+V_{CE1(EOS)}$，而 $V_{E1}=-V_{BE1}$，所以有：

$$v_{O(min)}=V_{CE1(EOS)}-V_{BE1} \tag{4.2a}$$

同样，只要 $v_O \leqslant v_{O(max)}$，Q_4将会在有源区，这里有：

$$v_{O(max)}=V_{CC}-V_{EC4(EOS)} \tag{4.2b}$$

电压 $v_{O(min)}$和 $v_{O(max)}$表示线性输出电压范围的上下限，通常称作输出电压摆幅(OVS)。显然，只要我们限制 v_O在这个范围内，即 $v_{O(min)} \leqslant v_O \leqslant v_{O(max)}$，式(4.1b)将会成立。

例 4.1 (a) 在图 4.2a 所示的电路中，使得 Q_1有 $I_s=10\text{fA}$[⊖]，$V_A=100\text{V}$，$V_{CE(EOS)}=0.2\text{V}$，并且使得 Q_4有 $I_s=5\text{fA}$，$V_A=75\text{V}$，$V_{EC(EOS)}=0.2\text{V}$。如果 $V_{CC}=10\text{V}$，为 V_{BE}和 V_{EB}指定合适的值使得 $v_I=0$ 时晶体管的电流为 1mA，且 V_O处于 OVS 的中点。

(b) 当 $v_I(t)=V_I+v_i(t)=V_O(t)=0\text{V}+(2.5\text{mV})\cos(\omega t)$时，求出交流增益 a 和$v_O(t)$，$v_O(t)$是否始终在线性输出范围内？

解：

(a) 通过式(4.2)，得到：

$$v_{O(min)} \approx (0.2-0.7)\text{V}=-0.5\text{V} \quad v_{O(max)} \approx (10-0.2)\text{V}=9.8\text{V}$$

⊖ $1\text{fA}=10^{-15}\text{A}$。——编辑注

为了使输出偏置在 OVS 的中间，需要：

$$V_O = \frac{1}{2}[v_{O(max)} + v_{O(min)}] = \frac{1}{2}(9.8 - 0.5)\text{V} = 4.65\text{V}$$

通过式(2.21)，对于 Q_1，有：

$$I_{C1} = I_s e^{V_{BE1}/V_T}\left(1 + \frac{V_{CE1}}{V_{A1}}\right)$$

或者，

$$10^{-3} = 10 \times 10^{-15} \times e^{V_{BE1}/(26\text{mV})}\left[1 + \frac{4.65 - (-0.7)}{100}\right]$$

解得 $V_{BE1} = 657.2\text{mV}$，将上面的值代入到 Q_4 的集电极电流表达式中，有：

$$10^{-3} = 5 \times 10^{-15} \times e^{V_{BE4}/(26\text{mV})}\left(1 + \frac{10 - 4.65}{75}\right)$$

得到 $V_{BE4} = 674.8\text{mV}$。

(b) 因为 $g_{mn} = 1/(26\Omega)$，$r_{on} = 100\text{kV}$，$r_{op} = 75\text{kV}$，所以式(4.1b)给出：

$$a = -\frac{100 /\!/ 75}{0.026}\text{V/V} = -1\,648\text{V/V}$$

因为$(2.5\text{mV}) \times 1\,648 = 4.12\text{V}$，所以得到：

$$v_O(t) = V_O + v_o(t) = 4.65\text{V} + (4.12\text{V})\cos(\omega t - 180°)$$

注意，v_O 可以是$(4.65 + 4.12)\text{V} = 8.77\text{V}$ 或者$(4.65 - 4.12)\text{V} = 0.53\text{V}$，表明条件 $v_{O(min)} < v_O < v_{O(max)}$ 在任何时候都能满足。◀

我们观察到有源负载实现的增益通常比分立负载的更高，因为通常有 $r_{op} \geq R_C$。高增益在负反馈电路中尤其重要，例如，对于运算放大器电路，当增益越高，负反馈电路就会受益更多。(在第 7 章我们学习负反馈电路后就会清楚这个问题)

随着学习的深入，我们会了解到：通过适当地提高从 Q_4 集电极看进去的有效电阻，可以进一步提高增益，例如，向 Q_4 引入发射极负反馈。如果电阻远远大于 r_{on}，式(4.1b)的交流增益可以简化为 $a = a_{intrinsic}$，这里，

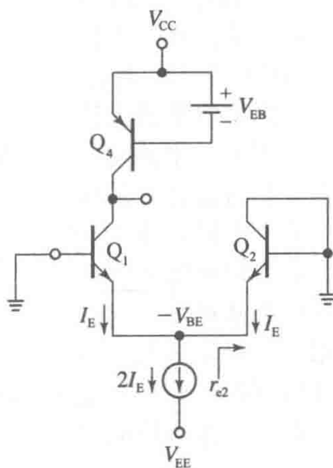
$$a_{intrinsic} = -g_m r_o = -\frac{V_A}{V_T} \tag{4.3}$$

式中：V_A 是放大晶体管的厄利电压(目前的情况下是 Q_1)，V_T 是热电压(26mV 在 $T = 300\text{K}$ 时)，$a_{intrinsic}$ 是单个晶体管可实现的最大增益，一般称为本征增益。在例 4.1 中我们得到 $a_{intrinsic} = (-100/0.026)\text{V/V} = -3\,846\text{V/V}$。将这个情况与第 2 章中研究的典型的无源负载相比较，当 $R_c = 10\text{k}\Omega$ 时，得到 $a = (-(100 /\!/ 10)/0.026)\text{V/V} = -350\text{V/V}$，比本征增益低了整整一个数量级。

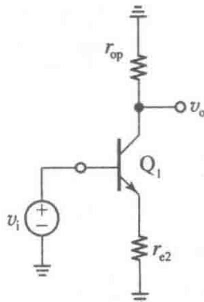
这时候我们想知道，如何实现图 4.2a 所示的源 V_{BE1} 和 V_{BE4}。例 4.1 表明它们的值必须精确到毫伏数量级。我们同样知道这些值大约以 $-2\text{mV/}℃$ 随着温度漂移，所以我们需要偏置方案使集电极电流在一系列制造和环境变更中保持稳定。在 IC 技术中上述这些方案可由匹配和追踪的有效性实现，这将会在接下来演示。

发射极耦合对

图 4.3a 所示的方案中使用一个电流沉($2I_E$)来提供直流偏压，使用另一个晶体管(Q_2)来提供 Q_1 的发射极和地面之间的一个低交流电阻路径(从这个角度来看，Q_2 实际上替代图 4.1



a) 放大器Q_1的偏置方案



b) 整个电路的交流等效电路

图　4.3

所示的交流旁路电容 C_2）。如果 Q_1 和 Q_2 是匹配的，则对于 $v_i=0$ 时，下沉电流 $2I_{EE}$ 将会在两个晶体管之间等分，因为它们有相等的压降 V_{BE}。此外，在 V_{BE} 热变化范围内，这两个电流 I_E 将会保持一致的变化，互相追踪。

Q_1 的发射极和地之间的交流电阻是从 Q_2 发射极看进去的电阻，$r_{e2}=\alpha_{02}/g_{m2}\approx 1/g_{m2}$（$=1/g_{m1}$）。这个电阻很小，但不为 0（1mA 时为 26Ω），它在 Q_1 的发射极引入了负反馈，交流电路等效如图 4.3b 所示。退化跨导是：

$$G_m=\frac{g_{m1}}{1+g_{m1}r_{e2}}\approx\frac{g_{m1}}{1+g_{m1}/g_{m2}}=\frac{g_m}{2} \tag{4.4}$$

式中：下标 n 和 p 被舍弃是因为晶体管有相同的 g_m。由于退化，电压增益将会减小，但是消除 C_2，这个代价是值得的。事实上，即使有退化，增益仍会保持相当高，而且一直到直流都是如此！

电流镜

接下来，我们希望研究一个 IC 方案来给 Q_4 提供偏置。因为源自 Q_4 的电流 I_{C4} 必须始终和由 Q_1 吸收的电流 I_{C1} 相等，所以显然需要连续调整 V_{EB} 来抵抗任何热变化。图 4.4 所示的方案通过 Q_2 和二极管接法的晶体管自动完成，根据图 4.4 所示电路：众所周知，I_{C1} 和 I_{C2} 匹配。此外，为了对 I_{C2} 做出响应，Q_3 产生了一个压降 V_{EB}，这个压降也传递到 Q_4 中。由于 Q_3 和 Q_4 是匹配的，并且受到了相同的 V_{EB} 驱动，所以 Q_4 将会抽取和 Q_3 相同的集电极电流，这就是 Q_4 称为 Q_3 的镜像的原因。我们通过对 I_{C3} 镜像 I_{C4} 的分析得到，如果忽略基极电流，那么 I_{C2} 也是相似的，它跟随 I_{C1}。因此，无论 V_{EB} 和 V_{BE} 的热漂移如何，I_{C4} 都将跟随 I_{C1}。电流镜的最基本形式在第 2 章、第 3 章中有所介绍，电流镜在双极型和 CMOS IC 中被广泛应用，并且 4.8 节将会更深入地研究。

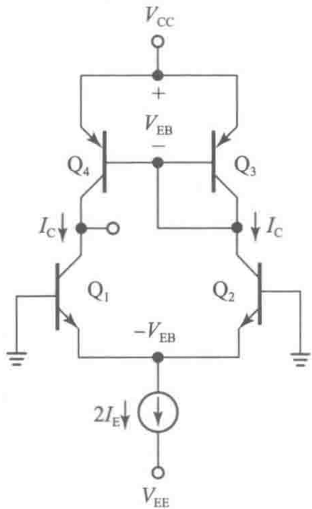


图 4.4 有源负载 Q_4 的偏置方案

集成电压放大器

图 4.4 中的 Q_1-Q_2 对称为发射极耦合对（EC 耦合对），它有着有趣且有用的对称性：正如 Q_2 对 Q_1 的发射极提供了一个低电阻，Q_1 对 Q_2 也有相同的功能。这种相互作用使得我们可以将输入加入任一基极中，或用单独的信号同时驱动两个基极，这增加了电路的灵活性。实际上，我们将看到这两个基极信号对输出的影响相等，但量是相反的，这表明输出取决于两个输入的差值，这也是发射极耦合对称为差分对的原因。差分对是很多种单片电路的输入级，如运算放大器和电压比较器，这些在 4.5 节将会更深入地研究。

图 4.5a 画出了图 4.1 所示的常用分立设计对应的单片电路，其基本结构如下：

- 发射极耦合对 Q_1-Q_2 提供信号放大，工作在差分模式。
- 电流镜 Q_3-Q_4 作为发射极耦合对的有源负载，保证高增益和将差分的输入信号转换为单端的输出信号。随着学习的深入，我们将看到增益为：

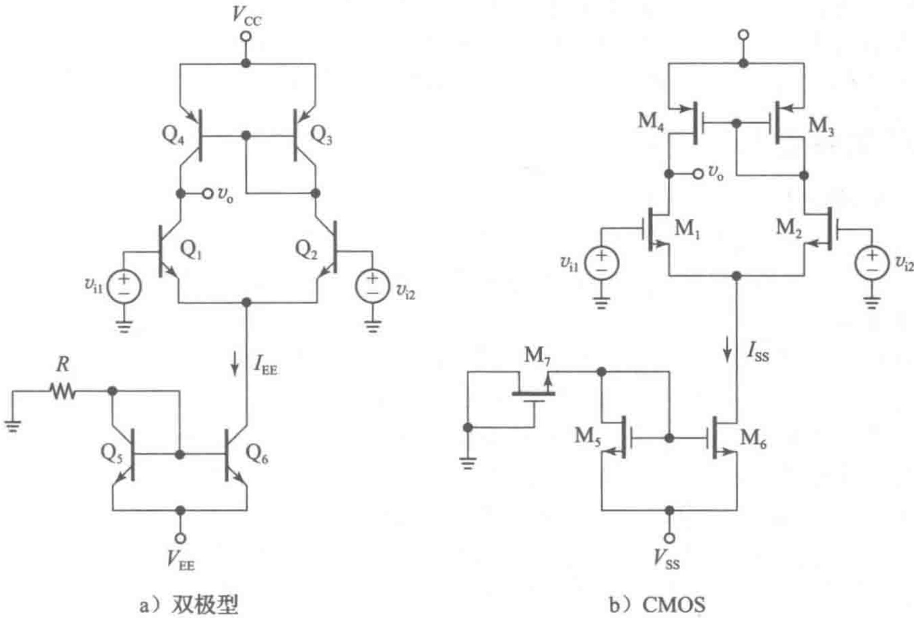
$$a=\frac{v_o}{v_{i1}-v_{i2}}=-g_{mn}(r_{on}\ /\!/\ r_{op}) \tag{4.5}$$

- 另一个电流镜（Q_5-Q_6）用来为发射极耦合对提供直流偏置。此处，R 上的电流流入到二极管连接的 BJT 管 Q_5 中，并镜像为 BJT 管 Q_6 的电流（记为 I_{EE}），I_{EE} 作为发射极耦合对的偏置电流，并且其输出电阻很大（在该例中为 r_{o6}）。

与图 4.1 所示的分立结构相比，图 4.5a 所示的单片电路版本看起来更加复杂且制作成本更高。然而，考虑到它没有使用电容和仅有一个电阻，并且晶体管在 IC 技术中是优选器件，所以单片电路版本是非常合适的。因为它对输入信号对的差值响应更加灵活，更

不用说，它还可以提供更高的电压增益。

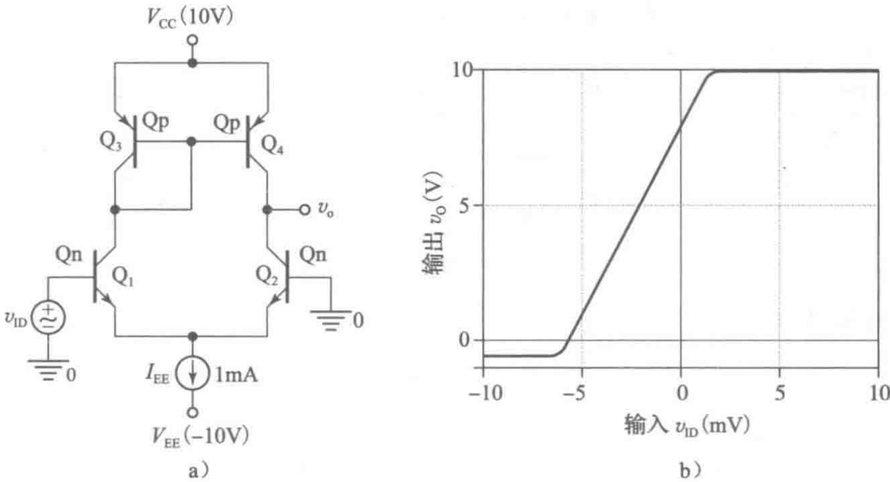
当 MOS 技术可进入商业化应用时，IC 设计的规范性已经在双极型技术上完全建立了，因此直接将其转换为新技术就成了很简单的事情。图 4.5b 是图 4.5a 所示双极型结构的 CMOS 版本。在该例中，生成电流的电阻 R 竟然已经被二极管连接的 MOSFET 管 M_7 代替了，这样可以精确选择 M_7 的宽长比 W/L，获得所期望的偏置电流 I_{SS}。随着学习的深入，我们将看到式(4.5)同样适用于 CMOS 放大器，唯一的区别是 MOSFET 的跨导较低(图 4.5 中的电路将在 4.9 节深入研究)。



a）双极型　　　b）CMOS

图 4.5　高增益单片放大器

图 4.6 为一个 PSpice 电路，用来显示出图 4.5a 所示双极型放大器的 VTC。曲线的倾斜度证明了电路的增益很高。同时还画出了线性工作区的饱和极限。



a）　　　b）

图 4.6　图 4.5a 中集成放大器的(a)PSpice 电路，及(b)其 VTC。参数如下：I_s = 2fA，β_F = 200，V_A = 100V。Q_p：I_s = 1fA，β_F = 50，V_A = 50A

需要了解的

通过对图 4.5 所示放大器的讨论，将单片设计中最相关的考虑概括如下。

- 避免使用片上电阻和电容。若需要电容，它们应在皮法数量级或者更小。

- 电阻在电路和计算中依然会出现，但在大多数情况下，它们将作为小信号晶体管模型的电阻出现，如图 4.3b 中的 r_{op}和 r_{e2}。
- 利用匹配性和一致性进行解决方案的创意设计，如电流镜和差分对。
- 虽然 IC 设计相比分立设计要遵循一套不同的规则，但 IC 设计的学习依然以第 1 章到第 3 章中的知识为基础。
- 我们将频繁使用 PSpice 仿真来验证手工计算结果和研究手工计算中常被忽略的高阶细微差异。

为了继续进行研究，我们需要更系统地研究上面介绍的电流镜和差分对的概念，以及各种在当今单片设计中作为基础的其他典型模块。然而，在开始这些任务之前，我们需要更精细地重新研究有源器件(BJT 和 MOSFET)的特性和模型。

4.2 BJT 的特性和改进模型

第 2 章介绍的 BJT 特性和模型有意尽可能简单，以使得初学者可以专注于分立电路设计的基本要素，并对电路功能有直观的认识。当开始学习单片电路时，我们需要改善包含二阶效应的 BJT 模型，因为二阶效应在这些类型的电路中起到更显著的作用。

基区宽度调制改进

在对 npn 工作原理的学习中，我们发现 v_{CE}上升会加宽基极-集电极耗尽区的宽度，从而降低了有效的基区宽度 W_B，使得在基区多余电子的分布更加陡峭，这个现象称为厄利效应。因为集电极电流 i_C与这个陡峭的斜率成正比，最终也就提高了 i_C。然而，基区宽度调制还有另一个更微妙的影响，当 W_B下降时，总基极电流 i_B中的复合分量 i_{BB}也会下降。我们记得 $i_B=i_{BE}+i_{BB}$，其中，i_{BE}是从基极到发射极的扩散分量，i_{BB}是基极内的复合分量。根据式(2.14)，i_{BB}与基区内的过量电荷呈线性关系，这也就与体积 $A_E\times W_B$呈线性关系，所以 W_B的下降会导致 i_{BB}的下降，从而导致 i_B的下降。总之，若增加 v_{CE}，同时保持 v_{BE}不变，会观察到(a)从 v_{CE}源抽取的电流 i_C会增大，(b)从 v_{BE}源抽取的电流 i_B会下降。在小信号工作状态，我们将前者用熟悉的集电极和发射极间的电阻 r_o表示，后者用集电极和基极间的电阻 r_μ表示。这就得到了更加精确的模型，如图 4.7 所示。

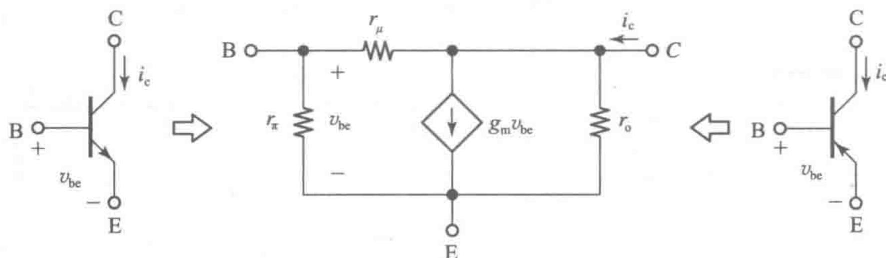


图 4.7　包含 r_μ的小信号 BJT 模型

假设 v_{BE}是常数，求出 r_μ为：

$$\frac{1}{r_\mu}=\frac{di_{BB}}{dv_{CE}}=\frac{di_C}{dv_{CE}}\frac{di_{BB}}{di_C}=\frac{1}{r_o}\frac{di_{BB}}{di_C}$$

即

$$r_\mu=\frac{i_c}{i_{bb}}r_o \tag{4.6}$$

式中：i_c 和 i_{bb}分别是 i_C 和 i_{BB}的小信号变化量。若 i_B 完全由 i_{BB}组成，那么有 $i_c/i_{bb}=i_c/i_b=\beta_0$，且式(4.6)会给出 $r_\mu=r_{\mu(\min)}$，其中，

$$r_{\mu(\min)}=\beta_0 r_o \tag{4.7}$$

然而，i_{BB}只是 i_B 的一部分，所以如果写出 $i_{bb}=(1/m)i_b$，$m\geqslant1$，那么式(4.6)变为：

$$r_\mu=m\beta_0 r_o \tag{4.8}$$

在集成 npn BJT 中，i_{BE}通常占主要地位，i_{BB}通常只占 i_B 的 10%($m=10$)，所以实际中常假设 $r_\mu \approx 10\beta_0 r_o$。因为大小的关系，除了一些我们即将看到的特殊情况之外，r_μ 通常可忽略。在 pnp BJT(见图 2.3)中，复合分量要大得多，所以在这种情况下，r_μ 接近于式(4.7)中的下限值。

BJT 中的体电阻

制作发射极、基极和集电极的材料的电阻不为零，这在高精度 BJT 模型中需要考虑。为了包括这些高阶效应，改进了小信号模型，如图 4.8 所示。为了理解这些与偏置无关的电阻(也称为体电阻)的来源，参考图 2.1 和图 2.2 所示 BJT 结构。

- 发射区是较短且重掺杂的，所以其体电阻 r_{ex}(不要与 $r_e=\alpha_0/g_m$ 混淆)是较小且固定的。在集成 BJT 中，r_{ex}通常只有几欧姆。
- 基区相比发射区是轻掺杂的，其形成了一个较长的导通路径，截线较长，所以 r_b 通常比 r_{ex}高一到两个数量级。在集成 BJT 中，r_b 通常在 50Ω 到 500Ω 范围内。注意：控制受控源的电压是内部电压 v_π，而不是端点电压 v_{be}。对于 $r_{ex}\approx 0$，这两者的关系为 $v_\pi = v_{be}\times r_\pi/(r_b+r_\pi)$。
- 集电区是更加轻掺杂的，以保证 BV_{CEO}的值足够高，其形成了更长的导通路径。这导致了一个不可接受的高体电阻。在平面工艺中，通过制造高导电的埋层，这个缺点可以显著改善，如图 2.2 所示。当电子穿过 p 型基区进入 n^- 型集电区，再从那里到达埋层时，这个高掺杂的埋层为其提供了低电阻的导通路径。通过这个技巧，总的电阻 r_c 可保持在 20Ω 到 500Ω 的范围内(现在 n^+ 集电极的扩散一直延伸到埋层，以最小化 r_c)。

图 4.8 所示的模型称为低频模型。当在第 6 章中学习 BJT 电路的频率响应时，我们将需要调整这个模型，加入适当的寄生电容。在低频率时，这些电容是开路的，所以可以忽略。但在高频时就不是如此，它们会显著改变电路的行为。为了保证手工计算较为简单，尽可能地去忽略 r_b、r_{ex}、r_c、r_μ。只有当它们的存在有显著的影响时，我们才将其纳入考虑。

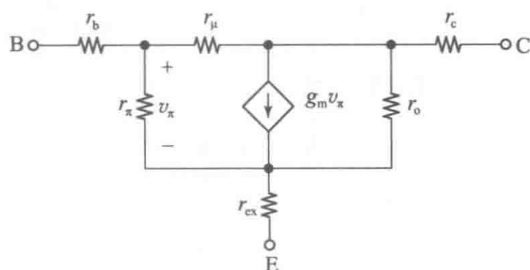
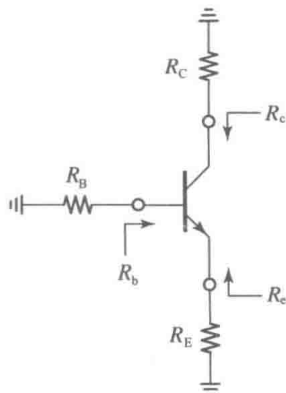


图 4.8　在低频下完整的 BJT 小信号模型

从 BJT 各端看入的小信号电阻

在结合图 2.42 研究 BJT 的电阻转换能力时，我们规定一个交流地的集电极以保证推导简单。此处得到的结果对分立设计提供了很好的近似，因为集电极外面的净等效电阻不是非常大。然而，在单片电路中，集电极通常接在有源负载上，其等效电阻可以是非常高的，这样第 2 章中得到的结果不再适用。我们需要重新讨论 BJT 的电阻转换能力，但这次用的是图 4.9所示更一般的交流电路，主要的不同之处是 r_o建立的耦合，其处在 R_C与 BJT 内部电路之间。通常，用小写的下标来区分小信号电阻 R_b、R_e、R_c，而外部电阻记为 R_B、R_E、R_C。



$$R_b = r_\pi + (\beta_0+1)(R_E//r_o)\times\frac{1+R_C/[(\beta_0+1)r_o]}{1+R_C/(R_E+r_o)}$$

$$R_e = \left(\frac{R_B+r_\pi}{\beta_0+1}//r_o\right)\times\frac{1+R_C/r_o}{1+R_C/[(\beta_0+1)r_o+R_B+r_\pi]}$$

$$R_c \approx r_o\left[1+\frac{g_m(r_\pi//R_E)}{1+R_B/(r_\pi+R_E)}\right]//\left[\frac{r_\mu}{1+(R_B//R_b)/(R_E+1/g_m)}\right]$$

图 4.9　从 BJT 各端看入的小信号电阻

● 从基极看入的电阻 R_b。求此电阻的电路如图 4.10a 所示。因为大小的原因忽略 r_μ，应用欧姆定律写出：

$$i_b = \frac{v_b - v_e}{r_\pi}$$

我们需要另一个等式来估计 v_e，所以在节点 v_e 应用 KCL，并写出：

$$\frac{v_b - v_e}{r_\pi} + \beta_0 i_b + \frac{v_c - v_e}{r_o} = \frac{v_e}{R_E}$$

现在我们还需要另一个等式来估计 v_c，再对 v_c 应用 KCL，并写出：

$$\frac{0 - v_c}{R_C} = \beta_0 i_b + \frac{v_c - v_e}{r_o}$$

估算 v_e 和 v_c，合并上式，并代入 $R_b = v_b/i_b$，经过代数计算得到：

$$R_b = r_\pi + (\beta_0 + 1)(R_E /\!/ r_o) \times \frac{1 + R_C/[(\beta_0 + 1)r_o]}{1 + R_C/(R_E + r_o)} \tag{4.9}$$

显然，只要 $R_C \ll (\beta_0 + 1) r_o$ 且 $R_C \ll (R_E + r_o)$，式(4.9)就变为了熟悉的形式 $R_b = r_\pi + (\beta_0 + 1)(R_E /\!/ r_o)$。在第 2 章的分立设计中，$R_C$ 一直都足够小，以满足这些条件。然而，在单片电路设计中未必如此，此时的集电极可能接入了有源负载，从而使得 R_C 非常大。实际上，你可以验证到，在极限 $R_C \to \infty$ 时，式(4.9)表明 $R_b \to r_\pi + R_E$。为了验证这个结果，注意：若令图 4.10a 所示的 $R_C = \infty$，会迫使电流 $\beta_0 i_b$ 全部流进 r_o，使得两个器件表现为独立的分支电路。因此，从源 v_i 看入，只有 r_π 串联了 R_E。

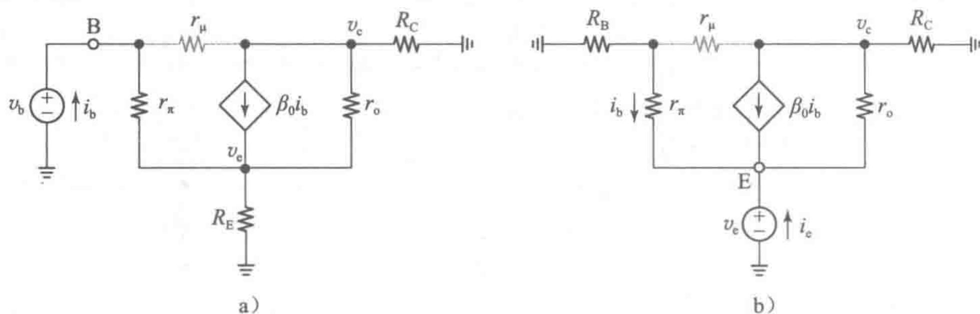


图 4.10　求 a)R_b 和 b)R_e 的测试电路

例 4.2　对于图 4.9 所示的 BJT，令 $\beta_0 = 100$，$r_\pi = 2.6\text{k}\Omega$，$r_o = 100\text{k}\Omega$。若 $R_E = 1.0\text{k}\Omega$，求出在极限 $R_C \to 0$ 和 $R_C \to \infty$ 时的 R_b。R_C 为何值时，R_b 会下降到 $R_C \to 0$ 情况下的 90%？

解：

由式(4.9)，有：

$$\lim_{R_C \to 0} R_b = r_\pi + (\beta_0 + 1)(R_E /\!/ r_o) = (2.6 + 101 \times (1 /\!/ 100))\text{k}\Omega \approx 103\text{k}\Omega$$

$$\lim_{R_C \to \infty} R_b = r_\pi + R_E = (2.6 + 1)\text{k}\Omega = 3.6\text{k}\Omega$$

令

$$0.9 \times 103 = 2.6 + (1 /\!/ 100) \times \frac{1 + R_C/(101 \times 100)}{1 + R_C/(1 + 100)}$$

解出 $R_C = 11.5\text{k}\Omega$。 ◀

● **从发射极看入的电阻 R_e。**将图 4.10b 中流入发射极的电流相加，得到：

$$(\beta_0 + 1)i_b + i_e + \frac{v_c - v_e}{r_o} = 0$$

我们需要另一个等式来估计 i_b 和 v_c。再次忽略 r_μ，应用欧姆定律，写出：

$$i_b = \frac{0 - v_e}{R_B + r_\pi}$$

而且，在集电极节点，由 KCL 有：

$$\frac{0 - v_c}{R_C} = \beta_0 i_b + \frac{v_c - v_e}{r_o}$$

消除、合并及求解 $R_e = v_e/i_e$，得到

$$R_e = \left(\frac{R_B + r_\pi}{\beta_0 + 1} /\!/ r_o\right) \times \frac{1 + R_C/r_o}{1 + R_C/[(\beta_0 + 1)r_o + R_B + r_\pi]} \tag{4.10}$$

只要 $R_C \ll r_o$，这个等式就变为分立设计中熟悉的形式，即 $R_e \approx [(R_B + r_\pi)/(\beta_0 + 1)] /\!/ r_o$，这个值很小，因为分母是$(\beta_0 + 1)$。然而，若集电极接入一个电流源，$R_c$ 可变得非常大，从而显著地提高 R_e。实际上，很容易验证在极限 $R_c \to \infty$ 下，式(4.10)表明 $R_e \to R_B + r_\pi$。同样地，当集电极是交流开路时，电流 $\beta_0 i_b$ 会全部流入 r_o，使得两个器件表现为独立的分支电路。因此，从源极 v_e 看入，只有 r_π 串联了 R_B。

- **从集电极看入的电阻** R_c。对于严重的发射极退化情况，从集电极看入的电阻可以非常大，所以忽略 r_μ 可能不再可行。遗憾的是，将 r_μ 包含在计算内，会显著地增加计算的复杂程度，并且不能提供直观的结论。一个更快且近似的方法是，分别研究 r_o 和 r_μ 的影响，再将它们组合在一起。对于图 4.11a 所示的测试电路，我们忽略 r_μ，并利用熟悉的结果写出：

$$i_{c1} = v_c/R_{c1}$$

式中：

$$R_{c1} \approx r_o\left[1 + \frac{g_m(r_\pi /\!/ R_E)}{1 + R_B/(r_\pi + R_E)}\right] \tag{4.11}$$

在图 4.11b 所示的电路中，我们忽略 r_o，并应用 KCL，得到：

$$i_{c2} = \frac{v_c - v_b}{r_\mu} + \frac{g_m}{1 + g_m R_E} v_b$$

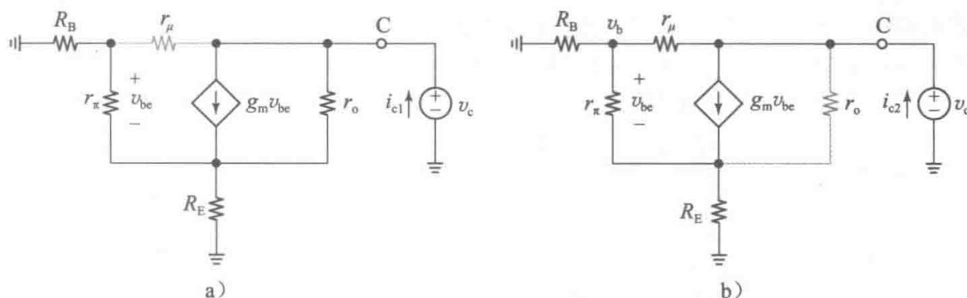


图 4.11　求 a)中 r_o 和 b)中 r_μ 影响的测试电路

由分压公式，得：

$$v_b = \frac{R_B /\!/ R_b}{(R_B /\!/ R_b) + r_\mu} v_c \approx \frac{R_B R_b}{r_\mu} v_c$$

其中，这里利用了实际电路中 $r_\mu \gg R_B /\!/ R_b$，$R_b = r_\pi + (\beta_0 + 1)R_E$ 的关系。显然，v_b 比 v_c 要小得多，所以可以进一步简化，即

$$i_{c2} = \frac{v_c}{r_\mu} + \frac{g_m}{1 + g_m R_E} \frac{R_B /\!/ R_b}{r_\mu} v_c \approx \frac{1}{r_\mu}\left(1 + \frac{R_B /\!/ R_b}{R_E + 1/g_m}\right) v_c = \frac{v_c}{R_{c2}}$$

式中：

$$R_{c2} = \frac{r_\mu}{1 + (R_B /\!/ R_b)/(R_E + 1/g_m)} \tag{4.12}$$

通过同时表示 r_o 和 r_μ，从 v_c 源抽取的总电流是 $i_c \approx i_{c1} + i_{c2} = v_c/R_{c1} + v_c/R_{c2}$。令 $R_c = v_c/$

i_c，求出：

$$
\begin{aligned}
R_c &\approx R_{c1} \mathbin{/\!/} R_{c2} \\
&\approx r_o\left[1+\frac{g_m(r_\pi \mathbin{/\!/} R_E)}{1+R_B/(r_\pi+R_E)}\right] \mathbin{/\!/} \left[\frac{r_\mu}{1+(R_B \mathbin{/\!/} R_b)/(R_E+1/g_m)}\right]
\end{aligned}
\tag{4.13}
$$

我们观察到，R_B 的存在减小了 R_{c1} 和 R_{c2}。在应用中希望 R_c 最大化，最好保持 R_B 尽可能的小。

例 4.3 令图 4.9 所示的 BJT 有 $\beta_0=100$，$r_\pi=2.6\text{k}\Omega$，$r_o=100\text{k}\Omega$，$r_\mu=2\beta_0 r_o$。若 $R_B=10\text{k}\Omega$、$R_E=1.0\text{k}\Omega$，估计 R_c。当 $R_B=0$ 时会发生什么？与 PSpice 电路进行比较。

解：

我们有 $g_m=(100/2\,600)1/\Omega=1/(26\Omega)$、$r_\mu=2\times100\times100\text{k}\Omega=20\text{M}\Omega$。由式(4.11)和式(4.13)，给出：

$$R_{c1} \approx 100\times\left[1+\frac{(2.61 \mathbin{/\!/} 1)/0.026}{1+10/(2.6+1)}\right]\text{k}\Omega = 835\text{k}\Omega$$

$$R_{c2} = \frac{20}{1+(10 \mathbin{/\!/} 103.6)/(1+0.026)}\text{k}\Omega \approx 2\text{M}\Omega$$

$$R_c \approx (835 \mathbin{/\!/} 2\,000)\text{k}\Omega = 591\text{k}\Omega$$

对于 $R_B=0$，得到 $R_{c1}=2.88\text{M}\Omega$，$R_{c2}=r_\mu=20\text{M}\Omega$，$R_c=(2.88 \mathbin{/\!/} 20\,000)\text{k}\Omega=2.52\text{M}\Omega$，这与 PSpice 很好地相符，其在 $R_B=10\text{k}\Omega$ 时给出 $R_c=594\text{k}\Omega$，在 $R_B=0$ 时给出 $R_c=2.52\text{M}\Omega$。◀

综上所述，一个单片晶体管放大器很有可能通过另一个作为电流源/沉的晶体管进行偏置或作为负载，所以有必要从单片电路的视角重新研究基本的 CE、CC 和 CB 结构。为了关注于这种设计的区别，我们先研究存在负载且有理想电流源/沉的电路(为了保证计算简单，我们假设 $r_\mu=\infty$)。然后将结果应用到非理想源/沉，即存在 $r_\mu\neq\infty$ 的输出负载的情况。

带有理想有源负载的 CE 结构

回想起共射极(CE)结构(有或无发射极简并)，它是最适用于电压放大的。图 4.12 所示的单片电路版本采用电流源 I_{LOAD} 作为有源负载和电压源 V_{BIAS} 来偏置 BJT。我们假设 V_{BIAS} 已被调整好，且将集电极很好地偏置在线性区。应用式(4.9)和式(4.13)我们容易求出在极限 $R_B\to0$，$R_C\to\infty$，$r_\mu\to\infty$ 时的输入和输出电阻，结果是：

$$R_i = r_\pi + R_E \tag{4.14}$$

$$R_o = r_o[1+g_m(r_\pi \mathbin{/\!/} R_E)] \tag{4.15}$$

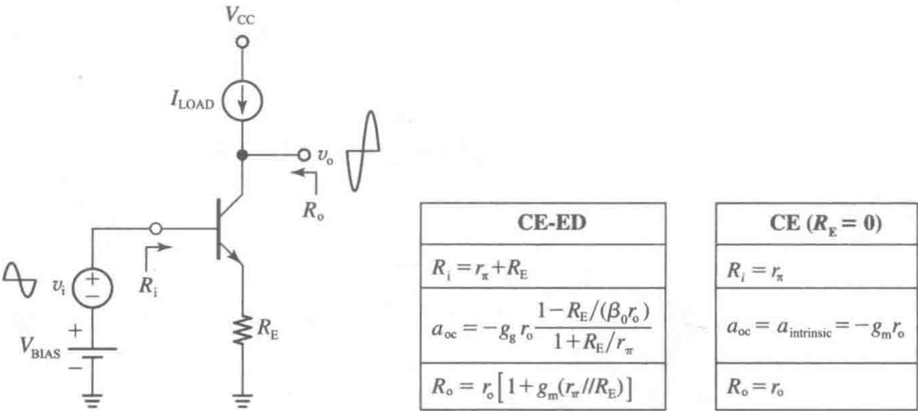


图 4.12 带有理想有源负载的电压放大器，及其在 $r_\mu=\infty$ 时的小信号特性

与 $R_C\to0$ 的情况相比，其表达式为 $R_i=r_\pi+(\beta_0+1)(R_E \mathbin{/\!/} r_o)$，我们发现式(4.14)是令人惊讶的。然而，通过图 4.13 所示电路可以轻易地验证它，因为我们观察到在极限 $R_C\to\infty$ 下集电极是开路的，至少在交流分析中是如此。这表明 $g_m v_\pi$ 电流必须全部流入 r_o，所以

这两个元件形成了一个独立的分支电路。在这种情况下，从源 v_i 看入，只有 r_π 串联了 R_E。这里存在着单片电路(高 R_C)与分立设计(低 R_C)之间一个重要的差别。

为了求出电压增益，再次考虑在极限 $R_C \to \infty$ 下的图 4.13 所示电路。由 KVL 和欧姆定律，得：

$$v_o = v_i - v_\pi - r_o g_m v_\pi = v_i - (1 + g_m r_o) v_\pi$$

由分压公式，有：

$$v_\pi = \frac{r_\pi}{r_\pi + R_E} v_i$$

图 4.13　图 4.12 所示电压放大器的交流等效电路

代入 v_π，合并并求解 v_o/v_i，得到：

$$a_{oc} = \lim_{R_C \to \infty} \frac{v_o}{v_i} = -g_m r_o \frac{1 - R_E/(\beta_0 r_o)}{1 + R_E/r_\pi} \tag{4.16a}$$

式中：a_{oc}是开路电压增益，也称为空载电压增益。一个实际的电路有 $R_E/(\beta_0 r_o) \ll 1$，所以这个增益可以简化为：

$$a_{oc} \approx \frac{-g_m r_o}{1 + R_E/r_\pi} \tag{4.16b}$$

以上表达式是在发射极简并存在的情况下推导出的，但将其应用于非简并的情况下也很简单，只需令 $R_E = 0$。这给出 $R_i = r_\pi$，$R_o = r_o$，$a_{oc} = a_{intrinsic}$，其中

$$a_{intrinsic} = -g_m r_o = -\frac{V_A}{V_T} \tag{4.17}$$

称为 BJT 的固有增益。这是 CE 放大器可得到的最大电压增益。

在实际应用中，放大器更可能驱动有限的负载电阻，且 I_{LOAD}电流源更可能因有限的并联电阻，而且，$r_\mu \neq \infty$。将这些电阻都组合在一起，记为 R_C，通过分压公式可以求出负载增益为：

$$\frac{v_o}{v_i} \approx -a_{oc} \times \frac{R_C}{R_o + R_C} \tag{4.18}$$

注意：R_C 的存在会影响输入电阻 R_i，这在式(4.9)中已有体现。

练习 4.1

证明对于 $R_C \ll r_o$，式(4.9)和式(4.18)可以表示为分立设计中更加熟悉的形式：

$$R_i \approx r_\pi + (\beta_0 + 1) R_E, \quad \frac{v_o}{v_i} \approx -\frac{R_C}{r_e + R_E} \tag{4.19}$$

例 4.4　令图 4.12 所示的 BJT 有 $g_m = (1/25)$ A/V，$r_\pi = 4.0\text{k}\Omega$，$r_o = 50\text{k}\Omega$。假设 $r_\mu = \infty$，在以下条件下求出 R_i、R_o、v_o/v_i。

(a) $R_E = 0$ 且 $R_C = \infty$。

(b) $R_E = 1.0\text{k}\Omega$ 且 $R_C = \infty$。

(c) $R_E = 1.0\text{k}\Omega$，R_C 调整至 $R_C = R_o$。

(d) $R_E = 1.0\text{k}\Omega$ 且 $R_C = 10\text{k}\Omega$。评价每一步的结果。

(e) 假设 $r_\mu = 5\beta_0 r_o$，重做(a)问和(b)问。

解：

(a) 在 $R_E = 0$ 且 $R_C = \infty$时，BJT 具有其固有增益，有：

$$R_i = r_\pi = 4.0\text{k}\Omega$$

$$R_o = r_o = 50\text{k}\Omega$$

$$a_{intrinsic} = -g_m r_o = (-50/0.025)\text{V/V} = -2\,000\text{V/V}$$

(b) 当有发射极简并时，R_i 和 R_o 会上升，a 会下降，有：

$$R_i = r_\pi + R_E = (4 + 1)\text{k}\Omega = 5\text{k}\Omega$$

$$R_o = r_o[1 + g_m(r_\pi /\!/ R_E)] = 50 \times [1 + (4 /\!/ 1)/0.025]\text{k}\Omega = 1.65\text{M}\Omega$$

$$\frac{v_o}{v_i}\approx\frac{-g_m r_o}{1+R_E/r_\pi}=\frac{-2\,000}{1+1/4}\text{V/V}=-1\,600\text{V/V}$$

(c) 依然有 $R_o=1.65\text{M}\Omega$。然而，当集电极带有负载 $R_C=R_o=1.65\text{M}\Omega$ 时，根据式(4.18)，增益会降低为空载的一半。因此，有：

$$\frac{v_o}{v_i}=-1\,600\times\frac{1.65}{1.65+1.65}\text{V/V}=-800\text{V/V}$$

而且，由于 r_o 耦合的存在，R_i 会上升。利用式(4.9)且 $\beta_0=g_m r_\pi=160$，可得：

$$R_i=(4+161\times(1/\!/50)\times\frac{1+1\,650/(161\times50)}{1+1\,650/(1+50)})\text{k}\Omega=9.7\text{k}\Omega$$

(d) 再用式(4.18)和式(4.9)，但有 $R_C=10\text{k}\Omega$，得到：

$$\frac{v_o}{v_i}=-9.63\text{V/V},\quad R_i=136\text{k}\Omega$$

因为 R_C 较低，所以可以使用式(4.19)中熟悉的表达式，估算出：

$$\frac{v_o}{v_i}\approx-\frac{10}{0.025+1}\text{V/V}=-9.76\text{V/V},\quad R_i\approx(4+161\times1)\text{k}\Omega=165\text{k}\Omega$$

这与上面的结果高度吻合。显然，降低 R_C 会降低 a，同时提高 R_i。单片和分立设计之间的区别将在练习 4.3 中进一步证明。

(e) $r_\mu=5\times160\times50\text{k}\Omega=40\text{M}\Omega$。为了评估 r_μ 的影响，我们应用式(4.18)。因此，在(a)问中增益下降为$(-2\,000\times40/(0.05+40))V/V=-1\,997$V/V，在(b)问中增益下降为$(-1\,600\times40/(1.65+40))V/V=-1\,537$V/V。在两种情况下，这个变化都很细微，这表明我们可以忽略 r_μ，至少在本例中是如此。◀

练习 4.2

若(a)$R_E=\beta_0 r_o$，(b)$R_E=\infty$，用式(4.16a)来预测图 4.12 所示电路的增益。再通过物理推理来验证这些结果。

带有理想有源负载的 CC 结构

回想起共集电极(CC)结构，它最适宜于做电压缓冲器，其 IC 版本如图 4.14 所示，其交流等效图如图 4.15 所示，其中，我们希望在极限 $R_E=\infty$ 下进行研究。r_μ 不存在时，从基极看入的电阻是 $r_\pi+(\beta_0+1)r_o\approx\beta_0 r_o$，它与 $r_\mu(=m\beta_0 r_o)$ 相比是很大的，所以将后者考虑在内，在 $R_E\to\infty$ 下，写出：

$$R_i\approx(\beta_0 r_o)\,/\!/\,(m\beta_0 r_o)=\frac{m}{m+1}\beta_0 r_o \qquad (4.20)$$

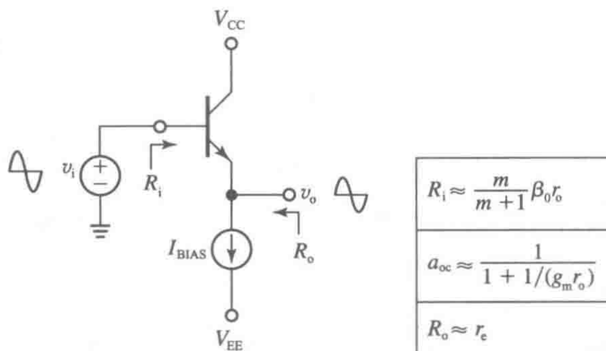


图 4.14　带有理想电源沉偏置的电压跟随器，及其小信号特性

而且，在 $R_E\to\infty$ 下，应用熟悉的表达式，得到：

$$R_o=r_e\,/\!/\,r_o\approx r_e \qquad (4.21)$$

且

$$a_{oc}=\lim_{R_E\to\infty}\frac{v_o}{v_i}=\frac{1}{1+\frac{r_\pi}{(\beta_0+1)r_o}}=\frac{1}{1+r_e/r_o}\approx\frac{1}{1+1/(g_m r_o)} \qquad (4.22)$$

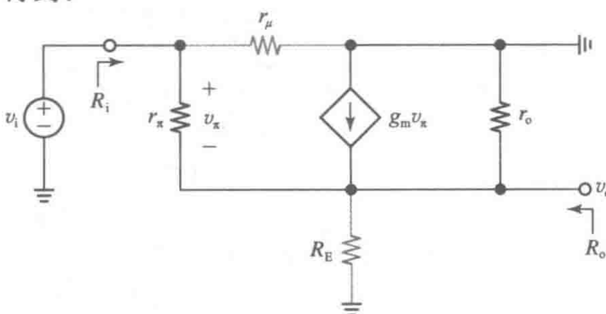


图 4.15　图 4.14 所示电压跟随器的交流等效电路

式中：a_{oc}是空载或开路电压增益。这个增益，略小于 1，是 CC 结构能达到的最大增益，它也可以表示成与偏置无关的形式，即

$$a_{oc} \approx \frac{1}{1+V_T/V_A} \tag{4.23}$$

在实际的应用中，电路更可能驱动有限的负载，且 I_{BIAS}电流沉更可能有有限的并联电阻。将这些电阻结合起来，并记为 R_E，我们观察到图 4.15 所示的 R_E 是与 r_o 并联的，所以再次用式(4.22)，但用 $r_o /\!/ R_E$ 代替 r_o，得到有负载的增益为：

$$\frac{v_o}{v_i} \approx \frac{1}{1+1/[g_m(r_o /\!/ R_E)]} \tag{4.24}$$

可以验证，上述的表达式可以表达为一个分压器的形式，即

$$v_o \approx \frac{(r_o /\!/ R_E)}{(1/g_m)+(r_o /\!/ R_E)} v_i \tag{4.25}$$

这样做的原因是我们可以根据图 4.16所示将电压缓冲器形象化。这个直观的形式随着学习的深入将会广泛地运用。

事实上，单位增益级的输出电阻应该是 r_e，而非 $1/g_m$；但是因为 $r_e=\alpha_0/g_m$，其中，$\alpha_0=\beta_0/(\beta_0+1)\approx 1$，所以采用 $1/g_m$，这是为了与下一节研究的 MOSFET 保持一致。

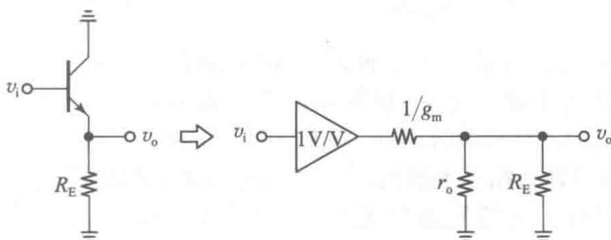


图 4.16　一个 BJT 电压跟随器表现为一个增益为 1、输出电阻为 $1/g_m$ 的缓冲器，其与发射极连接的电阻又形成了一个分压器(在该例中是 $r_o /\!/ R_E$)

例 4.5　对于图 4.14 所示的电压跟随器，令 $g_m=1/(10\Omega)$，$r_\pi=2.0\text{k}\Omega$，$r_o=25\text{k}\Omega$，$m=5$。

(a) 若发射极外部电阻 $R_E=\infty$，求出 R_i 和 v_o/v_i。

(b) 若电路驱动 3.0kΩ 的负载，且偏置电流沉有 50kΩ 的并联电阻，重做上问。

(c) 若 v_i 源有一个串联电阻 $R_B=30\text{k}\Omega$，重做(b)问。

解：

(a) BJT 有 $\beta_0=g_m r_\pi=(1/10)\times 2\,000=200$。对于 $R_E=\infty$，由式(4.20)和式(4.22)给出：

$$R_i \approx \frac{5}{5+1}\times 200\times 25\text{k}\Omega \approx 4.2\text{M}\Omega$$

$$a_{oc}=\frac{1}{1+1/(25/0.01)}\text{V/V}=\frac{1}{1+1/2\,500}\text{V/V}=0.999\,6\text{V/V}$$

(b) 现在有 $R_E=(50 /\!/ 3)\text{k}\Omega=2.83\text{k}\Omega$，$r_o /\!/ R_E=(25 /\!/ 2.83)\text{k}\Omega=2.54\text{k}\Omega$。观察可知，

$$R_i=r_\mu /\!/ [r_\pi+(\beta_0+1)(r_o /\!/ R_E)]=(5\times 200\times 25) /\!/ (2+201\times 2.54)\text{k}\Omega$$
$$=(25\,000 /\!/ 512)\text{k}\Omega=502\text{k}\Omega$$

这表明 r_μ 的影响很小，可以将其忽略。最后，由式(4.24)给出：

$$\frac{v_0}{v_i}=\frac{1}{1+1/(2.54/0.010)}\text{V/V}=\frac{1}{1+1/254}\text{V/V}\approx 0.996\text{V/V}$$

(c) 此时图 4.16 中的观点可以派上用场。我们仍可以应用分压公式，只是要先将 R_B 映射到发射极，此时，R_B是与 $1/g_m$ 电阻串联的。R_B映射到发射极的值为 $R_B/(\beta_0+1)=(30/201)\text{k}\Omega=149\Omega$，所以式(4.25)给出：

$$\frac{v_o}{v_i}=\frac{2.54}{0.149+0.010+2.54}\text{V/V}=0.941\text{V/V}$$ ◀

带有理想有源负载的 CB 结构

CB 结构得益于高输出电阻，其不仅可用作电流缓冲器，还可作为无负载的高增益电压放大器。考虑图 4.17 所示的单片电路版本，其中用源 I_{LOAD} 作为有源负载，电压源 V_{BIAS} 来偏置 BJT(通常，假设 V_{BIAS} 已调整至将集电极偏置在线性工作区中)。我们希望求出空载(开路)电压增益 a_{oc} 及 R_i 和 R_o。为此，参考图 4.18 所示在 $R_C \to \infty$ 下的交流等效(暂时假设 $r_\mu = \infty$)。

注意，$v_\pi = -v_i$，将受控源重新表示为如图 4.18 所示的形式。显然，$g_m v_\pi$ 电流完全流入 r_o，所以应用 KVL 和欧姆定律，可写出 $v_o = v_i + r_o g_m v_i = (1 + g_m r_o) v_i$。求 v_o / v_i 比值，得到：

$$a_{oc} = \lim_{R_C \to \infty} \frac{v_o}{v_i} = 1 + g_m r_o \quad (4.26)$$

有意思的是，在三种基本 BJT 结构的 a_{oc} 表达式中都有 $g_m r_o$ 乘积项出现，见式(4.17)、式(4.22)和式(4.26)。我们知道，$g_m r_o (= V_A / V_T)$ 是个相当大的值，它只取决于 BJT 的物理特性，与偏置条件无关。我们可以说，这个数代表了单片电路设计中 BJT 的品质因数。

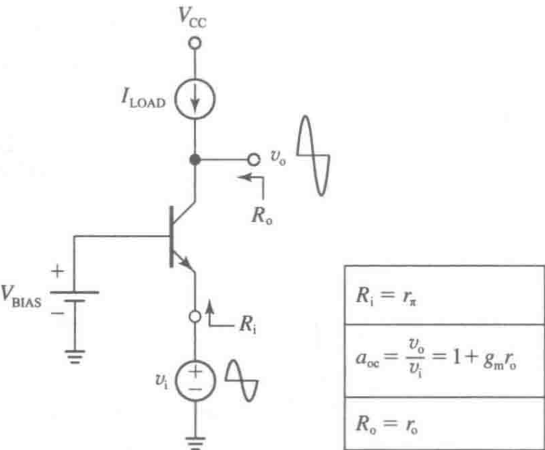


图 4.17 CB 结构作为高增益电压放大器使用，以及其在 $r_\mu = \infty$ 时的交流特性

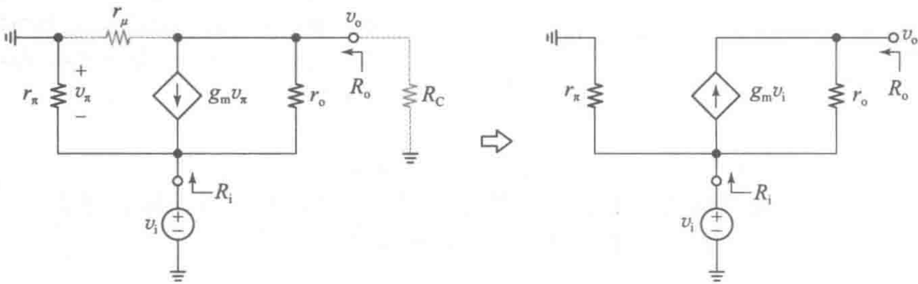


图 4.18 图 4.17 所示 CB 电压放大器的交流等效

此时的集电极是开路的，因此从输入源看入的电阻是：

$$R_i = r_\pi \quad (4.27)$$

而 $R_C \to 0$ 时，$R_i = r_e // r_o \approx r_e$ 这个熟悉的表达式是成立的。相比之下，式(4.27)的结果令人惊讶，因为同样是集电极开路的，但是 v_i 源提供的电流全部流入 r_π。这是单片设计(高 R_C)和分立设计(低 R_C)另一个重要的区别。最后，为了求出输出电阻，令 $v_i \to 0$，由观察可写出：

$$R_o = r_o \quad (4.28)$$

在实际应用中，放大器更可能是驱动有限的负载电阻，I_{LOAD} 源更可能为有限的并联电阻。而且，$r_\mu \neq \infty$。将这些电阻相加，记为 R_C，我们通过分压公式求出负载增益为：

$$\frac{v_o}{v_i} \approx a_{oc} \times \frac{R_C}{r_o + R_C} \quad (4.29)$$

CB 结构在单片设计中广泛使用，一是因为其空载高电压增益，二是因为其电阻转换能力(我们很快会在共源共栅结构中看到一个例子)。应用式(4.10)、式(4.13)和 $R_B = 0$，很容易求出图 4.19所列出的表达式，需要牢记

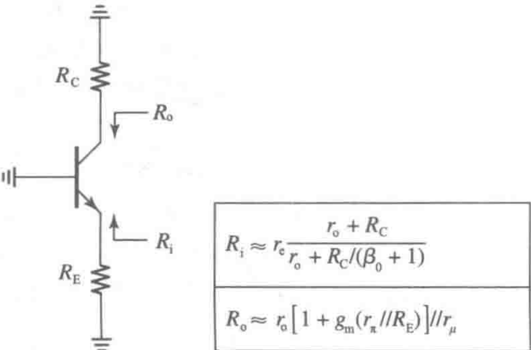


图 4.19 CB 结构的电阻转移特性

它们，以供以后参考。

例 4.6 对于图 4.17 所示的 BJT，令有 $g_m=1/(50\Omega)$，$\beta_0=150$，$r_o=120\text{k}\Omega$。

(a) 假设 $r_\mu=\infty$，求出 R_i，R_o，及在极限 $R_C\to\infty$ 下的 v_o/v_i。

(b) 若电路驱动一个 1kΩ 的外部负载，重复上问。

(c) 若将 $r_\mu=m\beta_0 r_o$，$m=5$ 纳入考虑，研究其影响。

解：

(a) 由式(4.26)和式(4.28)可得：

$$R_i = 150\times 50\Omega = 7.5\text{k}\Omega,\quad R_o = 120\text{k}\Omega,\quad a_{oc} = \left(1+\frac{120}{0.05}\right)\text{V/V} = 2\,401\text{V/V}$$

(b) R_o 保持不变。然而，输入电阻和增益都下降了。用图 4.19 所列出的 R_i 表达式，以及式(4.29)，求出：

$$R_i \approx 50\times\frac{0.12+1}{0.12+1/151}\Omega\approx 442\Omega,\quad \frac{v_o}{v_i}=2\,401\times\frac{1}{0.12+1}\text{V/V}\approx 2\,144\text{V/V}$$

(c) 我们有 $r_\mu=5\times150\times120\text{k}\Omega=90\text{M}\Omega$,，所以(a)问中的参数变为：

$$R_i \approx 50\times\frac{0.12+90}{0.12+90/151}\Omega\approx 6.29\text{k}\Omega,\quad \frac{v_o}{v_i}=2\,401\times\frac{90}{0.12+90}\text{V/V}\approx 2\,398\text{V/V}$$

同样的，我们重新计算(b)问中的参数，但用(90∥1)MΩ 代替 1MΩ。其差别大约在 1%左右，表明在该例中 r_μ 可以忽略。◀

练习 4.3

CB 结构的电压增益处在 $g_mR_C\leqslant a\leqslant 1+g_mr_o$ 范围内，这取决于 R_C 与 r_o 的比较情况。下限在 $R_C\ll r_o$ 时达到，这通常是分立设计的情况；上限在 $R_C\gg r_o$ 时达到，这通常是单片设计的情况。我们将分立设计的范围记为 $R_C\leqslant R_{C(\max)}$，且此时的 a 偏离下限不超过 10%，将单片设计的范围记为 $R_C\geqslant R_{C(\min)}$，且此时的 a 偏离上限不超过 10%。

(a) 对于一个 BJT，其 $\beta_0=100$、$V_A=100\text{V}$、$I_C=1\text{mA}$，估计其 $R_{C(\max)}$、$R_{C(\min)}$。

(b) 在下限和上限时的 R_e 值是多少？

(c) 在 $R_C=R_{C(\max)}$ 和 $R_C=R_{C(\min)}$ 时的 R_e 值是多少？

答案：

(a) $R_{C(\max)}\approx 11\text{k}\Omega$，$R_{C(\min)}\approx 900\text{k}\Omega$。

(b) 26Ω，2.6kΩ。

(c) 28.8Ω，239Ω。

4.3 MOSFET 特性及其改进模型

第 3 章中的 MOSFET 模型和分析方法是有意保持得很简单，以使我们可以专注于其基础。当我们开始研究单片电路时，我们需要适当改善这些包含高阶效应的模型和方法，因为高阶效应在集成设计中有着显著的作用。

直流计算中 λ 的作用

回顾第 3 章，一个饱和 nMOSFET 的电流是：

$$I_D=\frac{1}{2}k'\frac{W}{L}V_{OV}^2(1+\lambda V_{DS}) \tag{4.30}$$

式中：λ 是沟长调制参数，其一般在 0.01V^{-1}到 0.1V^{-1}的大小范围内。我们知道，这个调制是因为部分漏-体空间电荷区延伸到了沟道内。其宽度(对于 nMOSFET，是 x_p，对于 pMOSFET，是 x_n)取决于掺杂浓度和结偏置，如式(1.40)和式(1.45)所示。我们知道，沟道越短，式(4.30)中的沟长调制效应就越明显。IC 设计者将 λ 和 L 的关系记为：

$$\lambda=\frac{\lambda'}{L} \tag{4.31}$$

式中：λ'(μm/V)是工艺参数；L(μm)是沟道长度。通常，λ'的范围是 0.02～0.2μm/V。IC 设计者通过指定 L 来得到所需的 λ，指定 W 来得到所需的 k，$k=k'(W/L)$。注意：这种灵活性在双极型 IC 设计中是不存在的。

只要 $\lambda V_{DS} \ll 1$，在式(4.30)中就可以忽略 λV_{DS}，以简化计算。然而，在单片电路中，这可能不再适用。下面的例子将会详细说明。

例 4.7 令图 4.20 所示二极管连接的 MOSFET 有 $V_t=1.0$V，$k'=100\mu A/V^2$，$\lambda=0.2\mu$m/V。

(a) 求出使得 $\lambda=0.1V^{-1}$ 且 $k=0.5mA/V^2$ 的 W 和 L。

(b) 若 $I=1.0$mA，求出 V，假设 $\lambda=0$ 以简化直流计算。

(c) 当 $\lambda=0.1V^{-1}$ 时，重复(b)问。

(d) 怎样调整 I，才能保持(b)问中的 V 值不变？

(e) 怎么调整宽长比 W/L，才能在不改变 λ 的情况下，保持 I 和 V 的值不变？

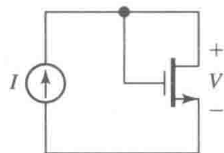


图 4.20　例 4.7 中的电路

解：

(a) 我们需要 $L=\lambda'/\lambda=(0.2/0.1)\mu m=2\mu m$，$W/L=k/k'=0.5/0.1=5$。所以 $W=5L=10\mu m$。

(b) 我们有 $V_{OV}=\sqrt{2I_D/k}=\sqrt{2\times 1/0.5}V=2V$，$V=V_t+V_{OV}=(1.0+2.0)V=3.0V$

(c) 我们有：

$$1mA = \frac{0.5mA}{2}(V-1.0)^2 \times (1+0.1\times V)$$

两边开方，并求 V，我们得到：

$$V = 1.0 + \frac{2}{\sqrt{1+0.1\times V}}$$

从估计值 $V=3$V 开始并迭代，求出 $V=2.77$V(<3V，因为 λ 的关系)。

(d) $I=(1mA)\times(1+0.1\times 3.0)=1.3mA$(因为 λ 的存在，$I>1mA$)。

(e) 为了将 I 从 1.3mA 降低到 1.0mA，并保持 $V=3.0$V 不变，我们需要成比例的降低宽长比 W/L。所以，$(W/L)_{new}=(W/L)_{old}\times(1.0/1.3)=5\times 0.77=3.85$。为了保持 λ 不变，保持 $L_{new}=L_{old}$。所以 $W_{new}=W_{old}\times 0.77=7.7\mu m$。◀

体跨导

在第 3 章中，我们假设 MOSFET 的体和源极是连接在一起的。这使得我们不需关注体效应，只专注于 MOSFET 的最基本行为。在单片电路中，不同的 MOSFET 共用同一个衬底或体。所有 nMOSFET 共同的体被连接至电路中的最负电压(MNV)，以避免在 p 型体和 n 型源间形成的二极管在无意中被导通。同样地，所有 pMOSFET 共同的体被连接至电路中的最正电压(MPV)。在饱和 MOSFET 的情况下，其源极允许处于跟体不同的电势，漏极电流更一般的形式为：

$$i_D = \frac{k}{2}[v_{GS} - v_t(v_{SB})]^2(1+\lambda v_{DS}) \tag{4.32}$$

这明确表明阈值电压 v_t 是源-体电压 v_{SB}(≥ 0)的函数。这种相关性如式(3.8)所示，此处为了简便重新写为：

$$v_t(v_{SB}) = V_{t0} + \gamma[\sqrt{v_{SB}+2|\phi_p|} - \sqrt{2|\phi_p|}] \tag{4.33}$$

式中：

$$\gamma = \frac{\sqrt{2qN_A\varepsilon_{si}}}{C_{ox}} \tag{4.34}$$

对于 pMOSFET，式(4.33)的形式为 $v_t(v_{BS})=V_{t0}-\gamma[\sqrt{v_{BS}+2\phi_n}-\sqrt{2\phi_n}]$，其中 γ 仍通过式(4.34)求出，但用 N_D 代替 N_A。显然，MOSFET 工作在 $v_B=v_S$ 下时仍有 $v_t=V_{t0}$。然

而在 $v_S \neq v_B$ 时将有 $v_t \neq V_{t0}$，这个现象称为体效应。因为 v_{SB}（对于 pMOSFET 是 v_{BS}）会影响 i_D，体表现为第二个栅，其对 i_D 的影响较小，是因为式(4.33)中平方根函数的关系。为此，体也称为背栅。

正如用受控源 $g_m v_{gs}$ 来表示相对于源极的栅电压小信号的变化一样，我们用另一个受控源 $g_{mb} v_{bs}$ 来表示相对于源极的背栅电压小信号的变化。这就形成了图 4.21 所示的小信号模型，其中，g_{mb} 是体跨导，定义为：

$$g_{mb} = \left.\frac{\partial i_D}{\partial v_{BS}}\right|_{v_{GS},v_{DS}} \tag{4.35}$$

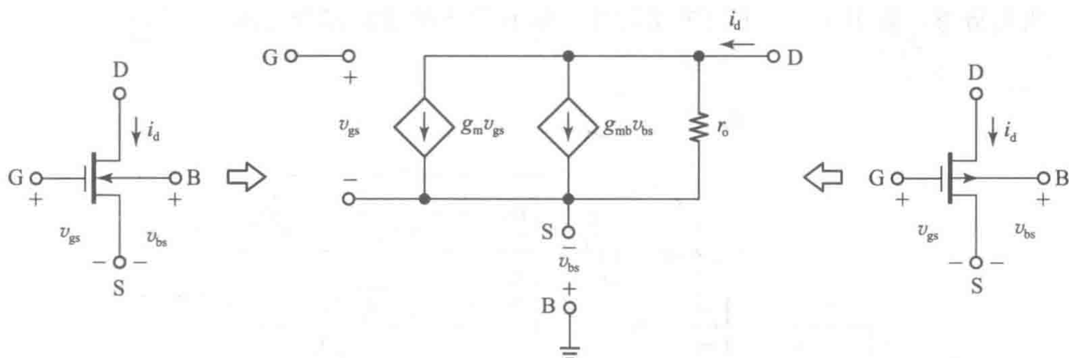


图 4.21　带有表示体效应的 $g_{mb} v_{bs}$ 源的小信号 MOSFET 模型

式中：v_{GS} 和 v_{DS} 是常数(相反地，普通的跨导记为 $g_m = \partial i_D / \partial v_{GS}$，$v_{BS}$ 和 v_{DS} 是常数)。将式(4.32)对 $v_{BS}(=-v_{SB})$ 微分，即

$$g_{mb} = \frac{\partial i_D}{\partial(-v_{SB})} = -\frac{\partial i_D}{\partial v_{SB}} = -k[v_{GS} - v_t(v_{SB})](1+\lambda v_{DS})\left(-\frac{\partial v_t}{\partial v_{SB}}\right)$$

$$= g_m(1+\lambda v_{DS})\frac{\gamma}{2\sqrt{v_{SB}+2|\phi_p|}}$$

式中：用到了 $k[v_{GS} - v_t(v_{SB})] = g_m$。对于 $\lambda v_{DS} \ll 1$，我们可以写出：

$$g_{mb} = \chi g_m \tag{4.36}$$

式中：

$$\chi = \frac{\gamma}{2\sqrt{v_{SB}+2|\phi_p|}} \tag{4.37}$$

比例常数 χ 取决于工艺参数和 v_{SB}（对于 pMOSFET 是 v_{BS}），其通常处在 0.1 到 0.3 的范围内。注意：因为 MNV(在 pMOSFET 是 MPV)通常是直流类型的，故图 4.21 所示的体显示是接交流地的。

例 4.8　令图 4.22 所示的 MOSFET 有 $V_{t0} = 1.0\text{V}$，$k = 0.5\text{mA/V}^2$，$\lambda = 1/(40\text{V})$，$|2\phi_p| = 0.6\text{V}$，$\gamma = 0.445\text{V}^{1/2}$。若 $V_{DD} = 9.0\text{V}$，根据 1/3-1/3-1/3 原则采用合适的电阻，将 MOSFET 偏置在 $I_D = 1\text{mA}$（为了简化直流计算，假设 $\lambda = 0$）。同时计算出小信号参数。

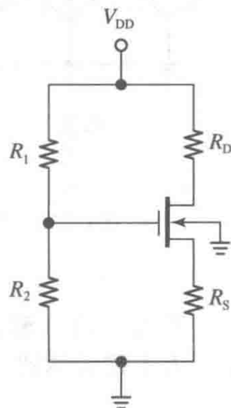


图 4.22　例 4.8 的电路

解：

我们有 $V_S = (1/3) \times 9\text{V} = 3\text{V}$，$R_D = R_S = (3/1)\text{k}\Omega = 3\text{k}\Omega$。显然，$V_{SB} = 3\text{V}$，所以式(4.33)和式(4.37)给出：

$$V_t = (1.0 + 0.445 \times [\sqrt{3+0.6} - \sqrt{0.6}])\text{V} = 1.5\text{V}$$

$$\chi = \frac{0.445}{2 \times \sqrt{3+0.6}} = 0.117$$

而且，$V_{OV}=(2I_D/k)^{1/2}=((2\times1/0.5)^{1/2})\text{V}=2\text{V}$，$V_G=V_S+V_t+V_{OV}=(3+1.5+2)\text{V}=6.5\text{V}$。我们需要一对电阻，使 $R_1/R_2=2.5/6.5=1/2.6$。采用 $R_1=1.0\text{M}\Omega$、$R_2=2.6\text{M}\Omega$。最后，MOSFET 的小信号参数为：

$$g_m=((2\times0.5\times1)\,1/2)\text{mA/V}=1.0\text{mA/V}$$
$$g_{mb}=0.117\times1\text{mA/V}=0.117\text{mA/V}$$
$$r_o=(40/1)\text{k}\Omega=40\text{k}\Omega$$

◀

一个通用的交流电路

我们现在希望研究 $g_{mb}v_{bs}$ 源的存在会怎么样影响图 4.23 所示通用交流电路的各种参数。我们猜想，除了 $v_{bs}=0$ 的 CS 结构外，所有其他的结构都会与体效应相关。

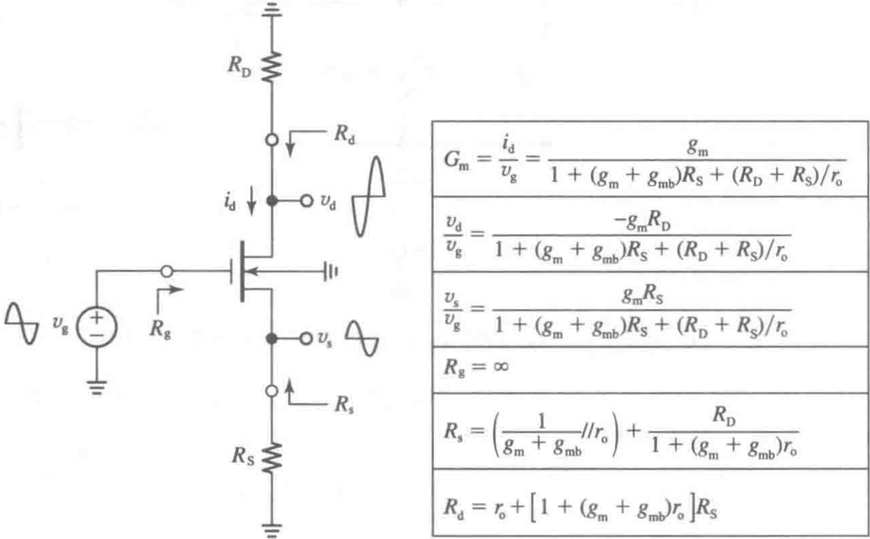
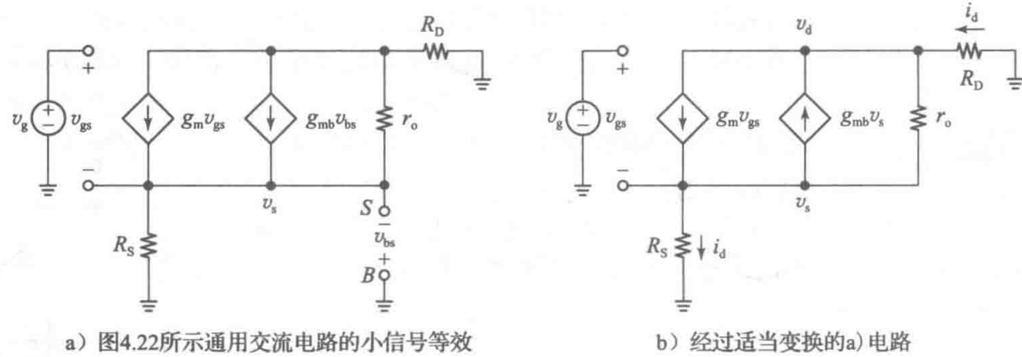


图 4.23　nMOSFET 小信号增益和终端电阻的总结

- 跨导 $G_m=i_d/v_g$。参考图 4.24a 所示的小信号等效，我们观察到 $v_{bs}=-v_s$，所以我们可以反转 $g_{mb}v_{bs}$ 源的方向，将其记为 $g_{mb}v_s$，如图 4.24b 所示。在漏极应用 KCL，我们得到：

$$i_d+g_{mb}v_s=g_m(v_g-v_s)+\frac{v_d-v_s}{r_o}$$



a）图4.22所示通用交流电路的小信号等效　　b）经过适当变换的a）电路

图　4.24

因为 i_d 流入漏极，并从源极流出，由欧姆定律，有 $v_s=R_Si_d$ 及 $v_d=-R_Di_d$。将其代入上述表达式，并合并得到电路的跨导为：

$$G_m=\frac{i_d}{v_g}=\frac{g_m}{1+(g_m+g_{mb})R_S+(R_D+R_S)/r_o} \tag{4.38}$$

这与图 3.50 所列出的表达式相似，除了分母项从 $g_m R_S$ 增加到了 $(g_m+g_{mb})R_S$。由式(4.36)，这表示 100χ 的百分比增长。

- **电压增益 v_s/v_g 和 v_d/v_g。**我们仍有 $v_s=R_S i_d=R_S G_m v_g$ 和 $v_d=-R_D i_d=-R_D G_m v_g$，所以从 v_g 到 v_s 和从 v_g 到 v_d 的小信号电压增益分别是：

$$\frac{v_d}{v_g}=\frac{-g_m R_D}{1+(g_m+g_{mb})R_S+(R_D+R_S)/r_o} \tag{4.39a}$$

$$\frac{v_s}{v_g}=\frac{g_m R_S}{1+(g_m+g_{mb})R_S+(R_D+R_s)/r_o} \tag{4.39b}$$

再次注意到，分母项从 $g_m R_S$ 增大到了 $(g_m+g_{mb})R_S$。

- **从源极看入的电阻 R_S。**为了求出这个电阻，我们令 $v_g\to 0$，并在源极加入一个测试电压 v_s。然而，在 $v_g=0$ 时，我们得到 $v_{gs}=v_g-v_s=0-v_s=-v_s$，我们现在再次反转并重新标注 $g_m v_{gs}$ 源，如图 4.25a 所示。由 KCL，我们有：

$$i_s=g_m v_s+g_{mb}v_s+\frac{v_s-v_d}{r_o}=(g_m+g_{mb})v_s+\frac{v_s-R_D i_s}{r_o}$$

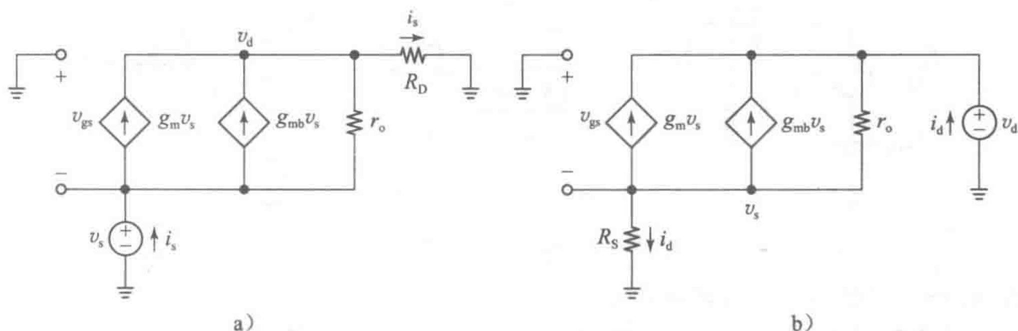


图 4.25　求 a)从源极看入的小信号电阻 R_s 和 b)从漏极看入的小信号电阻 R_d 的测试电路

合并并求比值 $R_s=v_s/i_s$，经过一些代数计算得到：

$$R_s=\left(\frac{1}{g_m+g_{mb}} /\!/ r_o\right)+\frac{R_D}{1+(g_m+g_{mb})r_o} \tag{4.40a}$$

通常 $1/(g_m+g_{mb})\ll r_o$，所以上面的表达式简化为：

$$R_s\approx\frac{1}{g_m+g_{mb}}+\frac{R_D}{1+(g_m+g_{mb})r_o} \tag{4.40b}$$

其中第一项与分立设计中相似，只不过 g_m 变为了 g_m+g_{mb}。第二项代表外部漏极电阻 R_D 反映到源极的影响，该项在分立设计中通常忽略，但在单片设计上是必需的，因为此时的漏极可能接入了一个电流源，其 R_D 可能是相当大的。

- **从漏极看入的电阻 R_d。**为了求出这个电阻，我们令 $v_g\to 0$，并在漏极加入一个测试电压 v_d。对于 $v_g=0$，我们再次得到 $v_{gs}=-v_s$，所以再反转并重新标注受控源，如图 4.25b 所示。由 KCL，有：

$$i_d+g_m v_s+g_{mb}v_s=\frac{v_d-v_s}{r_o}$$

将其代入 $v_s=R_S i_d$，合并并求解比值 $R_d=v_d/i_d$，我们得到：

$$R_d=r_o+[1+(g_m+g_{mb})r_o]R_S \tag{4.41}$$

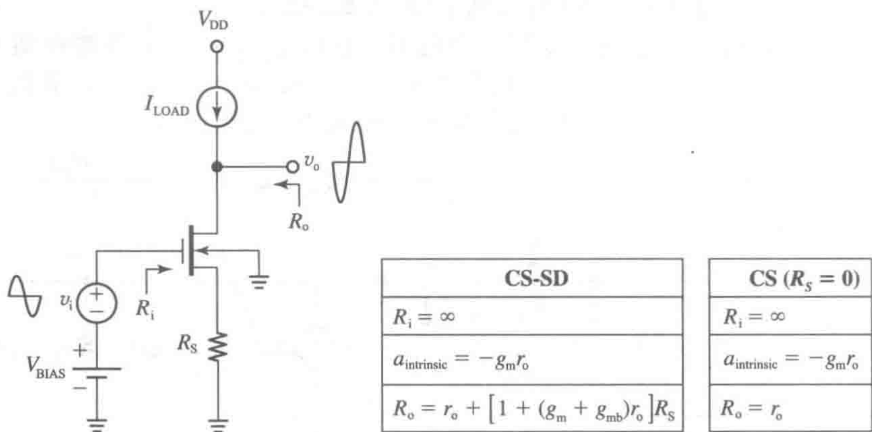
第一项是 MOSFET 的内部电阻 r_o，第二项表示外部源电阻 R_S 反映到漏极的影响。对比 MOSFET 外部电阻的影响是很有趣的：当 R_D 反映到源极时，其值除了 $1+(g_m+g_{mb})r_o$，当 R_S 反映到漏极时，其值乘了相同的值。我们在学习共源共栅结构时，将会有更系统的了解。

综上所述，一个单片 MOSFET 放大器极可能是用另一个作为电流源/沉的 MOSFET 进

行偏置或作为负载，所以从 IC 设计的角度重新研究基本的 MOSFET 结构是有益的。我们先研究理想电流源/沉的极限情况，再将结果用于非理想电流源/沉和存在输出负载的情况中。

带有理想有源负载的 CS 结构

回想起共源(CS)结构(带或不带有源极简并)最适宜于电压放大。图 4.26 所示的单片版本用一个电流源 I_{LOAD} 作为负载和一个电压源 V_{BIAS} 来偏置 MOSFET。我们假设 V_{BIAS} 已调整好，以保证源极被偏置在线性区的某个电压处。该放大器的特性很容易通过在图 4.23 所示的表达式中应用 $R_D \to \infty$ 得到。其结果列于图 4.26 中，包含 CS-SD 情形($R_S \neq 0$)，和普通的 CS 情形($R_S = 0$)。



CS-SD
$R_i = \infty$
$a_{intrinsic} = -g_m r_o$
$R_o = r_o + [1 + (g_m + g_{mb}) r_o] R_S$

CS ($R_S = 0$)
$R_i = \infty$
$a_{intrinsic} = -g_m r_o$
$R_o = r_o$

图 4.26　带有电流源负载的电压放大器，及其小信号特性

在 $R_D \to \infty$ 下的电压增益可达到 $v_o/v_i = -g_m r_o$。这称为空载或开路电压增益，这是 CS 结构可以达到的最大增益，因此其称为固有增益 $a_{intrinsic}$。有趣的是，这个增益并不被 R_S 的存在所影响。这是因为带有理想电流源负载的漏极是开路的，其有 $i_d = 0$。所以，$i_s = 0$，$v_s = R_s i_s = 0$，这表明无论是 R_S 还是 g_{mb} 都不会影响该种情况下的增益表达式(然而，它们会影响 CS-SD 情况下 R_o 的表达式)。

在实际应用中，一个 CS 放大器更可能是驱动有限的负载电阻，I_{LOAD} 源更可能有有限的并联电阻。将这些电阻相加，记为 R_D，应用式(4.39)可求出带有负载的增益为：

$$\frac{v_o}{v_i} = \frac{-g_m R_D}{1 + (g_m + g_{mb}) R_S + (R_D + R_S)/r_o} \tag{4.42}$$

例 4.9 假设图 4.26 所示的 MOSFET 有 $g_m = 1\text{mA/V}^2$，$r_o = 50\text{k}\Omega$，$\chi = 0.15$。求出在下列情况下的 R_o 和 v_o/v_i：

(a) $R_S = 0$，$R_D = \infty$。

(b) $R_S = 0$，$R_D = 100\text{k}\Omega$。

(c) $R_S = 2.0\text{k}\Omega$，$R_D = \infty$。

(d) $R_S = 2.0\text{k}\Omega$，$R_D = 100\text{k}\Omega$。

评论你每一步的结果。

解：

(a) 在 $R_S = 0$、$R_D = \infty$ 时，MOSFET 按其固有增益进行放大，我们有：

$$R_o = r_o = 50\text{k}\Omega, \quad a_{intrinsic} = -g_m r_o = -1 \times 50\text{V/V} = -50\text{V/V}$$

(b) 在 $R_S = 0$ 时，我们仍有 $R_o = 50\text{k}\Omega$。在 $R_D = 100\text{k}\Omega$. 时，由式(4.42)带有负载的增益是：

$$\frac{v_o}{v_i} = \frac{-1 \times 100}{1 + 100/50}\text{V/V} = -33.3\text{V/V}$$

(c) 当有源极简并时，我们期望 R_o 会上升。然而只要 $R_D = \infty$，增益就不会受 R_S 的影响，即

$R_o = r_o + [1 + (g_m + g_{mb}) r_o] R_S = (50 + [1 + (1 + 0.15 \times 1) \times 50] \times 2) \mathrm{k\Omega} = 167 \mathrm{k\Omega}$

$\frac{v_o}{v_i} = -50\mathrm{V/V}$

(d) 从 R_D 看入的电阻仍然是 167kΩ。由式(4.42)，增益下降到

$$\frac{v_o}{v_i} = \frac{-1 \times 100}{1 + 1 \times 1.15 \times 2 + (100 + 2)/50} \mathrm{V/V} = 18.7\mathrm{V/V}$$ ◀

结合熟悉的 g_m 和 r_o 表达式，我们可以将固有增益表达为另一种形式：

$$a_{\text{intrinsic}} = -\frac{1}{\lambda}\sqrt{\frac{2k}{I_D}} \tag{4.43}$$

式(4.17)中的 BJT 固有增益是与偏置无关的，与此不同的是，MOSFET 的固有增益是与 $\sqrt{I_D}$ 成反比的，这表明降低 I_D 可以增加 $a_{\text{intrinsic}}$。这在低功耗 IC 设计中是需要的。然而，依次有以下两个观察结果。第一，式(4.43)是 MOSFET 平方特性的结果。在足够低的工作电流下，MOSFET 进入亚阈值区，此时的特性曲线从平方变为了指数。因此，在低电流下，MOSFET 的固有增益变得与偏置无关，这与 BJT 相同。第二，低工作电流降低了电路驱动负载的能力，这导致工作速度变慢，因此降低了频率带宽(这在第 6 章有更详细的介绍)。

例 4.10 (a) 若 MOSFET 在 $I_D = 1\mathrm{mA}$ 时有 $a_{\text{intrinsic}} = -50\mathrm{V/V}$，求出在 $I_D = 100\mu\mathrm{A}$ 时的 $a_{\text{intrinsic}}$。要使 $a_{\text{intrinSic}} = -100\mathrm{V/V}$，$I_D$ 的值是多少？

(b) 若已知在 $I_D = 10\mu\mathrm{A}$ 附近，MOSFET 会进入亚阈值区，估算其最大固有增益。

解：

(a) 将 I_D 降低为原先的 1/10，会使得 $a_{\text{intrinsic}}$ 从 $-50\mathrm{V/V}$ 变为 $-50 \times \sqrt{10}\,\mathrm{V/V} = -158\mathrm{V/V}$。为了使得 $a_{\text{intrinsic}}$ 从 $-50\mathrm{V/V}$ 翻倍到 $-100\mathrm{V/V}$，我们需要将 I_D 降低为原先的 1/4，即 $I_D = (1/4)\mu\mathrm{A} = 250\mu\mathrm{A}$。

(b) 对于 $I_D \leqslant 10\mu\mathrm{A}$，增益会被设置在 $a_{\text{intrinsic(max)}} = -50 \times \sqrt{1\,000/10}\,\mathrm{V/V} = -500\mathrm{V/V}$。 ◀

写出 $g_m r_o = (2I_D/V_{OV})/(\lambda I_D) = 2/(\lambda V_{OV})$，我们得到固有增益的另一种表达形式：

$$a_{\text{intrinsic}} = -\frac{2L}{\lambda' V_{OV}} \tag{4.44}$$

式中：V_{OV} 是过驱动电压；L 是沟道长度；λ' 是描述沟长调制的工艺参数，如式(4.31)所示。这个形式表明在给定的 V_{OV} 下，沟道越长，固有增益越高。这个灵活性对于 MOS IC 设计师来说是很方便的！

例 4.11 假设工艺有 $k' = 75\ \mu\mathrm{A/V^2}$，$\lambda' = 0.1\mu\mathrm{m/V}$，指定 W 和 L，使得 MOSFET 在 $I_D = 100\mu\mathrm{A}$ 和 $V_{DS} = 2\mathrm{V}$ 时，在 $V_{OV} = 0.5\mathrm{V}$ 下有 $a_{\text{intrinsic}} = -50\mathrm{V/V}$。

解：

由式(4.44)和式(4.31)，我们有：

$$L = -\lambda' \times V_{OV} \times a_{\text{intrinsic}}/2 = (-0.1 \times 0.5 \times (-50)/2)\mu\mathrm{m} = 2.5\mu\mathrm{m}$$

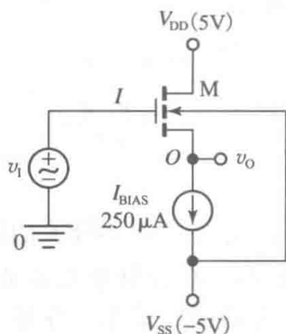
$$100 = \frac{1}{2} \times 75 \times \frac{W}{2.5} 0.5^2 \times (1 + \frac{0.1}{2.5} \times 2)$$

求解，得到 $W = 24.7\mu\mathrm{m}$。 ◀

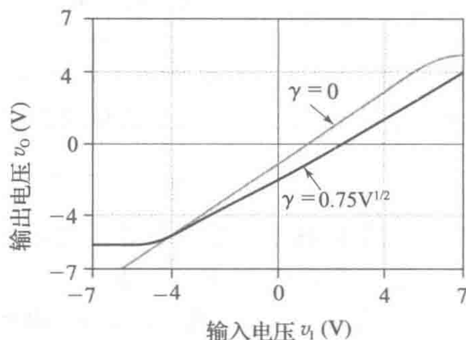
带有理想有源负载的 CD 结构

回想起共漏极(CD)结构，其最适宜于做电压缓冲器。在 IC 实现中，一个 MOSFET 缓冲器通常用一个电流沉进行偏置，所以我们研究这种实现方式的 VTC。图 4.27 画出了实现该目的的 PSpice 电路，及其 VTC。后者既画出了熟悉的体和源连接在一起的情况($\gamma = 0$)，也画出了一般将体连接至电路中最负电压(MNV)的情况($\gamma \neq 0$)。我们观察到，两个曲线都向下移动了 v_{GS}，即 $v_O = v_I - v_{GS} = v_I - (V_t + V_{OV})$。在 $\gamma = 0$ 的情况下，我们有 $V_t = V_{t0} =$ 常数，但在 $\gamma \neq 0$ 的情况下，体效应使得 V_t 本身就是 v_O 的函数，同时也就是 v_I

的函数。我们还注意到，在体和源之间形成的 pn 结将 v_O 钳制在比 V_{SS} 低一个二极管压降的位置(在本例中大约是－5.6V)。同样地，当 v_I 足够高，以驱动 MOSFET 进入欧姆区时，v_O 会饱和在 V_{DD}(在本例中是 5V)。



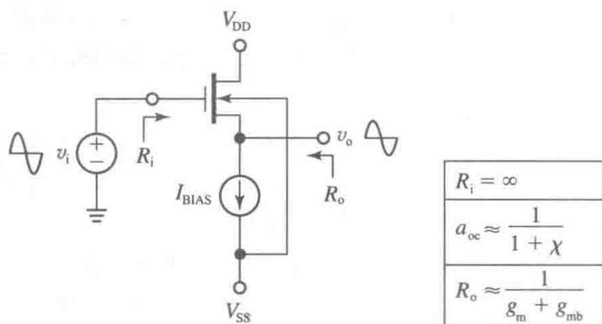
a）集成MOS缓冲器的PSpice电路



b）其VTC。MOSFET的参数为$k'=100\mu A/V^2$, $W=10\mu m$, $L=1\mu m$, $V_{t0}=0.5V$, $\gamma=0.7V^{1/2}$, $|2\phi_p|=0.6V$, $\lambda=0.05V^{-1}$

图 4.27

我们希望求出空载电压增益和输出电阻，如图 4.28 所示。在极限 $R_D\to 0$ 和 $R_S\to\infty$ 下应用图 4.23 所列出的表达式，就可求出。



$R_i=\infty$
$a_{oc}\approx\dfrac{1}{1+\chi}$
$R_o\approx\dfrac{1}{g_m+g_{mb}}$

图 4.28 带有电流沉偏置的电压缓冲器，及其小信号特性的总结

经过一些代数计算，我们可将这些表达式化为更为直观的形式：

$$a_{oc}=\lim_{R_s\to\infty}\frac{v_o}{v_i}=\frac{1}{1+\chi+1/(g_m r_o)}$$

$$R_o=\left(\frac{1}{g_m+g_{mb}}\right)/\!/ r_o \tag{4.45}$$

式中：χ 由式(4.37)给出。考虑到$(g_m+g_{mb})r_o>g_m r_o\gg 1$，上式可以化简为：

$$a_{oc}\approx\frac{1}{1+\chi}$$

$$R_o\approx\frac{1}{g_m+g_{mb}} \tag{4.46}$$

显然，g_{mb}的影响是将 a_{oc} 和 R_o 降低为 $\gamma=0$ 情况时的 $1/(1+\chi)$。例如，用例 4.9 中的 MOSFET 构造一个电压缓冲器，其给出 $a_{oc}\approx(1/(1+0.15))$V/V=0.87V/V、$R_o\approx(1/(1+0.15))$kΩ=0.87kΩ。

在实际应用中，缓冲器更可能是驱动有限的负载电阻，I_{BIAS}电流沉更可能有有限的并联电阻。将这两个电阻相加，作为一个净电阻 R_S，我们观察到 R_S 是与 r_o 并联的，所以应用式(4.45)可求出带负载的增益为：

$$\frac{v_o}{v_i}=\frac{1}{1+\chi+1/[g_m(R_S/\!/ r_o)]} \tag{4.47}$$

将这个表达式变为以下的分压形式，可以提供另一种视角：

$$v_o=\frac{(1/g_{mb})/\!/ R_S/\!/ r_o}{1/g_m+[(1/g_{mb})/\!/ R_S/\!/ r_o]}v_i \tag{4.48}$$

这允许我们直观地了解电压缓冲器，如图 4.29 所示。注意：它与图 4.16 所示 BJT 版本的相似性，只不过多了一个 $1/g_m$ 的电阻，这在 BJT 版本中是没有的。

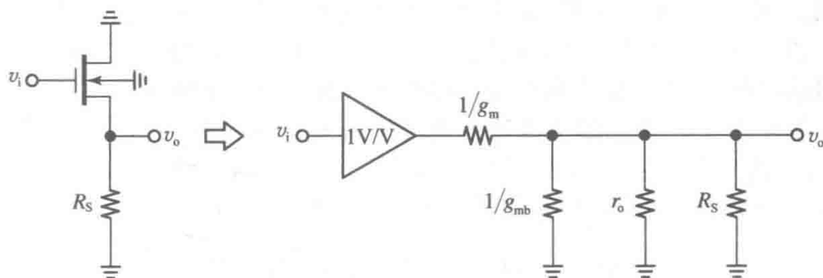


图 4.29　一个 MOSFET 电压放大器作为带有 $1/g_m$ 输出电阻的单位增益缓冲器，其与源极终端的剩余电阻又形成了一个分压器，即 $(1/g_{mb}) /\!/ r_o /\!/ R_s$

例 4.12 令图 4.28 所示的 MOSFET 有 $V_{t0}=0.5\text{V}$，$k=2\text{mA/V}^2$，$\lambda=0.025\text{V}^{-1}$，$|2\phi_p|=0.6V$，$\gamma=0.4\text{V}^{1/2}$。

(a) 若 $V_{DD}=-V_{SS}=5.0\text{V}$，$I_{BIAS}=1\text{mA}$，求出输入电压 $V_I=0$ 时的输出电压 V_O。

(b) 估算 a_{oc} 和 R_o。

(c) 若电路驱动 10kΩ 的电阻，求出增益。

解：

(a) 为了维持 $I_D=1\text{mA}$，MOSFET 需要 $V_{OV}=\sqrt{2\times1/2}\text{V}=1\text{V}$。初步估计，令 $V_{O(0)}=-(V_{t0}+V_{OV})=-(0.5+1)\text{V}=-1.5\text{V}$，所以 $V_{SB(0)}=(-1.5-(-5))\text{V}=3.5\text{V}$。那么由式(4.33)，$V_{t(1)}=(0.5+0.4\times(\sqrt{3.5+0.6}-\sqrt{0.6}))\text{V}=1.0\text{V}$。所以更精确的估计是 $V_{O(1)}=-(V_{t(1)}+V_{OV})=-(1+1)=-2\text{V}$。这与 $V_{SB(1)}=3\text{V}$ 对应，所以迭代求出 $V_{t(2)}=0.95\text{V}$，并得到更精确的估计为 $V_{O(2)}=-1.95\text{V}$。再用 $V_{SB(2)}=3.05\text{V}$ 迭代一次，得到的变化可以忽略，所以我们总结出，在 $V_I=0$ 时，电路有：

$$V_O\approx-1.95\text{V}$$

(b) 我们有 $g_m=\sqrt{2\times2\times1}\text{mA}=2\text{mA/V}$，$r_o=1/(\lambda I_D)=(1/(0.025\times1))\text{k}\Omega=40\text{k}\Omega$。再由式(4.37)得到 $\chi=0.4/(2\times\sqrt{3.05+0.6})=0.105$。因此，式(4.46)给出

$$a_{oc}\approx\frac{1}{1+0.105}\text{V/V}=0.905\text{V/V},$$

$$R_o\approx\frac{1}{2\times(1+0.105)}\text{k}\Omega=0.452\text{k}\Omega$$

用式(4.45)中的精确表达式，我们求出 $a_{oc}=0.895\text{V/V}$，$R_o=0.447\text{k}\Omega$，不值得付出这么多的计算量。

(c) 我们有 $1/g_m=(1/2)\text{k}\Omega=0.5\text{k}\Omega$，$1/g_{mb}=(1/(0.105\times2))\text{k}\Omega=4.76\text{k}\Omega$。用式(4.48)，我们得到：

$$\frac{v_o}{v_i}=\frac{4.76 /\!/ 10 /\!/ 40}{0.5+4.76 /\!/ 10 /\!/ 40}\text{V/V}=0.835\text{V/V}$$

◀

作为电压放大器的有源负载 CG 结构

共栅极(CG)结构固有的高输出电阻，使其不仅适宜于作为电流缓冲器，还可以作为高增益电压放大器。为了研究这种应用，参考图 4.30 所示的单片电路版本，其中，I_{BIAS} 电流沉提供源偏置，I_{LOAD} 电流源

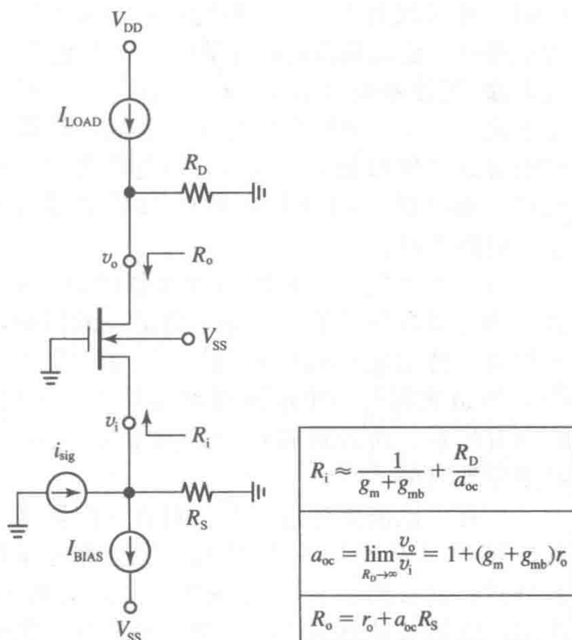


图 4.30　作为高增益电压放大器的 CG 结构，及对其交流特性的总结

作为有源负载。图 4.30 所示的 R_D 是漏极的外部电阻，与 I_{LOAD} 源和可能有的输出负载形成并联电阻；以及 R_S 是源极的外部电阻，与 i_{sig} 源和 I_{BIAS} 沉形成并联电阻。

我们希望求出从 v_i 到 v_o 的空载增益，即在极限 $R_D \to \infty$ 下的增益 v_o/v_i，也称为开路电压增益。为此，参考图 4.31 所示的交流等效电路。因为 $v_{bs}=v_{gs}=-v_i$，我们将对应的受控源反向，且因它们(图 4.31 中两个受控源)是并联的，所以相加得到一个单值为 $(g_m+g_{mb})v_i$ 的受控源，如图 4.31 所示。由 KVL 和欧姆定律，有 $v_o=v_i+r_o(g_m+g_{mb})v_i$，所以，

$$a_{oc}=\lim_{R_D\to\infty}\frac{v_o}{v_i}=1+(g_m+g_{mb})r_o \tag{4.49}$$

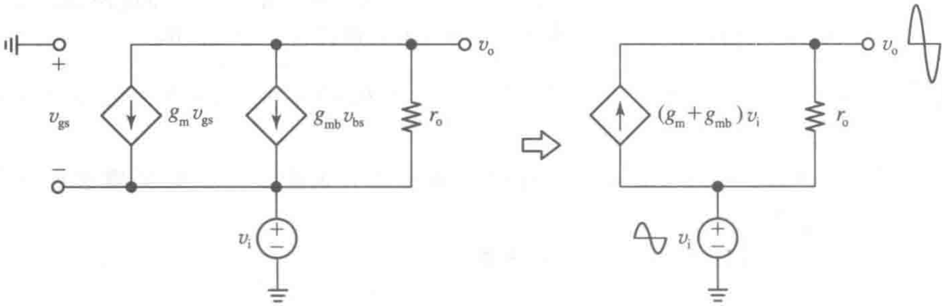


图 4.31 求 CG 结构开路电压增益的交流等效

为了求出从源极看入的电阻 R_i 和从漏极看入的电阻 R_o，我们再用图 4.23 所示的结果，可写出：

$$R_i \approx \frac{1}{g_m+g_{mb}}+\frac{R_D}{a_{oc}},\quad R_o=r_o+a_{oc}R_S \tag{4.50}$$

正如已经看到的，漏极电阻 R_D 反映到源极时将会除以 a_{oc}，而源极电阻 R_S 反映到漏极时将会乘以 a_{oc}。这些“对称”的电阻转换特性是值得记忆的，在后面的学习中将会频繁地用到。

4.4 达林顿、共源共栅和级联结构

至此为止，我们学习了单晶体管结构，即 CE/CS 电压放大器，CC/CD 电压缓冲器，CB/CG 电流缓冲器。每一种结构都实现了相应的功能，但都只是对理想情况的近似。例如，为了避免在输入和输出端有负载，一个电压放大器/缓冲器应该有 $R_i\to\infty$ 和 $R_o\to 0$，而电流放大器/缓冲器应该有 $R_i\to 0$ 和 $R_o\to\infty$。CE 放大器通常有高增益，但输入电阻 $R_i=r_\pi$ 通常不高。而 CC 结构有高的输入电阻，但其增益略小于 1。将这些单晶管结构中的两种结构组合起来使用是有意义的，因为作为一个整体电路，可以利用它们的优点，克服它们的缺点。所得到的 CC-CE 对和 CC-CC 对都同属于一类双晶体管结构，称为达林顿结构，它输入电阻很高。

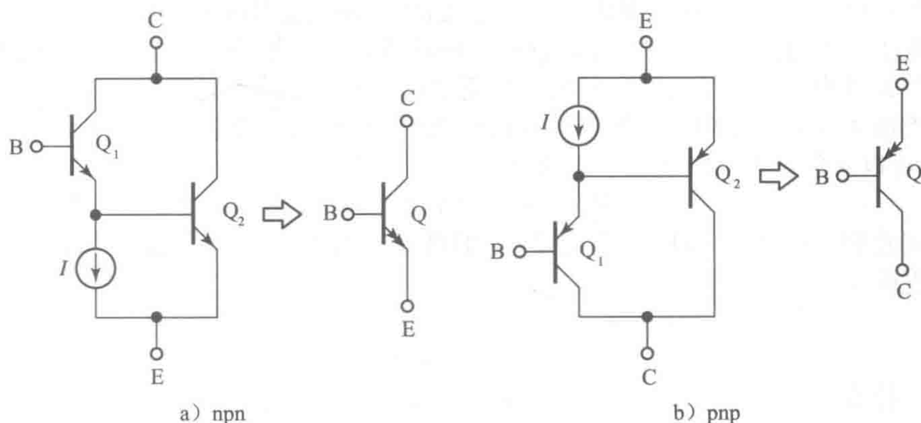
另一个主题是，高增益放大器的设计，如运算放大器和电压比较器，都需要高的增益，同时级数尽可能少。基于高增益的目的，CE/CS 结构提供了 $a_{insvinsic}=-g_m r_o$，这可能不够高，特别是 CS 结构。另一方面，CB/CG 电流缓冲器可以提供高输出电阻，所以若将 CE/CS 放大器与一个电流缓冲器结合，可以大大地提高空载电压增益，超过单个晶体管的固有增益。所得到的 CE-CB 对和 CS-CG 对，称为共源共栅结构，这个术语是在真空管时期创造出的。

还有一点需要注意的是，具有匹配器件的单片电路的出现，引入了一些其他的晶体管对，如 CC-CB 和 CD-CG 结构。这也称为发射极耦合(EC)和源极耦合(SC)对，或总称为差分对，它常用于 IC 的输入级，如运算放大器和电压比较器中。这些耦合对有着重要的作用，应该对其分别进行介绍。在该节，我们专注于达林顿型和共源共栅型晶体管对。

达林顿结构

这种结构以西德尼・达林顿(Sidney Darlington)在 1952 年的专利命名，它基于将一个

BJT 的发射极连入另一个的基极的思想，可以实现接近于单个电流增益乘积的增益。图 4.32a 画出了达林顿思想的 npn 实现，而图 4.32b 画出了与其相对的 pnp 结构。电流源 I 的功能是建立工作点 Q_1，同时帮助移除 Q_2 在关断时的基极电荷(更多内容见第 6 章)。这个电流源 I 通常用普通的电阻构造而成，甚至在某些时候并不存在。



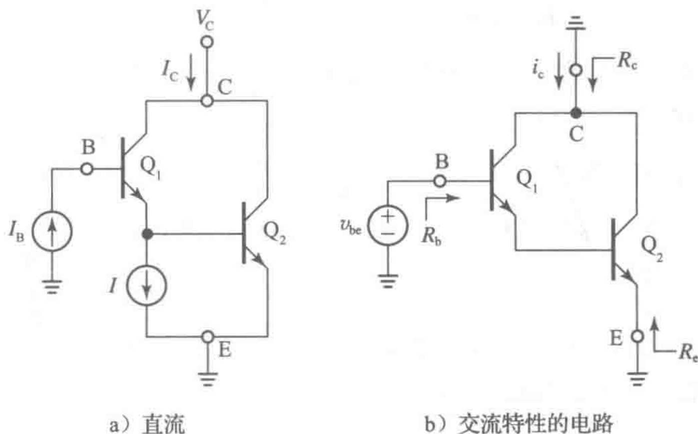
a) npn　　b) pnp

图 4.32　达林顿结构

当不存在电流源时，Q_1 是通过 Q_2 的基极电流偏置的。这个电流对于 Q_1 来说可能过低，不能提供合理的高 β 值，因此应更好地偏置 Q_1。我们现在将要证明，一个达林顿对可以当作单个复合晶体管使用。虽然讨论专注于 npn 对，但其结果也很容易应用于 pnp 对，只需将电压极性和电流方向都取反即可。

对于给定的电流 I_B，图 4.33a 所示结构给出的复合晶体管的基-射极压降为：

$$V_{BE} = V_{BE1} + V_{BE2} \tag{4.51}$$



a) 直流　　b) 交流特性的电路

图 4.33　研究 npn 达林顿结构

其中用下标 1 和 2 来表示 Q_1 和 Q_2 的参数，没有数字下标时，则表示复合晶体管。为了表示复合器件导通所需的双倍 B-E 压降，有时将其画上两个发射极箭头，如图 4.32 所示。假设两个晶体管都工作在正向有源区，图 4.33a 所示复合器件的集电极电流是：

$$\begin{aligned} I_C &= I_{C1} + I_{C2} = \beta_1 I_B + \beta_2 (I_{E1} - I) = \beta_1 I_B + \beta_2 [(\beta_1 + 1) I_B - I] \\ &= (\beta_1 + \beta_1\beta_2 + \beta_2) I_B - \beta_2 I \end{aligned}$$

若重新写为：

$$I_C = \beta I_B - \beta_2 I$$

那显然有：

$$\beta = \beta_1 + \beta_1\beta_2 + \beta_2 \approx \beta_1\beta_2 \tag{4.52}$$

这表明，复合器件的电流增益大约是两个单晶体管增益的乘积。

我们可以从两个视角观察达林顿结构(为了简便假设 $I=0$)。若关注 Q_2，我们可以认为，Q_1 起到了将输入电流降低为原先 $1/\beta_1$ 的作用。例如，在 $\beta_1=\beta_2=100$ 时，为了维持 $I_{C2}=1\text{mA}$，我们需要 $I_{B2}\approx10\mu\text{A}$，但只需要 $I_{B1}\approx0.1\mu\text{A}$。另一个角度是，若关注 Q_1，我们可以认为，Q_2 起到了将输出电流放大为原先的 β_2 倍的作用。例如，对于 $I_{E1}=10\text{mA}$、$\beta_2=50$，达林顿结构有 $I_{E2}\approx5\text{A}$。对于前面一种功能，达林顿结构通常用于低输入偏置电流放大器的设计中。对于后面一种功能，其用于功率放大器输出级的设计中。

再考虑图 4.33b 所示的交流等效，我们注意到 Q_1 作为一个射极跟随器，其发射极负载为 $r_{\pi2}$，所以从复合器件的基极看入的电阻是：

$$R_b = r_{\pi1} + (\beta_1+1)r_{\pi2} \tag{4.53}$$

同样观察到，Q_2 的基极接入了从 Q_1 发射极看入的电阻 r_{e1}，所以从复合器件的发射极看入的电阻是：

$$R_e = r_{e2} + \frac{r_{e1}}{\beta_2+1} \tag{4.54}$$

结果的另一种表示为 $R_e=R_b/(\beta+1)$，其中，R_b 和 β 分别由式(4.53)和式(4.52)给出。复合器件的跨导求出是 $G_m=\alpha/R_e\approx1/R_e$。其结果为：

$$G_m = \frac{i_c}{v_{be}} = \frac{g_{m2}}{1+\dfrac{g_{m2}/g_{m1}}{\beta_2+1}} \tag{4.55}$$

最后，我们寻求从复合器件的集电极看入的电阻 R_c 的表达式。因为 r_{o1} 在公共集电极和 Q_2 的基极间建立起了反馈通道，我们不能通过普通的观察得到结果。相反，我们需要将两个晶体管用其相应的小信号模型代替，再对公共集电极端采用测试方法。其结果(见习题4.23)为：

$$R_c \approx r_{o2} \,/\!/\, \left(r_{o1}\frac{1+\beta_2 g_{m1}/g_{m2}}{1+\beta_2}\right) \tag{4.56}$$

为了对各种参数有更好的印象，考虑特殊情况 $I=0$，$\beta_1=\beta_2$，$V_{A1}=V_{A2}$ 下的参数表达式是有益的，它们被简化为：

$$\beta=\beta_1^2,\quad R_b=2r_{\pi1},\quad G_m=\frac{g_{m2}}{2},\quad R_e=2r_{e2},\quad R_c=\frac{2}{3}r_{o2} \tag{4.57}$$

例 4.13 假设一个达林顿结构有 $\beta_1=\beta_2=100$、$V_{A1}=V_{A2}=100\text{V}$，若 $I_{C2}=1\text{mA}$、$I=90\mu\text{A}$，求其小信号参数。

解：

我们有 $I_{C1}\approx I_{E1}=I_{B2}+I=I_{C2}/\beta_2+I\approx(1\,000/100+90)\mu\text{A}=100\mu\text{A}$。因此，$g_{m2}=1/(26\Omega)$，$r_{\pi2}=2.6\text{k}\Omega$，$r_{o2}=100\text{k}\Omega$，$g_{m1}=1/(260\Omega)$，$r_{\pi1}=26\text{k}\Omega$，$r_{o1}=1\text{M}\Omega$。用式(4.52)和式(4.56)得到：

$$\beta\approx 100\times100=10\,000,\quad G_m=\frac{1/26}{1+(260/26)/101}\Omega^{-1}=\frac{1}{28.6\Omega}$$

$$R_b\approx(26+101\times2.6)\text{k}\Omega\approx290\text{k}\Omega,\quad R_e\approx\left(26+\frac{260}{100+1}\right)\Omega=28.3\Omega$$

$$R_c\approx\left(100\,/\!/\,\left(1\,000\times\frac{1+100\times26/260}{101}\right)\right)\text{k}\Omega=(100\,/\!/\,109)\text{k}\Omega=52\text{k}\Omega$$ ◀

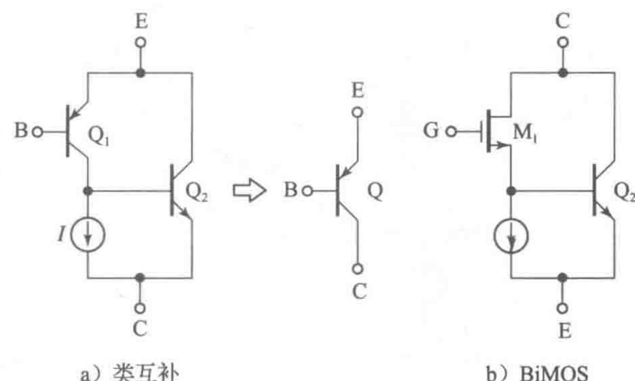
回想一下，经过标准工艺制造的 pnp BJT，其特性与 npn 相比要差得多，所以要尽可能地避免使用 pnp BJT。如图 4.34a 所示的是图 4.32b 所示互补对的另一种常用实现方式，称为齐克莱对，其名称来源于 G.C. 齐克莱(G.C. Sziklai)在 1950 年代发表的专利，这种结构类似于复合 pnp BJT，只是 Q_2 采用的是 npn 器件，其提供的增益通常比 pnp 类型的要高得多。这也称为类互补达林顿结构，其额外的优点是在复合发射极和基极之间只需要

单个结压降，即 $V_{EB}=V_{EB1}$。齐克莱对的小信号特性将在习题 4.24 中更详细地研究。

BiCOMS 技术利用了 BJT 和 MOSFET 的优点，以进一步提升电路性能。图 4.34b 所示的达林顿结构采用一个 MOSFET 来提供 $R_i=\infty$，再用一个 BJT 来提供高电流驱动能力及高跨导。

CC-CE 和 CC-CC 结构

IC 设计者通常用略微改变的达林顿结构来满足特殊的要求。图 4.35 画出了两个例子。图 4.35a 所示的是 CC-CE 版本，避免了 r_o 的降低，这是因为 r_{o1} 的反馈隔开了两个集电极。更重要的是，Q_1 对 Q_2 提供了低阻抗的驱动，以减轻米勒(Miller)效应，从而使频率带宽积最大化，这个问题我们在第 6 章中学习频率/瞬态响应时，将会更详细地介绍。

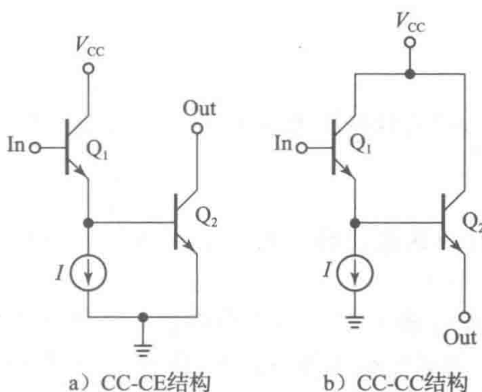


a）类互补　　b）BiMOS

图 4.34　另一种达林顿结构实现方式

双极共射共基结构

这种结构是基于将 CE 电压放大器接入 CB 电流缓冲的方法，以提高输出电阻，且与 CE 级的固有增益相比，它能显著地提高空载或开路电压增益 a_{oc}。**共射共基**结构也称为 CE-CB 放大器，它另一个优点是，相比于传统的 CE 放大器，提供了宽得多的增益带宽积——这个主题将在第 6 章中研究(这本节中，我们将学习的范围限制在低频增益和输入/输出电阻下)。



a）CC-CE结构　　b）CC-CC结构

图　4.35

图 4.36a 所示的电路用一个电流源 I_{LOAD} 作为有源负载，用电压源 V_{BE1} 和 V_{BE2} 偏置 BJT。我们假设 V_{BE1} 已被调整好，以保证 Q_2 的集电极偏置在线性工作区中的某处，且 V_{B2} 足够大，以防止 Q_1 饱和(在本例中 $V_{B2}\approx 1V$ 即可)。我们希望求出这个电路的小信号特性。为此，参考图 4.36b 所示的交流等效，观察得到：

$$R_i = r_{\pi 1} \tag{4.58}$$

为了求出 R_o，我们观察到 Q_2 是受到发射极简并影响的，Q_1 的集电极电阻 r_{o1} 是作为 Q_2 的简并电阻。从而写出：

$$R_o = r_{o2}[1 + g_{m2}(r_{\pi 2} /\!/ r_{o1})] \tag{4.59a}$$

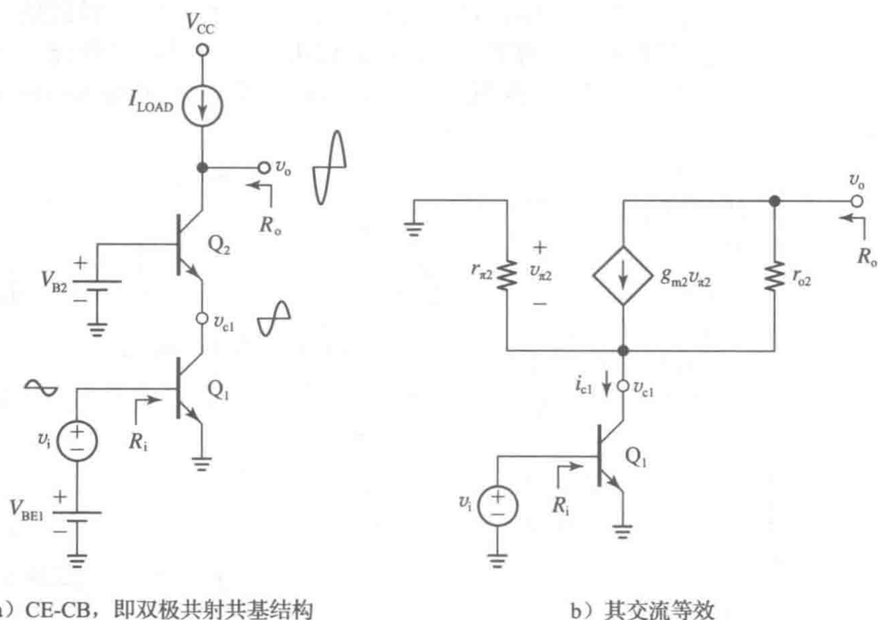
在 $r_{\pi 2}\ll r_{o1}$ 时，可以近似有 $g_{m2}(r_{\pi 2}/\!/r_{o1})\approx g_{m2}r_{\pi 2}=\beta_{02}$，所以上述的表达式简化为：

$$R_o \approx (\beta_{02}+1)r_{o2} \tag{4.59b}$$

这表明**共射共基**结构将输出电阻增大了 $\beta_{02}+1$ 倍。为了求出电压增益，当不存在任何外部交流负载时，电流 $g_{m2}v_{\pi 2}$ 全部流入 r_{o2}。因此，Q_1 表现为一个共射极放大器，其集电极电阻是 $r_{\pi 2}$，提供的电压增益是：

$$a_1 = \frac{v_{c1}}{v_i} = -g_{m1}(r_{\pi 2} /\!/ r_{o1}) = -g_m\frac{r_\pi r_o}{r_\pi + r_o} = -\beta_0\frac{r_o}{r_\pi + r_o}$$

其中数字下标已经被移除，以表示匹配且偏置相同的器件有相同的小信号参数。从式(4.26)还可以得到，CB 级 Q_2 的空载电压增益是：



a）CE-CB，即双极共射共基结构　　　b）其交流等效

图　4.36

$$a_2 = \frac{v_o}{v_{c1}} = 1 + g_{m2} r_{o2}$$

因此，总的空载电压增益是，$a_{oc} = v_o/v_i = (v_o/v_{c1}) \times (v_{c1}/v_i) = a_2 \times a_1 = a_1 \times a_2$，即

$$a_{oc} = -\beta_0 \frac{r_o}{r_\pi + r_o}(1 + g_m r_o) \tag{4.60a}$$

其中下标再次被忽略。在 $r_\pi \ll r_o$ 和 $g_m r_o \gg 1$ 时，可以近似有：

$$a_{oc} \approx -\beta_0 g_m r_o \tag{4.60b}$$

因为 $-g_m r_o$ 表示 BJT 的固有增益，显然**共射共基**方法将增益提高了约 β_0 倍！这并不奇怪，因为 Q_1 的集电极电流流过 $r_{\pi2}$ 后成了 Q_2 的基极电流，从而放大了 β_0 倍。

我们观察到式(4.59b)中，R_o 可以跟 r_μ 相当，为了简便有意将其忽略了。一个更精确的表达式是 $R_o \approx (\beta_{02} r_{o2}) /\!/ r_\mu$。用式(4.8)，我们写出：

$$R_o \approx \frac{m}{m+1}\beta_0 r_o, \quad a_{oc} \approx -\beta_0 g_m R_o = -\frac{m}{m+1}\beta_0 g_m r_o \tag{4.61}$$

注意到，为了理解双极型**共射共基**结构潜在的高增益，我们需要避免其输出有明显的负载。我们可以用一个高输入阻抗级来缓冲**共射共基**结构的输出，如达林顿型电压跟随器，或 BiCMOS 技术中的 MOSFET 跟随器。

例 4.14　(a) 假设一个串叠式结构有 $I_{IAD} = 1\text{mA}$，$\beta_1 = \beta_2 = 100$，$V_{A1} = V_{A2} = 100\text{V}$，$m=5$，对 R_i，R_o，v_o/v_i 做一个快速的估算。

(b) 若电路驱动了 1MΩ 的外部负载，重复上问，并评论。

解：

(a) 应用式(4.58)和式(4.61)，得到：

$$R_i = 2.6\text{k}\Omega, \quad R_o \approx \left(\frac{5}{5+1} \times 100 \times 10^5\right)\Omega = 8.33\text{M}\Omega$$

$$a_{oc} = -g_m R_o = -\frac{8.33 \times 10^6}{26}\text{V/V} \approx -320 \times 10^3\text{V/V}$$

这个增益是相当大的。

(b) 当有 $R_L = 1\text{M}\Omega$ 的外部负载时，增益下降到

$$\frac{v_o}{v_i}=a_{oc}\frac{R_L}{R_o+R_L}\approx -320\times 10^3\times\frac{1}{8.33+1}\mathrm{V/V}=-34.3\times 10^3\,\mathrm{V/V}$$

注意到，输出负载过重，使得增益几乎下降了一个数量级，即使 1MΩ 的负载在通常标准下看起来也许很大。显然，为了完全理解**共射共基**结构的高增益，我们必须保证输出负载可以忽略。◀

例 4.15 为了得到更深的印象，跟随信号研究从输入流向输出的过程是有益的。这样我还可以改善式(4.61)中的快速估计。

(a) 参考图 4.14a 所示的**共射共基**结构，求出单个增益 a_1 和 a_2，以及增益 a_{oc}。通过 PSpice 验证，并与例 4.14(a)问比较。

(b) 假设最大的输出摆幅是 $|v_{0(max)}|=2.5\mathrm{V}$，求出相应的输入摆幅 $|v_{i(max)}|$。在 $|v_{be}|\leqslant$ 5mV 时，两个 BJT 都满足小信号条件吗？

解：

(a) 对于 CE 级 Q_1，有 $a_1=-g_{m1}R_{C1}$，其中，R_{C1} 是 Q_1 的总集电极电阻。观察可得，$R_{C1}\approx r_{\mu1}/\!/r_{o1}/\!/R_{e2}$，其中，$R_{e2}$ 是从 Q_2 发射极看入的电阻。利用图 4.19 所列出的表达式，得到：

$$R_{e2}\approx r_{e2}\frac{r_{o2}+r_{\mu2}}{r_{o2}+r_{\mu2}/(\beta_{02}+1)}=\frac{100}{101}\times 26\times\frac{0.1+50}{0.1+50/101}\Omega=2.17\mathrm{k}\Omega$$

所以

$$a_1=-g_{m1}R_{C1}=-\frac{50\,000/\!/100/\!/2.17}{0.026}\mathrm{V/V}=-81.7\mathrm{V/V}$$

这与 PSpice 预期值 $a_1=-81.6\mathrm{V/V}$ 完全符合。一个快速的估算将会得到 $a_1\approx-\beta_{01}=-100\mathrm{V/V}$，$R_{e2}=r_{\pi2}=2.6\mathrm{k}\Omega$。

两个估计值都高于实际值，是因为忽略了 r_{o2} 和 $r_{\mu2}$ 的存在。CB 级 Q_2 的增益是：

$$a_2=1+g_{m2}r_{o2}=\left(1+\frac{100}{0.026}\right)\mathrm{V/V}=3\,846\mathrm{V/V}$$

所以 $a_{oc}=-81.7\times 3\,846\mathrm{V/V}=-314\times 10^3\,\mathrm{V/V}$，这与 PSpice 中的 $a_{oc}=-313\times 10^3\,\mathrm{V/V}$ 完全符合。

(b) 我们有 $|v_{i(max)}|=|v_{0(max)}|/|a_{oc}|=(2.5/314\,000)\mathrm{V}\approx 8\mu\mathrm{V}$。而且，$|v_{be2}|=|v_{0(max)}|/a_2=(2.5/3\,846)\mathrm{V}=0.65\mathrm{mV}$，这表明两个 BJT 都充分满足小信号条件。◀

MOS 共源共栅结构

共源共栅结构，起初来源于真空管，随后被用于 BJT，如今在 MOS 技术中也广泛使用。此处，我们在 CS 放大器后接入一个 CG 电流缓冲器，以提高其输出电阻，同时提高空载增益。这在 MOSFET 情形下是特别需要的，这是因为 MOSFET 的 g_m 相比 BJT 的要低很多。这种串叠式共源共栅结构也称为 CS-CG 放大器，它相比于普通的 CS 放大器具有更快的速度(这个问题我们将在第 6 章中研究；在本节，我们仅学习低频增益和输入/输出电阻)。

图 4.37a 所示电路采用电流源 I_{LOAD} 作为有源负载，电压源 V_{GS1} 和 V_{GS2} 偏置 MOSFET。

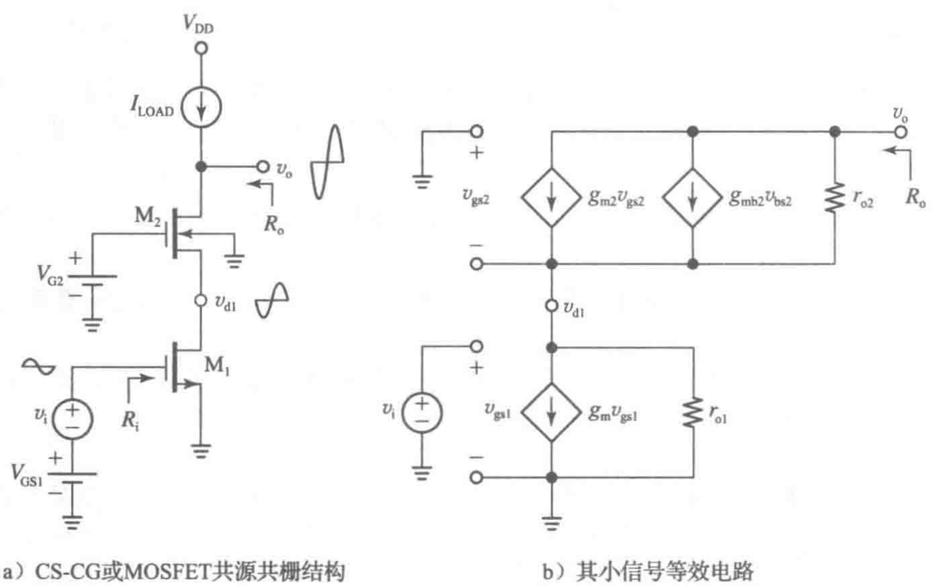
我们假设 V_{GS1} 已调整好，以保证 M_2 的漏极偏置在线性工作区的某处，且 V_{G2} 足够大以将 M_1 偏置在其饱和边缘或者上方。我们现在希望求出整个电路的小信号特性。为此，参考图 4.37b 所示的交流等效。观察可得，输入电阻是：

$$R_i=\infty \tag{4.62}$$

为了求出输出电阻，令 $v_i\to 0$，从而移除了 $g_{m1}r_{gs1}$ 源，只留下 r_{o1} 在电路中。这个电阻对 M_2 产生源极简并，应用式(4.41)写出：

$$R_o=r_{o2}+[1+(g_{m2}+g_{mb2})r_{o2}]r_{o1}\approx(g_{m2}+g_{mb2})r_{o1}r_{o2} \tag{4.63}$$

这表明将两个 MOSFET 串叠，会显著地提高输出电阻。我们预期空载增益也会相应增加。再参考图 4.37b 所示电路，我们观察到在没有任何外部交流负载的情况下，M_2 的漏极是交流开路的，所以 M_2 的整个交流等效就形成了独立的分支电路。源 $g_{m1}r_{gs1}$ 从 r_{o1} 抽取电



a）CS-CG或MOSFET共源共栅结构　　b）其小信号等效电路

图 4.37

流，由欧姆定律，有$v_{d1}=-g_{m1}v_i r_{o1}$，所以 CS 级 M_1 的增益是：

$$a_1=\frac{v_{d1}}{v_i}=-g_{m1}r_{o1}$$

我们知道，这是 M_1 的固有增益。由式(4.49)，CG 级 M_2 的空载电压增益是：

$$a_2=1+(g_{m2}+g_{mb2})r_{o2}$$

因此，总的电压增益是 $a_{oc}=v_o/v_i=(v_o/v_{d1})\times(v_{d1}/v_i)=a_2\times a_1=a_1\times a_2$，即

$$a_{oc}=-g_{m1}r_{o1}[1+(g_{m2}+g_{mb2})r_{o2}]\approx-g_{m1}r_{o1}(g_{m2}+g_{mb2})r_{o2} \tag{4.64}$$

显然，共源共栅的方法将 M_1 的固有增益$-g_{m1}r_{o1}$提高了源于 M_2 增益的$(g_{m2}+g_{mb2})r_{o2}$倍。这个技巧广泛用来制造低 g_m 的 MOSFET，获得高的输出增益。例如，$|a_{intrinsic}|$低至 10V/V 的共源共栅 MOSFET 将会得到$|a_{oc}|\approx10^2$ V/V。

为了完全实现共源共栅 MOSFET 高增益的潜力，我们必须避免有明显的输出负载。这个条件在 MOS 技术中很容易实现，因为共源共栅结构的输出级很可能是驱动另一个 MOSFET，至少在低频时其输入电阻无穷大。这与 BJT 串叠式结构相比是一个明显的优点：MOSFET 的高输出电阻弥补了其很低的 g_m！

套筒式共源共栅结构

我们刚学习到，共源共栅同时将 CS 级的输出电阻和空载增益增加到了 CG 级的增益倍。若有需要，我们可以将 a_{oc}和 R_o 进一步提升，这通过增加一级共源共栅来实现，如图 4.38 所示的双共源共栅情况。晶体管的堆叠类似于望远镜的伸长，所以这种结构被形象地称为套筒式共源共栅。

例如，用一个固有增益低至 10V/V 的 MOSFET 实现三晶体管的共源共栅结构，会得到$|a_{oc}|\approx10^3$ V/V！这是 MOSFET 与 BJT 相比的一个重要优点，在双极型串叠式结构中，在经过一级串叠后，就近乎达到了其最大可能的增益，大约为 $\beta_0 a_{instrinsic}$。

套筒式共源共栅的缺点有一个代价：降低了输出电压摆幅(OVS)。假设 M_1 和 M_2 被偏置在饱和边缘(EOS)，输

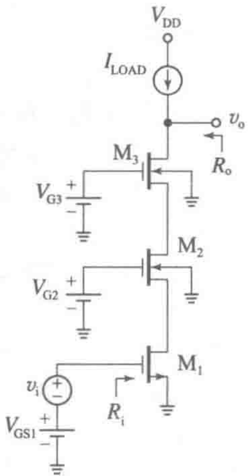


图 4.38　套筒式共源共栅结构（所示为双共源共栅）

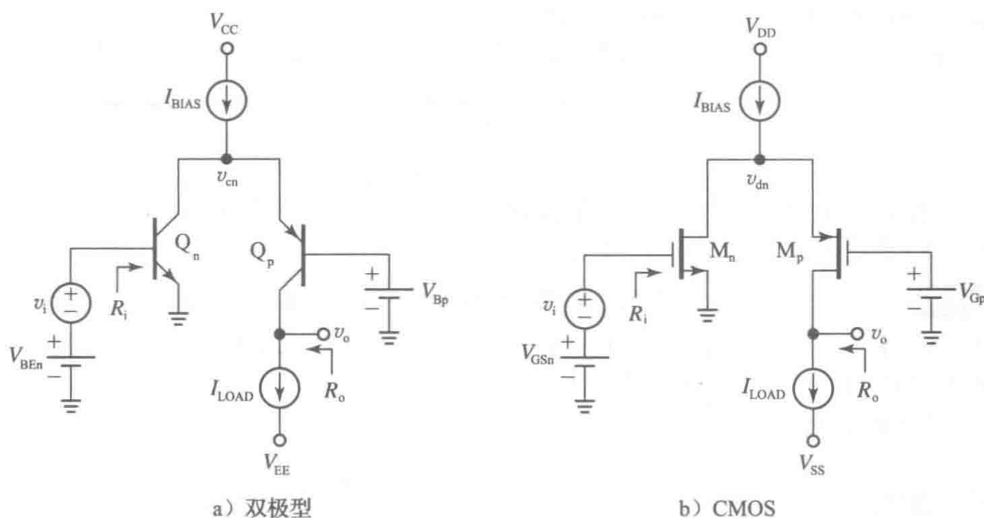
出摆动的最小值为：

$$v_{O(min)} = V_{OV1} + V_{OV2} + V_{OV3} \tag{4.65}$$

式中：V_{OV1} 到 V_{OV3} 是堆叠的 MOSFET 的过驱动电压。这个范围在低功耗系统中可能过高，以至不能接受。幸运的是，这个缺点可用接下来讨论的折叠式共源共栅技术消除。

折叠式共源共栅结构

图 4.36 和图 4.37 所示的共源共栅结构一个很大的缺点是，限制了输出端的电压余量。对于合适的电压偏置 V_{B2} 和 V_{G2}，在双极型情况下最好可以实现 $v_{O(min)}=2V_{CE(EOS)}$，在 MOS 情况下可以实现 $v_{O(min)}=2V_{DS(OS)}=2V_{OV}$。在两种情况下，都有 $v_{O(min)}>0V$。然而，许多应用需要 v_O 具有在高于和低于 0V 的范围内摆动的能力。采用一个互补晶体管，如 CB-CG 级，可以实现这个需求，如图 4.39 所示。这也称为折叠式共源共栅结构，这种结构需要一个额外的电流源 I_{BIAS}（通常 $I_{BIAS}=2I_{LOAD}$）来偏置晶体管对，但是为了增大输出的动态余量，这样做是非常值得的。在两种情况下，$v_{O(min)}$ 都是通过负电源建立的，I_{LOAD} 电流沉上有可允许的最小压降 $V(I_{LOAD})_{min}$。



a）双极型　　　b）CMOS

图 4.39　折叠式共源共栅

因此对于 BJT 和 CMOS 电路，分别有：

$$v_{O(min)} = V_{EE} + V(I_{LOAD})_{min}, \quad v_{O(min)} = V_{SS} + V(I_{LOAD})_{min} \tag{4.66a}$$

输出摆幅的上界是通过偏置电压 V_{Bp} 和 V_{Gp} 确定的，I_{BIAS} 源上有可允许的最小电压 $V_{BIAS(min)}$。选取 V_{Bp} 和 V_{Gp}，使得源极上恰好有最小压降，对于 BJT 和 CMOS 电路，分别有：

$$v_{O(max)} = V_{CC} - V(I_{BIAS})_{min} - V_{ECp(sat)}, \quad v_{O(max)} = V_{DD} - V(I_{BIAS})_{min} - V_{OVp} \tag{4.66b}$$

例如，假设电源为±5V，且在 BJT 情况下有 $V(I_{BIAS})_{min}=V(I_{LOAD})_{min}=V_{ECp(sat)}=0.2V$，在 MOS 情况下有 $V(I_{BIAS})_{min}=V(I_{LOAD})_{min}=V_{OVp}=0.5V$，输出摆幅分别是：

$$-4.8V \leqslant v_{O(BJT)} \leqslant 4.6V, \quad -4.5V \leqslant v_{O(MOS)} \leqslant 4.0V$$

与图 4.36 和图 4.37 所示传统串叠式电路相比，对于相同的参数，它们只有 $0.4V \leqslant v_{O(BJT)} \leqslant 4.8V$，$1.0V \leqslant v_{O(MOS)} \leqslant 4.5V$。

共源共栅电流源/沉

在 4.2 节和 4.3 节中，我们广泛应用电流源/沉来提供直流偏置（I_{BIAS}）和有源负载（I_{LOAD}）。电流源/沉本身也是用晶体管制成的。一个好的切入点是集电极或漏极端，这是因为 i_C-v_{CE} 和 i_D-v_{DS} 特性曲线在有源区是平滑的，其斜率为 $1/r_o$。在很多情况下曲线都不够平滑，所以我们需要想方设法来提高 r_o 的有效值。我们已经熟知的例子是发射极简并和源极简并，就是采用合适的电阻来提高从集电极和漏极看入的有效电阻。然而，我们也

指出，在单片电路中物理电阻是不受欢迎的。另一个很重要的缺点是，若需要高度简并，简并电阻将会很大，其压降会显著地降低输出端源/沉的电压动态余量。

一个很有创意的方法，是将发射极/源极简并电阻用一个晶体管 Q_2/M_2 代替，并令其电阻 r_{o2} 作为晶体管 Q_1/M_1 的简并电阻。这就形成了图 4.40a 和 b 所示的双晶体管电路。这是我们熟悉的串叠式结构，只是此处我们从另一个视角观察：在图 4.36 和图 4.37 所示电路中我们专注于下方的晶体管，并加入上方的晶体管来提高下方晶体管的固有增益，在图 4.40 所示电路中我们专注于上方的晶体管，并加入下方的晶体管来提高上方晶体管的输出电阻。

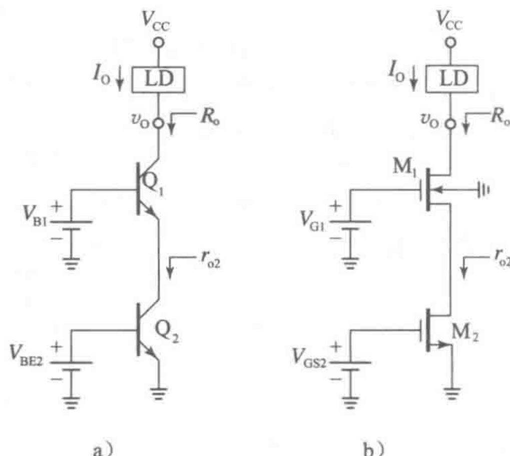


图 4.40 用 a)双极型串叠式和 b)MOS 共源共栅结构来实现高输出电阻

无论采用何种视角，前面所得到的公式依然成立，所以我们将其用于该例，并写出：

$$R_{o(BJT)} = r_{o1}[1 + g_{m1}(r_{\pi 1} /\!/ r_{o2})] \tag{4.67}$$

以及

$$R_{o(MOS)} = r_{o1} + [1 + (g_{m1} + g_{mb1})r_{o1}]r_{o2} \tag{4.68}$$

我们知道，在 $r_{o2} \gg r_{\pi 1}$ 时，式(4.67)简化为 $R_o \approx (1+\beta_{01})r_{o1}$。同样地，在$(g_{m1}+g_{mb1})r_{o1} \gg 1$ 时，式(4.68)简化为 $R_o \approx (1+\chi)g_{m1}r_{o1}r_{o2}$。

例 4.16 (a) 令图 4.40b 所示的 MOSFET 有 $V_{t0}=0.5\text{V}$，$k=1.25\text{mA/V}^2$，$\lambda=0.08\text{V}^{-1}$，$|2\phi_p|=0.6\text{V}$，$\gamma=0.45\text{V}^{1/2}$。求出将 M_2 偏置在饱和边缘 $I_D=100\mu\text{A}$ 时的 V_{G1} 和 V_{GS2} 值。

(b) 求出在 M_1 依然饱和时的 R_o 和 $v_{O(min)}$。当 v_O 在高于 $v_{O(min)}$ 的范围每变化 1V 时，I_O 变化的百分比是多少？

解：

(a) 我们有：

$$V_{OV1} = V_{OV2} = \sqrt{2I_D/k} = \sqrt{2 \times 0.1/1.25}\text{V} = 0.4\text{V}$$

所以 $V_{GS2}=V_{t0}+V_{OV2}=(0.5+0.4)\text{V}=0.9\text{V}$. 我们还有：

$$V_{t1} = V_{t0} + \gamma(\sqrt{V_{SB1} + |2\phi_p|} - \sqrt{|2\phi_p|})$$
$$= (0.5 + 0.45 \times (\sqrt{0.4 + 0.6} - \sqrt{0.6}))\text{V} = 0.6\text{V}$$

所以 $V_{G1}=V_{GS1}+V_{DS2}=V_{OV1}+V_{t1}+V_{OV2}=(0.4+0.6+0.4)\text{V}=1.4\text{V}$.

(b) 我们有：

$$g_{m1} = k_1 V_{OV1} = (1.25 \times 0.4)\text{mA/V} = 0.5\text{mA/V}$$

$$r_{o1} = r_{o2} = \frac{1}{\lambda I_D} = \frac{1}{0.08 \times 0.1}\Omega = 125\text{k}\Omega$$

$$\chi = \frac{\gamma}{2\sqrt{V_{SB1} + 2|\phi_p|}} = \frac{0.45}{2 \times \sqrt{0.4 + 0.6}} = 0.225$$

$$R_o = r_o + [1 + (1+\chi)g_{m1}r_o]r_o = (125 + [1 + 1.225 \times 0.5 \times 125] \times 125)\text{k}\Omega = 9.82\text{M}\Omega$$

且有 $v_{O(min)}=V_{OV2}+V_{OV1}=0.8\text{V}$。对于 v_O 在线性区内每变化 1V，我们有 $\Delta I_O=\Delta v_O/R_o=(1\text{V})/(9.82\text{M}\Omega)=102\text{nA}$，这表明：变化的百分比为$(102\times10^{-9})/(100\times10^{-6})\approx0.1\%$。◀

级联方案

当所需增益不能通过单晶体管满足时，可用两级或多级构造级联。我们已经熟知的例子是达林顿放大器，其用两级来提高输入电阻和电流增益，还有共源共栅放大器，其用 CE-CB 或 CS-CG 对来提高输出电阻和空载电压增益(共源共栅结构(cascode)是级联结构

(cascade)的一种特例，在主流词典中并没有收录。所以，常有校验人员将 cascode 改为 cascade)。

当分析两级或多级构成的级联结构时，一个工程师常需要对总的信号到负载的增益做快速估算，且还要将级间负载纳入考虑。为了完成这个任务，我们将级间节点分别标注，并用经验法则求出从一个节点到下一个节点带有负载的增益：

CE/CS 电压放大器级带有负载的增益(负的)是集电极/漏极总电阻与发射极/源极总电阻的比值。

一个作为单位增益缓冲器且输出电阻为 $1/g_m$ 的电压跟随器，$1/g_m$ 与发射极/源极的其他电阻会形成分压器。

我们再将单个增益相乘，就得到了整个级联结构的增益。仔细学习下面的例题，随着学习的深入，在很多情况下都需要重复下面的过程。

例 4.17 图 4.41 所示的是一个三级放大器的交流等效，其包括 CE 级 Q_1，及随后的 CE-ED 级 Q_2，及最后的 CC 级 Q_3。为了简便，假设三个 BJT 都有 $g_m = 1/(25\Omega)$，$r_\pi = 5\text{k}\Omega$，$r_o = 50\text{k}\Omega$，估算总增益 v_o/v_i。

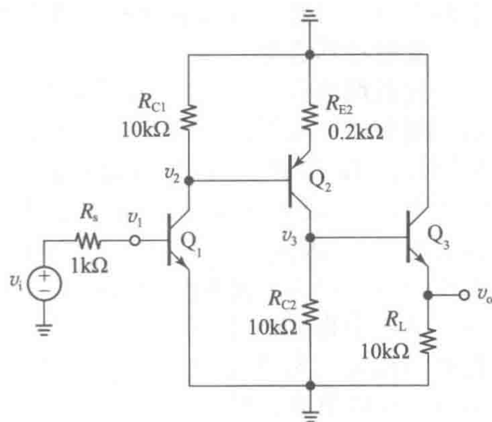


图 4.41 例 4.17 中的电路

解：

虽然我们感兴趣的节点电压是 v_i 和 v_o，但我们还标注了级间节点电压 v_1，v_2，v_3，这是因为它们会在级间计算中出现。我们做出以下的考虑。

- 从节点 v_i 到 v_1，信号遇到了由 R_s 和节点 v_1 呈现的电阻 R_1 形成的分压器。根据观察，$R_1 = r_{\pi1}$，所以，

$$\frac{v_1}{v_i} = \frac{R_1}{R_s + R_1} = \frac{r_{\pi1}}{R_s + r_{\pi1}} = \frac{5}{1+5}\text{V/V} = 0.833\text{V/V}$$

- 从节点 v_1 到 v_2，信号被 CE 级 Q_1 放大，其总发射极电阻是 $r_{e1}(=\alpha_{01}/g_{m1} \approx 1/g_{m1})$，总集电极电阻 R_2 由三个分量组成：R_{C1}，r_{o1} 和从 Q_2 基极看入的交流电阻 R_{b2}。根据观察，$R_{b2} = r_{\pi2} + (\beta_2+1)R_{E2} = (5 + [(5/0.025)+1] \times 0.2)\text{k}\Omega = 45.2\text{k}\Omega$，所以我们写出

$$\frac{v_2}{v_1} = -\frac{R_{C1} /\!/ r_{o1} /\!/ R_{b2}}{r_{e1}} \approx -\frac{10 /\!/ 50 /\!/ 45.2}{0.025}\text{V/V} = -281\text{V/V}$$

- 从节点 v_2 到 v_3，信号被 CE-ED 级 Q_2 放大。总发射极电阻是 $\alpha_{02}/g_{m2} + R_{E2} \approx (25+200)\Omega = 225\Omega$。总集电极电阻 R_3 由三个分量组成：R_{C2}，从 Q_2 集电极看入的交流电阻 R_{c2} 和从 Q_3 基极看入的交流电阻 R_{b3}。根据观察，$R_{c2} = r_{o2}[1 + g_{m2}(r_{\pi2} /\!/ R_{E2})] = (50 \times [1 + (5 /\!/ 0.2)/0.025])\Omega = 435\text{k}\Omega$，$R_{b3} = r_{\pi3} + (\beta_3+1)R_{E3} = (5 + 201 \times 10)\text{k}\Omega = 2.015\text{M}\Omega$。因此，

$$\frac{v_3}{v_2} = -\frac{R_{C2} /\!/ r_{c2} /\!/ R_{b3}}{r_{e2} + R_{E2}} \approx -\frac{10 /\!/ 435 /\!/ 2\,015}{0.025 + 0.200}\text{V/V} = -43.2\text{V/V}$$

- 从节点 v_3 到 v_o，信号被 CC 级 Q_3 缓冲，其作为一个带有 $1/g_{m3} = 25\Omega$ 输出电阻的单位增益放大器。这个电阻与 $R_L /\!/ r_{o3} = (10 /\!/ 50)\text{k}\Omega = 8.33\text{k}\Omega$ 形成了分压器，所以

$$\frac{v_o}{v_3} = 1 \times \frac{R_L /\!/ r_{o3}}{r_{e3} + (R_L /\!/ r_{o3})} \approx \frac{8.33}{0.025 + 8.33}\text{V/V} = 0.997\text{V/V}$$

我们最终有

$$\frac{v_o}{v_i} = \frac{v_1}{v_i} \times \frac{v_2}{v_1} \times \frac{v_3}{v_2} \times \frac{v_o}{v_3} = 0.833 \times (-281) \times (-43.2) \times 0.997\text{V/V}$$
$$= 10.1 \times 10^3\text{V/V}$$

◀

4.5 差分对

我们现在把注意力放到另一种重要的晶体管组合上，即差分对。这在 4.1 节中已经简单地进行了介绍，它很可能是模拟 IC 中应用最广泛的分支电路。虽然这个概念在真空管时候就已出现，随后又用于分立 BJT 中，但单片电路的出现才真正地使其发挥潜力。这是因为其性能很大程度上取决于两个晶体管的匹配程度，单片工艺提供了匹配器件，同时器件可在温度和时间变化时相互追踪。与单晶体管放大器相比，差分放大器不受共模噪声的影响，同时将其用于交流耦合时，可以避免分立设计中出现大体积的电容。实际上，差分放大器的工作频率可以一直扩展到直流。这些优点的代价是电路复杂度增加，但这在单片电路中不是问题，因为额外的晶体管实现成本很低。

发射极耦合对

发射极耦合(EC)对的最简单形式如图 4.42 所示。差分对中发射极的偏置由一个电流源提供，这里用包含 I_{EE} 和 R_{EE} 的诺顿等效代替(在精心设计的电路中，R_{EE} 较大且通常忽略，特别是在直流分析的情况下)。因为一边是另一边的精确镜像，电路也称为是平衡的，其对称性可用于电路分析，在之后的学习中我们将可以看到。为了对这个电路产生直观的感觉，先研究其大信号表现(为了保持过程简单，在该节我们假设 $V_A=\infty$)。

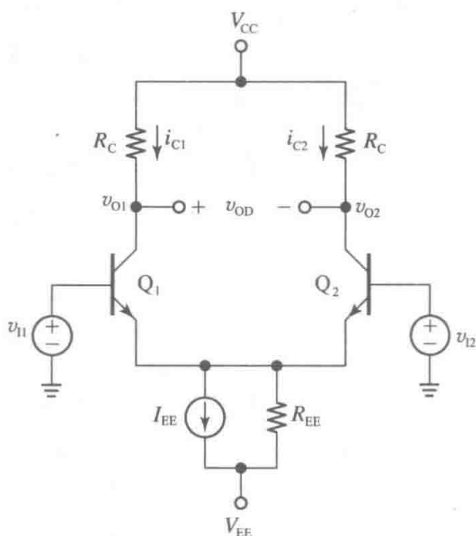


图 4.42　发射极耦合(EC)对

在输入回路应用 KVL，得到：

$$v_{I1}-v_{BE1}+v_{BE2}-v_{I2}=0$$

即 $v_{BE1}-v_{BE2}=v_{I1}-v_{I2}$。假设 BJT 工作在正向有源区，我们用熟悉的指数关系，并写为 $i_{C1}=I_{s1}\exp(v_{BE1}/V_T)$ 及 $i_{C2}=I_{s2}\exp(v_{BE2}/V_T)$。因此，

$$\frac{i_{C1}}{i_{C2}}=\frac{I_{s1}}{I_{s2}}\exp\left(\frac{v_{BE1}-v_{BE2}}{V_T}\right)=\frac{I_{s1}}{I_{s2}}\exp\left(\frac{v_{I1}-v_{I2}}{V_T}\right)$$

匹配晶体管有 $I_{s1}=I_{s2}$，所以上述的关系式简化为：

$$\frac{i_{C1}}{i_{C2}}=\exp\left(\frac{v_{ID}}{V_T}\right) \tag{4.69}$$

式中：

$$v_{ID}=v_{I1}-v_{I2} \tag{4.70}$$

是输入电压的差值。由 KCL，发射极电流是 $i_{E1}+i_{E2}=I_{EE}$，其中，我们忽略了 R_{EE}，在精心设计的电路中它是很大的。这允许我们写出：

$$i_{C1}+i_{C2}=\alpha_F I_{EE} \tag{4.71}$$

结合式(4.69)和式(4.71)，可得：

$$i_{C1}=\frac{\alpha_F I_{EE}}{1+\exp(-v_{iD}/V_T)},\quad i_{C2}=\frac{\alpha_F I_{EE}}{1+\exp(v_{iD}/V_T)} \tag{4.72}$$

再由 KVL 和欧姆定律，有：

$$v_{O1}=V_{CC}-R_C i_{C1},\quad v_{O2}=V_{CC}-R_C i_{C2}$$

将式(4.72)的表达式代入再化简，我们得到一个输出电压差值的表达式：

$$v_{OD}=v_{O1}-v_{O2}=\alpha_F I_{EE}R_C\tanh\left(-\frac{v_{ID}}{2V_T}\right) \tag{4.73}$$

利用 PSpice，可以轻易地画出式(4.72)和式(4.73)的图形。在图 4.43 所示的电路中，令 $v_{I2}=0$，所以在该例中 $v_{ID}=v_{I1}$。在 PSpice 中，设置 v_{ID} 从 $-4V_T$(≈−100mV)扫描到 $4V_T$(≈+100mV)，我们得到图 4.44 所示的轨迹。

我们做出以下的结论。

- 在 $v_{ID}=0$ 时，I_{EE} 在 Q_1 和 Q_2 之间等量分流，给出 $i_{C1}=i_{C2}=\alpha_F I_{EE}/2\approx0.5\text{mA}$。对于相同的电流，$R_{C1}$ 和 R_{C2} 有相同的压降，给出 $v_{O1}=v_{O2}=(12-10\times0.5)\text{V}=7\text{V}$。因此，$v_{OD}=v_{O1}-v_{O2}=0$，我们说在 $v_{ID}=0$ 时 EC 对处于直流平衡状态。
- 将 v_{ID} 上升至超过 0V，使得 Q_1 变得更加导通，而 Q_2 导通程度会下降（i_{C1} 上升，i_{C2} 下降）。电流的不平衡导致 v_{O1} 下降，而 v_{O2} 上升，导致 v_{OD} 产生双重下降。
- 当 v_{ID} 到达 $4V_T(\approx100\mu\text{V})$ 左右时，我们可以说几乎全部的 I_{EE} 都来自于 Q_1，而 Q_2 实际上已经截止了，因此，$v_{O1}\approx(12-10\times1)\text{V}=2\text{V}$，$v_{O2}\approx12\text{V}$，所以 $v_{OD}\approx(2-12)\text{V}=-10\text{V}$。进一步提高 v_{ID} 会使 v_{OD} 在 -10V 处饱和。
- 将 v_{ID} 下降低于 0V，使得 Q_2 变得更加导通，而 Q_1 导通程度会下降。Q_1 和 Q_2 的角色互换，因此曲线就关于原点对称。降低 v_{ID} 到 -100mV 以下，会使得 v_{OD} 在 $+10\text{V}$ 处饱和。

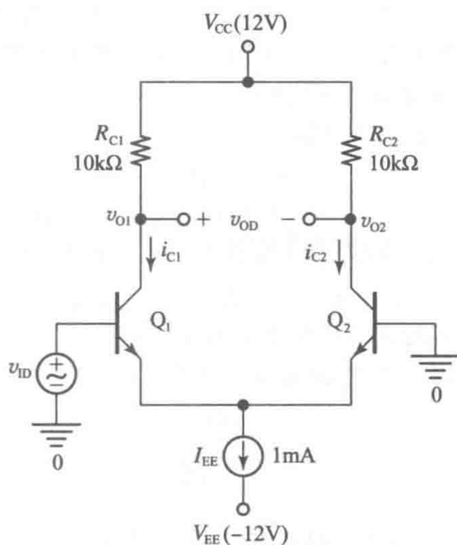
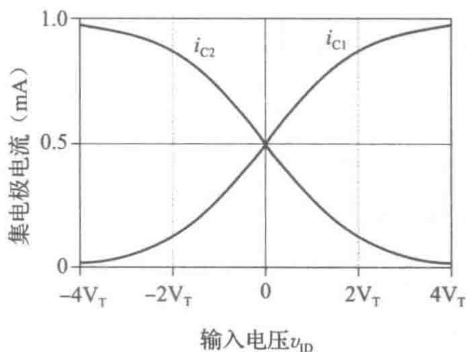


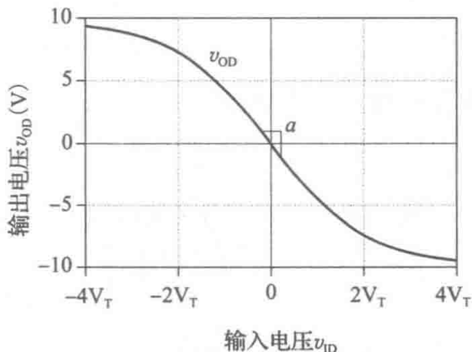
图 4.43　画出 EC 转换曲线的 PSpice 电路，其中 BJT 有 $\beta_F=100$、$I_s=2\text{fA}$

我们对图 4.44 所示的 VTC 特别感兴趣。因为 BJT 是非线性器件，这个曲线自然也是非线性的。然而，若我们将工作区限制在原点附近，此处 VTC 可用其切线近似，所以可写出：

$$v_{od}=av_{id} \tag{4.74}$$



a）集电极电流 i_{C1} 和 i_{C2} 的图形



b）图4.43所示PSpice电路中的集电极电压差值 V_{OD}

图　4.44

式中：v_{od} 和 v_{id} 是 v_{OD} 和 v_{ID} 接近 0V 的微小变化量；a 是原点处 VTC 的斜率，如图 4.44(b) 所示。对式(4.73)微分，在原点处计算所得表达式，得到：

$$a=-\frac{\alpha_F I_{EE}R_C}{2V_T}=-g_m R_C \tag{4.75}$$

式中：

$$g_m=\frac{\alpha_F I_{EE}}{2V_T}\approx\frac{I_{EE}}{2V_T} \tag{4.76}$$

是 BJT 在直流平衡态下的跨导，其中 $I_{C1}=I_{C2}\approx0.5I_{EE}$。VTC 的斜率表示小信号增益 a。当有图 4.43 所示的元件值时，$a\approx-(1/0.052)\times10\text{V/V}=-192\text{V/V}$。注意：与第 2 章电路的不同，发射极耦合对不需要任何电容就实现了这个增益，且其工作频率能一直下降到低频，包括直流。

因为发射极耦合对对输入电压的差异产生响应，其也称为差分放大器。虽然图 4.42 所示的差分对基于 npn BJT，但是也可以用 pnp 器件制造差分放大器，只需将电压和电流极性反转即可(见习题 4.40)。随着学习的深入，我们将遇到 npn 和 pnp 的差分对。

源极耦合对

图 4.45 画出了图 4.42 所示双极型差分对的 MOSFET 版本。其分析过程与 BJT 的情况相似，只是 BJT 的指数特性要用 MOSFET 的二次特性代替(为了保持分析过程简单，在该节中假设 $\lambda=0$、$\gamma=0$)。对输入环路应用 KVL，得到：

$$v_{I1}-v_{GS1}+v_{GS2}-v_{I2}=0$$

即

$$v_{GS1}-v_{GS2}=v_{I1}-v_{I2}$$

假设 MOSFET 是饱和的，用熟悉的二次关系可写出：

$$v_{GS1}=V_{t1}+\sqrt{2i_{D1}/k_1},\quad v_{GS2}=V_{t2}+\sqrt{2i_{D2}/k_2}$$

匹配的 MOSFET 有 $V_{t1}=V_{t2}=V_t$、$k_1=k_2=k$，所以，上述的关系式变为：

$$v_{ID}=v_{I1}-v_{I2}=v_{GS1}-v_{GS2}$$
$$=\frac{\sqrt{i_{D1}}-\sqrt{i_{D2}}}{\sqrt{k/2}} \tag{4.77}$$

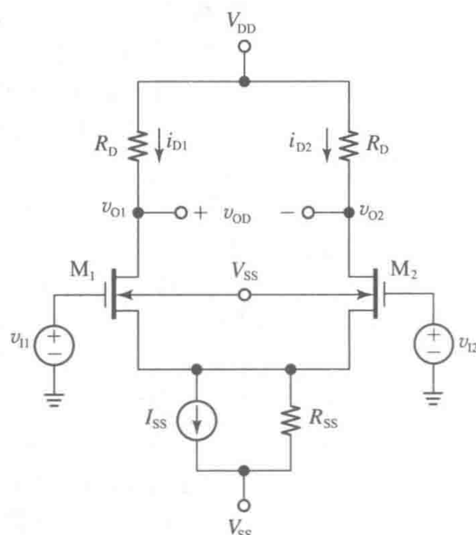


图 4.45 源极耦合(SC)对

由 KCL，晶体管电流满足如下条件：

$$i_{D1}+i_{D2}=I_{SS} \tag{4.78}$$

其中，我们忽略了 R_{SS}，因为在精心设计的电路中它非常大。我们得到关于未知 i_{D1} 和 i_{D2} 的两个方程。令式(4.77)中的 $i_{D2}=I_{SS}-i_{D1}$，两边平方，重新整理得到：

$$\sqrt{i_{D1}(I_{SS}-i_{D1})}=\frac{1}{2}\left(I_{SS}-\frac{k}{2}v_{ID}^2\right)$$

再平方并重新整理，得到：

$$i_{D1}^2-I_{SS}i_{D1}+\frac{1}{4}\left(I_{SS}-\frac{k}{2}v_{ID}^2\right)^2=0$$

求解这个二次方程，并只保留在物理上可接受的解，得到：

$$i_{D1}=\frac{I_{SS}}{2}\left[1+\frac{v_{ID}}{\sqrt{I_{SS}/k}}\sqrt{1-\frac{v_{ID}^2}{4I_{SS}/k}}\right] \tag{4.79a}$$

利用 $i_{D2}=I_{SS}-i_{D1}$，同样可求出：

$$i_{D2}=\frac{I_{SS}}{2}\left[1-\frac{v_{ID}}{\sqrt{I_{SS}/k}}\sqrt{1-\frac{v_{ID}^2}{4I_{SS}/k}}\right] \tag{4.79b}$$

再由 KVL 和欧姆定律可得：

$$v_{O1}=V_{DD}-R_Di_{D1},\quad v_{O2}=V_{DD}-R_Di_{D2}$$

利用式(4.79)的表达式，经过一些简化得到输出端电压差值的表达式为：

$$v_{OD}=v_{O1}-v_{O2}=-R_D\sqrt{kI_{SS}}v_{ID}\sqrt{1-\frac{v_{ID}^2}{4I_{SS}/k}} \tag{4.80}$$

利用 PSpice 可以轻易地画出式(4.79)和式(4.80)的图形。在图 4.46 所示的电路中，令 $v_{I2}=0$，所以在该例中 $v_{ID}=v_{I1}$。在 PSpice 中，设置 v_{ID} 从 −2V 扫描到 +2V，我们得到图 4.47 所示的轨迹。

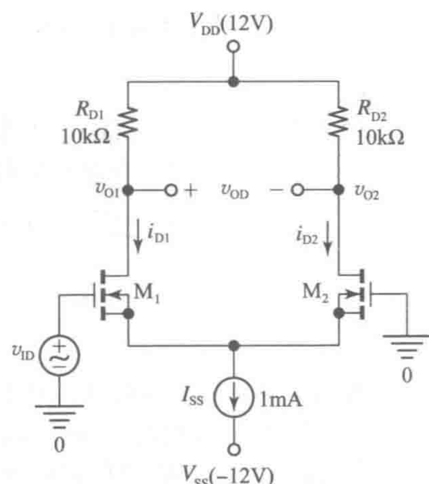
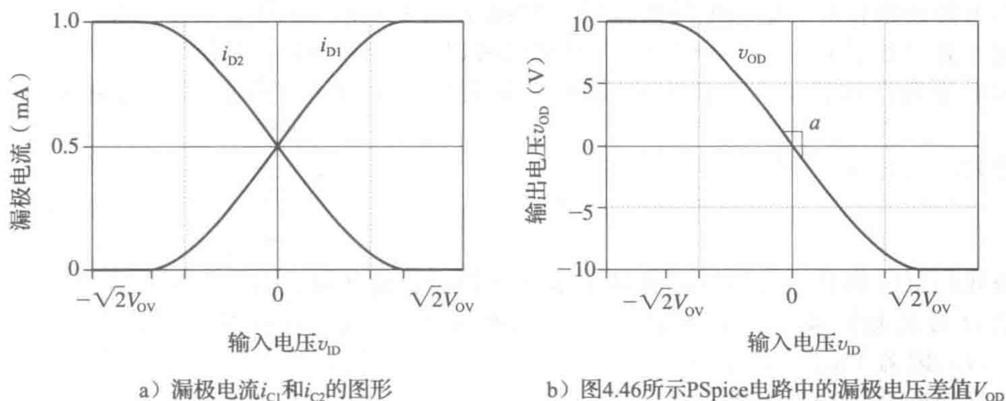


图 4.46



a）漏极电流i_{C1}和i_{C2}的图形　　b）图4.46所示PSpice电路中的漏极电压差值V_{OD}

图　4.47

结合图形我们做出以下结论。

- 在 $v_{ID}=0$ 时，I_{SS}在 M_1 和 M_2 之间等量分流，给出 $i_{D1}=i_{D2}=I_{SS}/2=0.5\text{mV}$。对于相同的电流，$R_{D1}$和 R_{D2}有相同的压降，给出 $v_{O1}=v_{O2}=(12-10\times0.5)\text{V}=7\text{V}$。因此，$v_{OD}=v_{O1}-v_{O2}=0$，我们说在 $v_{ID}=0$ 时 SC 对处于直流平衡状态。维持 $I_{SS}/2$ 的电流需要每个 MOSFET 的过驱动电压 V_{OV}为 $I_{SS}/2=(k/2)V_{OV}^2$，即

$$V_{OV}=\sqrt{\frac{I_{SS}}{k}} \tag{4.81}$$

在本例中，$V_{OV}=\sqrt{1/1}\text{V}=1\text{V}$。

- 将 v_{ID}上升至超过 0V，使得 M_1 变得更加导通，而 M_2 导通程度会下降(i_{D1}上升，i_{D2}下降)。电流的不平衡导致 v_{O1}下降，而 v_{O2}上升，导致 v_{OD}产生双重下降。
- 进一步提高 v_{ID}，会达到一个状态，此时几乎全部的 I_{SS}都来自于 M_1，不来自于 M_2。为此，M_1 的过驱动电压必须是式(4.81)中的$\sqrt{2}$倍，这是由于电流与过驱动电压成二次关系。此时，有 $v_{GS2}=V_t$、$v_{GS1}=V_t+\sqrt{2}V_{OV}$，即 $v_{ID}=\sqrt{2}V_{OV}$，其中 V_{OV}由式(4.81)给出。超过这一点后，电压将会饱和在 $v_{O1}\approx(12-10\times1)\text{V}=2\text{V}$，$v_{O2}\approx12\text{V}$，$v_{OD}\approx(2-12)\text{V}=-10\text{V}$。
- 将 v_{ID}下降到低于 0V，使得 M_2 变得更加导通，而 M_1 的导通程度会下降。M_1 和 M_2 的角色互换，因此曲线就关于原点对称。现在当 $v_{ID}\leqslant-\sqrt{2V}_{OV}$时会发生饱和，其中，$v_{OD}=+10\text{V}$。

我们对图 4.47b 所示的 VTC 特别感兴趣。因为 MOSFET 是非线性器件，这个曲线自然也是非线性的。然而，若我们将工作区限制在原点附近，此处 VTC 可用其切线近似，所以可写出：

$$v_{od}=av_{id} \tag{4.82}$$

式中：v_{od}和 v_{id}是 v_{OD}和 v_{ID}接近 0V 的微小变化量；a 是原点处 VTC 的斜率，如图 4.47(b)所示。对式(4.80)微分，在原点处计算所得表达式，得到：

$$a=-R_D\sqrt{kI_{SS}}=-g_mR_D \tag{4.83}$$

式中：

$$g_m=\sqrt{kI_{SS}} \tag{4.84a}$$

是 MOSFET 在直流平衡态下的跨导。其中 $I_{D1}=I_{D2}=0.5I_{SS}$。VTC 的斜率表示小信号增益 a。当有图 4.46 所示的元件值时，$a\approx-10\times\sqrt{1/1}\text{V/V}=-10\text{V/V}$。注意到这与第 3 章介绍的电路的不同，源极耦合对不需要任何电容就实现了这个增益，且其工作频率能一直下降到低频，包括直流！

因为源极耦合对对输入电压的差异产生响应，因此其也称为差分放大器。虽然图 4.45 所示的差分对基于 n 沟道 MOSFET，但是也可以用 p 沟道器件制造差分放大器，只需将电压和电流极性反转即可(见习题 4.48)。随着学习的深入，我们将遇到两种类型的差分对。

将式(4.48a)重写为：

$$g_{\mathrm{m}} = \frac{I_{\mathrm{SS}}}{V_{\mathrm{OV}}} \tag{4.84b}$$

这使得我们可以将其与式(4.76)的 BJT 表达式做直接的比较：若一个源极耦合对和一个发射极耦合对是相同偏置的，则其跨导的比值为 $g_{\mathrm{m(SC)}}/g_{\mathrm{m(EC)}} = 2V_{\mathrm{T}}/V_{\mathrm{OV}}$。通常，$g_{\mathrm{m(SC)}}/g_{\mathrm{m(EC)}} \ll 1$，因为 $V_{\mathrm{OV}} \gg 2V_{\mathrm{T}}$。

差分对的直观交流分析

虽然 VTC 分析已经提供了小信号增益的表达式，但在日常实践中，通常需要直接通过对电路本身进行交流分析来得到快速估计的交流参数。从不同的视角去分析同一个电路是很必要的，因为这样会加深我们的理解。更不用说，我们可以用一种方法求出结果，再用另一种方法进行验证。

我们先研究图 4.48a 所示的发射极耦合对，其交流等效如图 4.42 所示。在小信号工作状态，图 4.42 所示的 BJT 抽取相同的电流，即

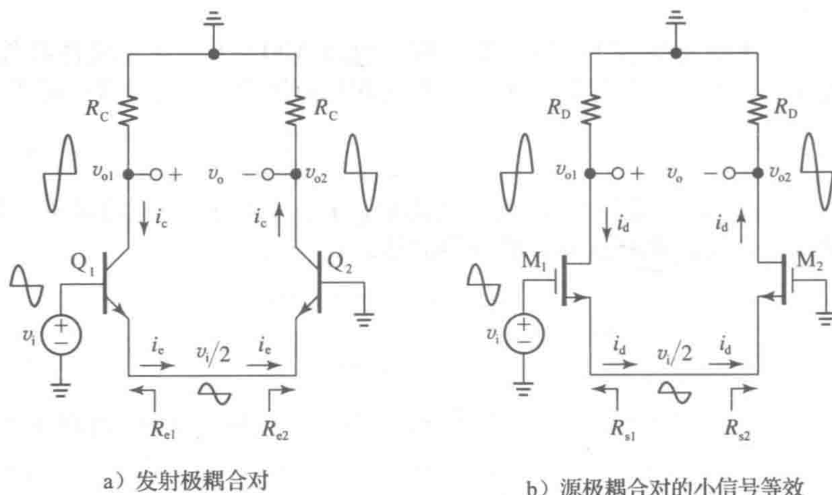
$$I_{\mathrm{C1}} = I_{\mathrm{C2}} = I_{\mathrm{C}} = \frac{\alpha_{\mathrm{F}} I_{\mathrm{EE}}}{2} \approx \frac{I_{\mathrm{EE}}}{2} \tag{4.85}$$

所以它们的跨导是相同的，即

$$g_{\mathrm{m1}} = g_{\mathrm{m2}} = g_{\mathrm{m}} = \frac{I_{\mathrm{C}}}{V_{\mathrm{T}}} \approx \frac{I_{\mathrm{EE}}}{2V_{\mathrm{T}}} \tag{4.86}$$

将注意力集中于图 4.48 所示电路的下方，可将 Q_1 当作一个单位增益射极跟随器，其输出电阻为 R_{e1}，Q_2 提供的电阻 R_{e2} 作为其负载。因为在直流平衡态下 $R_{\mathrm{e1}} = R_{\mathrm{e2}}$，由分压原理，共用的发射极端的交流电压是 $v_{\mathrm{i}}/2$，如图 4.48b 所示。流入 Q_1 集电极的电流是 $i_{\mathrm{c}} = g_{\mathrm{m1}}$，$v_{\mathrm{be1}} = g_{\mathrm{m1}}(v_{\mathrm{b1}} - v_{\mathrm{e1}}) = g_{\mathrm{m1}}(v_{\mathrm{i}} - v_{\mathrm{i}}/2) = g_{\mathrm{m}} v_{\mathrm{i}}/2$。从 Q_1 发射极流出的电流 $i_{\mathrm{e}}(=i_{\mathrm{c}}/\alpha_0)$，流入了 Q_2 的发射极，并从 Q_2 集电极以 $\alpha_0 i_{\mathrm{e}}$ 流出，即以 i_{c} 流出(实际上，$v_{\mathrm{be1}} = v_{\mathrm{i}}/2$ 和 $v_{\mathrm{be2}} = -v_{\mathrm{i}}/2$，证明了两个 i_{c} 电流大小相等方向相反)。由 KVL 和欧姆定律，可得 $v_{\mathrm{o}} = v_{\mathrm{o1}} - v_{\mathrm{o2}} = -R_{\mathrm{C}} i_{\mathrm{c}} - (R_{\mathrm{C}} i_{\mathrm{c}}) = -2R_{\mathrm{C}} i_{\mathrm{c}} = -2R_{\mathrm{C}} g_{\mathrm{m}} v_{\mathrm{i}}/2 = -g_{\mathrm{m}} R_{\mathrm{C}} v_{\mathrm{i}}$，所以，有：

$$a = \frac{v_{\mathrm{o}}}{v_{\mathrm{i}}} = -g_{\mathrm{m}} R_{\mathrm{C}} \tag{4.87}$$



a）发射极耦合对　　　　b）源极耦合对的小信号等效

图　4.48

式中：a 是熟悉的发射极耦合对的差分增益。将其表示为另一种形式：

$$a = -\frac{R_C I_{EE}/2}{V_T} \tag{4.88}$$

只需求出直流平衡态下集电极电阻的电压 $R_C \times (I_{EE}/2)$ 和热电压 V_T 的比值，我们就可以由式(4.88)估算发射极耦合对的增益。回顾第 2 章，在 $|v_{be}| \ll 2V_T$ 时，小信号近似成立。考虑到这点，现在我们有 $v_{be1} = -v_{be2} = v_i/2$，则小信号条件是：

$$|v_i| \ll 4V_T \tag{4.89}$$

因此，为了使小信号近似成立，且误差不超过 10%，我们近似需要 $|v_i| \leqslant 10\text{mV}$。

再考虑图 4.48b 所示的源极耦合对，它是图 4.45 所示电路的交流等效图，我们注意到它与图 4.48a 所示的 BJT 版本高度相似，因此我们可以利用之前得到的大量结果。因此，在直流平衡态，MOSFET 抽取相等的直流电流，即

$$I_{D1} = I_{D2} = I_D = \frac{I_{SS}}{2} \tag{4.90}$$

所以它们的跨导相同，即

$$g_{m1} = g_{m2} = g_m = \sqrt{kI_{SS}} \tag{4.91}$$

我们可以将 M_1 看作一个单位增益源跟随器，它的输出电阻为 R_{s1}，负载电阻是从 M_2 源极看进去的电阻 R_{s2}。因为在直流平衡态下，$R_{s1} = R_{s2}$，由分压器定理可知，共用源极端的交流电压是 $v_i/2$，如图 4.48(b)所示。流入 M_1 漏极的交流电流是 $i_d = g_{m1} v_{gs1} = g_{m1}(v_{g1} - v_{s1}) = g_m v_i/2$。这个电流从 M_1 的源极流出，再进入 M_2 的源极，最后从 M_2 的漏极流出(由 $v_{gs1} = v_i/2$、$v_{gs2} = -v_i/2$，可证实两个 i_d 电流大小相同、方向相反)。最后，$v_o = v_{o1} - v_{o2} = -R_D i_d - (R_D i_d) = -2R_D g_m v_i/2 = -R_D g_m v_i$，所以，有：

$$a = \frac{v_o}{v_i} = -g_m R_D \tag{4.92}$$

这是熟悉的源极耦合对的差分增益。将其表示为另一种形式：

$$a = -\frac{R_D I_{SS}/2}{0.5V_{OV}} \tag{4.93}$$

只需求出直流平衡态下漏极电阻的电压 $R_D \times (I_{SS}/2)$ 与过驱动电压一半的比值，就可以由式(4.93)估算出源极耦合对的差分增益。回顾第 3 章，在 $|v_{gs}| \ll 2V_{OV}$ 时，小信号近似成立。考虑到这点，我们有 $v_{gs1} = -v_{gs2} = v_i/2$，小信号条件现在是：

$$|v_i| \ll 4V_{OV} \tag{4.94}$$

观察图 4.47b 所示曲线，其中，$V_{OV} = 1\text{V}$，我们看到一个合适的选择是将输入限制在 $|v_i| \leqslant 0.5V_{OV}$(在本例中为 0.5V)。

4.6　差分对的共模抑制比

顾名思义，一个差分对放大器仅对差值 $v_{id} = v_{i1} - v_{i2}$ 有响应，而不管单独的 v_{i1} 和 v_{i2} 值。例如，当接受以下的输入对

$$(v_{i1}, v_{i2}) = (0.005\text{V}, 0.000\text{V}), (1.005\text{V}, 1.000\text{V}), (-2.000\text{V}, -2.005\text{V})$$

时，一个增益为 −100V/V 的差分放大器只会对其差值响应(在各例中 $v_{id} = 5\text{mV}$)，尽管第一种情况下单个输入在 0V 附近，第二种情况在 1V 附近，第三种情况在 −2V 附近，但是结果都是 $v_o = -100 \times 5\text{mV} = -500\text{mV}$。为了进行更系统的分析，定义差模输入为：

$$v_{id} = v_{i1} - v_{i2} \tag{4.95a}$$

及其平均，或者共模输入为：

$$v_{ic} = \frac{v_{i1} + v_{i2}}{2} \tag{4.95b}$$

利用这些等式，我们可以将原始信号表示为更好理解的形式：

$$v_{i1}=v_{ic}+\frac{v_{id}}{2},\quad v_{i2}=v_{ic}-\frac{v_{id}}{2} \tag{4.96}$$

用图 4.49 所示电路来描述这个过程。基于这个分解，我们可以简洁地表述为：一个差分放大器仅对 v_{id} 响应，而不管 v_{ic}。

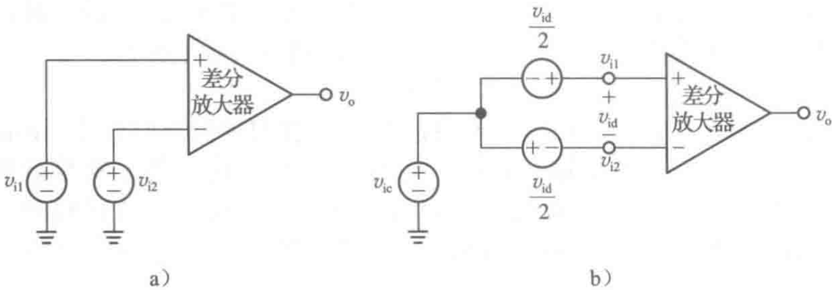


图 4.49　将 a)差分放大器的输入信号 v_{i1} 和 v_{i2} 表示为 b)其共模和差模分量 v_{ic} 和 v_{id} 的和

在实际应用中，因为产生 v_{i1} 和 v_{i2} 的两个半个电路不可避免地会产生不平衡，一个实际的放大器也会对 v_{ic} 有一些响应。小信号输出表现为一个更一般的形式：

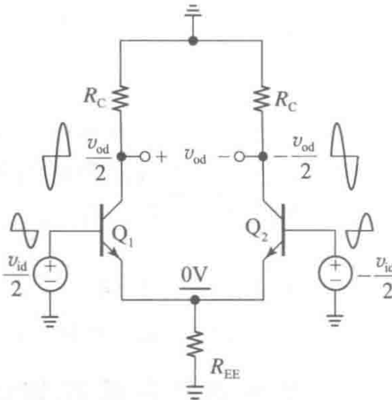
$$v_o=a_{dm}v_{id}+a_{cm}v_{ic} \tag{4.97}$$

式中：a_{dm} 和 a_{cm} 分别是差模增益和共模增益。理想情况下，a_{cm} 应该是 0，但在实际中虽然非常小，却不是 0。为了表示一个实际的差分对与理想情况有多接近，我们用称为共模抑制比(CMRR)品质因素来表示：

$$\text{CMRR}=\left|\frac{a_{dm}}{a_{cm}}\right| \tag{4.98}$$

在一个高质量的差分放大器中，这个值应该很大，如 10^5，所以 CMRR 通常用分贝表示($20\lg 10^5=100\text{dB}$)。

以地为参考点，图 4.49 所示的 v_{i1} 和 v_{i2} 都称为单端信号。当一个信号沿着导线或印制电路流动时，它会受到附近电路各种各样的噪声影响，这些噪声来源于电容及电感耦合，以及一些非理想的公共地或路径。因此，当信号到达目的地时，其可能已经受到了显著的干扰，使得从中提取出有用的信号成为一项很艰难的任务。一个高明的手段是采用双端信号，那么有用的信号是一对专用导线之间的电压差值 v_{id}，而不再是单端导线与地之间的差值。如果这些导线是并行且互相靠近，那么干扰对它们的影响是一样的，从而表现为共模分量 v_{ic}。接着，用高 CMRR 的差分放大器处理双端信号，将会放大 v_{id}，同时抑制 v_{ic}，从而保持了高度的信号完整性。

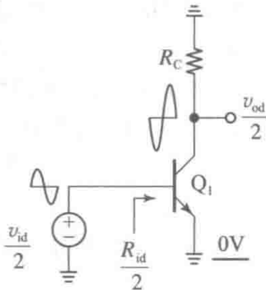


a) 求发射极耦合对差模参数的交流电路

发射极耦合对的 CMRR 和输入电阻

我们希望求出图 4.42 所示的发射极耦合对的 CMRR、参考图 4.49b 所示电路和式(4.97)，过程分为两步。首先，令 $v_{ic}=0$，求出 $a_{dm}=v_o/v_{id}$。再令 $v_{id}=0$，求出 $a_{cm}=v_o/v_{ic}$。最后，将结果代入式(4.98)。

在 $v_{ic}=0$ 时，图 4.42 所示的电路变为图 4.50a 所示的交流等效。观察电路的下方，我们可以将 Q_1 和 Q_2 看作射极跟随器，其中 Q_1 尝试将公共射极电压 v_e 拉高，Q_2 尝试将 v_e 拉低相等的量。因此，v_e 仍然处于交流地。另外，v_{od} 在两个电路上等分，在 Q_1 的集电极上，有



b) 差模的一半电路

图　4.50

$v_{od}/2$，在 Q_2 的集电极上，有 $-v_{od}/2$。

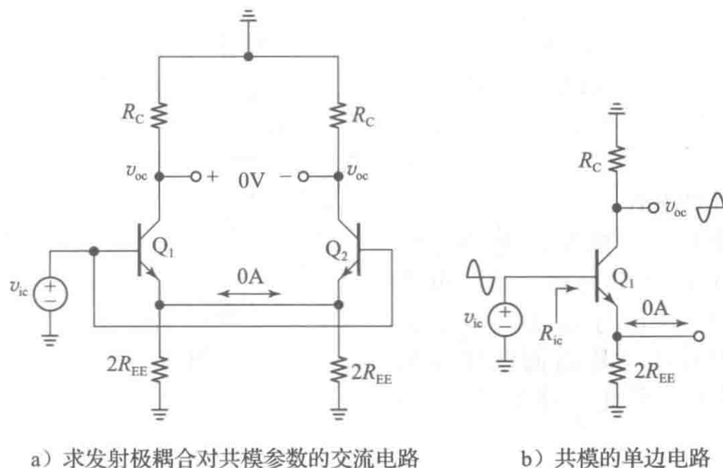
我们只需关注电路的一半，即左半部分，如图 4.50b 所示(注意到，因为共射极节点是处于交流地的，R_{EE} 在这种情况下不起作用)。这是我们熟悉的 CE 结构，其中，$v_{od}/2=-g_m(R_C \mathbin{/\mkern-5mu/} r_o)(v_{id}/2)$，所以，有：

$$a_{dm}=\frac{v_{od}}{v_{id}}=-g_m(R_C \mathbin{/\mkern-5mu/} r_o) \tag{4.99}$$

这是已经熟悉的结果，但通过半边电路对其验证的分析方法，将有助于研究平衡时的工作状态。

接着，令 $v_{id}=0$，可将图 4.42 所示的电路化简为图 4.51a 所示的电路，其中，将 R_{EE} 拆分为两个 $2R_{EE}$ 并联的原因，下面就会讲到。因为两边电路相同，且由相同的电压 v_{ic} 驱动，集电极电压也是相等的，所以可用相同的符号 v_{oc} 表示它们。而且，连接两发射极的导线中没有电流流过，所以我们可以移除这根导线，这不会影响电路的工作状态。我们只关注一半的电路，也就是左半电路，如图 4.51b 所示。这是我们熟悉的 CE-ED 电路，对其我们可以求出：

$$a_{cm}=\frac{v_{oc}}{v_{ic}}=-\frac{g_m R_C}{1+2g_m R_{EE}} \tag{4.100}$$



a) 求发射极耦合对共模参数的交流电路 b) 共模的单边电路

图 4.51

在这种情况下 r_o 已经被忽略了，因为发射极简并显著地提升了其值。

根据差分对的输出的预期用途，有两种如下可能情况。

- 输出从两个集电极中的一个输出，其是单端的。在这种情况下，CMRR 是式(4.99)中增益与式(4.100)增益比值的一半。若忽略 r_o，这个比值可以简化为：

$$\text{CMRR}\approx\frac{1}{2}+g_m R_{EE}\approx g_m R_{EE} \tag{4.101}$$

- 若输出是差分的，即从两个集电极输出。无论 v_{ic} 是多少，电压差值都是 0，那在这种情况下，有 $a_{cm}=(v_{o1}-v_{o2})/v_{ic}=0$，所以式(4.98)给出：

$$\text{CMRR}=\infty \tag{4.102}$$

这最后的(式(4.102))是对两边完美对称的电路的预测结果。在实际中，两边电路不可避免地会产生失配，这会导致 CMRR 不是无穷大的极限值，我们马上将会学习到。

对于一个发射极耦合对，一旦我们也知道了它的差模和共模输入电阻 R_{id} 和 R_{ic}，它就被完全描述了。参考图 4.50b 所示电路，观察到 $R_{id}/2=r_\pi$，所以发射极耦合对输入级之间的总电阻是两边电阻之和，即

$$R_{id} = 2r_{\pi} \tag{4.103}$$

另一方面，根据图 4.51b 所示电路，两边输入与地之间的电阻是：

$$R_{ic} = r_{\pi} + 2(\beta_0 + 1)R_{EE} \tag{4.104}$$

这个值可能相当大，此时需要将 r_{μ} 纳入考虑。

例 4.18 (a) 在图 4.42 所示的双极差分对中，令 $V_{CC} = -V_{EE} = 5V$，$I_{EE} = 0.2mA$，$R_C = 30k\Omega$，$R_{EE} = 500k\Omega$。若 $\beta_0 = 200$，$V_A = 75V$，$r_{\mu} = 1\,000r_o$，求出 a_{dm}，a_{cm}，CMRR(dB)，R_{id}，R_{ic}。

(b) 假设输入被连在一起，并由共模电压 v_{IC} 驱动。假设 $v_{BE(on)} = 0.6V$、$V_{CE(EOS)} = 0.2V$，求出使得 BJT 仍工作在正向有源区的 v_{IC} 最大值。

解：

(a) 我们有 $I_C \approx I_{EE}/2 = (0.2/2)mA = 0.1mA$，$g_m = (0.1/26)1/\Omega = 1/(260\Omega)$，$r_{\pi} = (200 \times 260)\Omega = 52k\Omega$，$r_o = (75/0.1)\mu\Omega = 750k\Omega$，因此 $r_{\mu} = 750M\Omega$。那么 $a_{dm} = (-(30 /\!/ 750)/0.260)V/V = -111V/V$，$a_{cm} = (-(30/0.26)/(1 + 2 \times 500/0.26))V/V = -0.03V/V$，单端 CMRR$=500/0.260=1\,923=65.7$dB，差分 CMRR$=\infty$，$R_{id} = 2 \times 52k\Omega = 104k\Omega$，$R_{ic} \approx ((0.52 + 2 \times 201 \times 0.5) /\!/ 750)k\Omega = (201 /\!/ 750)k\Omega = 159M\Omega$($r_{\mu}$ 的影响可以忽略)。

(b) 在直流平衡态下，有 $V_C = (5 - 30 \times 0.1)V = 2V$。为了使 BJT 到达饱和边缘，我们需要将其公共射极电压提高到 $V_E = V_C - V_{CE(EOS)} = (2-0.2)V = 1.8V$。因此，$v_{IC(max)} = V_E + V_{BE(on)} = 1.8V + 0.6V = 2.4V$。◀

源极耦合对的 CMRR

对双极型差分对应用的单边电路分析技术也适用于 MOSFET 差分对。这些电路如图 4.52 所示，因为它与双极型版本相似，因此我们可以重新运用前面已经得出的大多数结果和等式。因此，对于图 4.52a 所示的单边电路，给出：

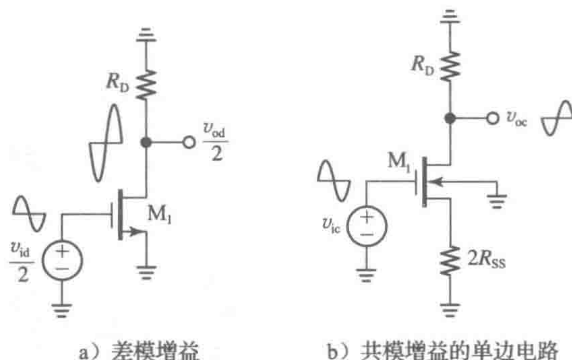


图 4.52 求源极耦合对

$$a_{dm} = \frac{v_{od}}{v_{id}} = -g_m(R_D /\!/ r_o) \tag{4.105}$$

同样地，由式(4.39a)，对于图 4.52b 所示的单边电路，给出：

$$a_{cm} = \frac{v_{oc}}{v_{ic}} = -\frac{g_m R_D}{1 + 2(g_m + g_{mb})R_{SS} + (R_D + 2R_{SS})/r_o} \tag{4.106}$$

式中：g_{mb}是体跨导。当做单端使用时，CMRR 是式(4.105)中增益与式(4.106)增益比值的一半。若 r_o 足够大，近似有：

$$\text{CMRR} \approx \frac{1}{2} + (g_m + g_{mb})R_{SS} \approx (g_m + g_{mb})R_{SS} \tag{4.107}$$

对于差分输出使用的情况，有：

$$\text{CMRR} = \infty \tag{4.108}$$

与 BJT 相比，MOSFET 的优点是：

$$R_{id} = R_{ic} = \infty \tag{4.109}$$

例 4.19 (a) 在图 4.45 所示的 MOSFET 差分对中，令 $V_{DD} = -V_{EE} = 2.5V$，$I_{SS} = 0.2mA$，$R_D = 10k\Omega$，$R_{SS} = 1M\Omega$。若 MOSFET 有 $k = 1.25\ mA/V^2$，$V_t = 0.4V$，$\chi = 0.2$，$\lambda = 1/(10V)$，求出 a_{dm}，a_{cm}，CMRR。

(b) 若输入被接在一起，并由共模电压 v_{IC} 驱动，使得 MOSFET 仍工作在饱和区的 v_{IC}

最大值为多少？

解：

(a) $I_D \approx I_{SS}/2=(0.2/2)\text{mA}=0.1\text{mA}$，$g_m=(2kI_D)^{1/2}=(2\times1.25\times0.1)^{1/2}\text{mA/V}=0.5\text{mA/V}$，$r_o=1/(\lambda I_D)=(10/0.1)\text{k}\Omega=100\text{k}\Omega$；$a_{dm}=-0.5\times(10 /\!/ 100)\text{V/V}=-4.55\text{V/V}$，$a_{cm}=(-0.5\times10/[1+2\times(1.2\times0.5\times1\,000)+(10+2\,000)/100])\text{V/V}=-4.1\times10^{-3}\text{V/V}$；单端 CMRR$=0.5\times1.2\times1\,000=600=55.6$dB，差分 CMRR$=\infty$。

(b) 在直流平衡态，有 $V_D=(2.5-10\times0.1)\text{V}=1.5\text{V}$。为了使 MOSFET 到达饱和的边缘，需要将 v_{IC} 上升到 $V_{DS}=V_{OV}$，即 $V_S=V_D-V_{OV}$。相应地输入记为 $v_{IC(max)}$，其为 $v_{IC(max)}=V_S+(V_t+V_{OV})=V_D-V_{OV}+V_t+V_{OV}=V_D+V_t=1.5\text{V}+0.4\text{V}=1.9\text{V}$。◀

失配对 CMRR 的影响

对于完全匹配的单边电路，图 4.53a 所示电路中集电极电阻的压降相同，所以集电极信号相互抵消，给出 $a_{cm}=(v_{o1}-v_{o2})/v_{ic}=0/v_{ic}=0$,，所以由式(4.98)得 CMRR$=\infty$(相同的考量，对于图 4.53b 所示的 MOSFET 电路一样成立，所以下面的分析对发射极耦合对和源极耦合对都适用)。实际上，一个差分对的两边电路更可能是不匹配的，哪怕差别很细微，所以研究失配对 CMRR 的影响是有意义的。纳入考虑的两个主要因素是，(a)失配集电极电阻 R_{C1} 和 R_{C2}；(b)失配 BJT 跨导 g_{m1} 和 g_{m2}。有：

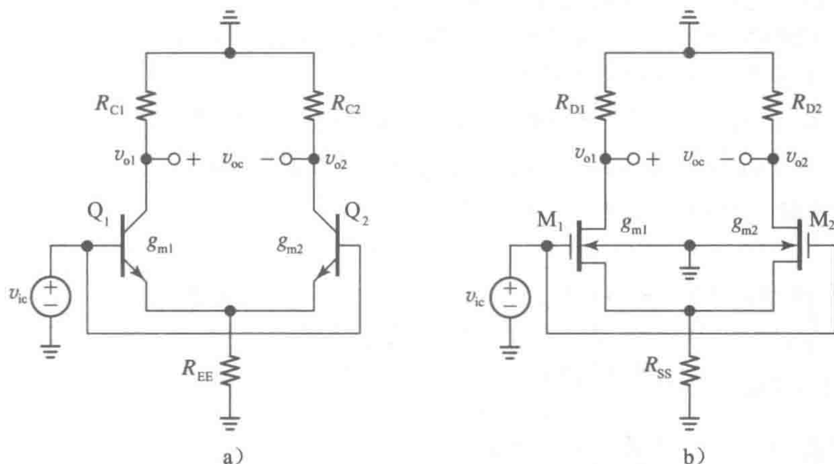


图 4.53　研究 R 和 g_m 失配对 CMRR 影响的交流电路

$$a_{dm}=\frac{v_{od}}{v_{id}}\approx -g_mR_C \tag{4.110}$$

我们假设这些失配足够小，且依然可以近似有：

$$g_m=\frac{g_{m1}+g_{m2}}{2},\quad R_C=\frac{R_{C1}+R_{C2}}{2}$$

而且，在图 4.53a 所示电路中，对于足够小的失配，依然近似有：

$$a_{cm}=\frac{v_{o1}-v_{o2}}{v_{ic}}\approx -\frac{g_{m1}R_{C1}-g_{m2}R_{C2}}{1+2g_mR_{EE}} \tag{4.111}$$

引出差值为：

$$\Delta g_m=g_{m1}-g_{m2},\quad \Delta R_C=R_{C1}-R_{C2}$$

显然单个的跨导和电阻可以分别表示为：

$$g_{m1}=g_m+\frac{\Delta g_m}{2},\quad g_{m2}=g_m-\frac{\Delta g_m}{2}$$

$$R_{C1}=R_C+\frac{\Delta R_C}{2},\quad R_{C2}=R_C-\frac{\Delta R_C}{2}$$

将其代入式(4.111)，得到：

$$a_{cm} \approx -\frac{(g_m+\frac{\Delta g_m}{2})(R_C+\frac{\Delta R_C}{2})-(g_m-\frac{\Delta g_m}{2})(R_C-\frac{\Delta R_C}{2})}{1+2g_mR_{EE}}$$

展开并忽略高阶项(Δ 的乘积项，即平方项)，化简得：

$$a_{cm} \approx -\frac{g_m\Delta R_C+\Delta g_mR_C}{1+2g_mR_{EE}} \tag{4.112}$$

最后，将式(4.112)和式(4.110)代入式(4.98)，得到：

$$\text{CMRR} \approx \frac{1+2g_mR_{EE}}{\Delta R_C/R_C+\Delta g_m/g_m} \tag{4.113}$$

式(4.113)将失配互相增强，表示的是最坏情况。然而，失配的两个原因通常是不相关的，所以对发射极耦合对的 CMRR，一个更实际的估计为：

$$\text{CMRR}_{(\text{BJT})} \approx \frac{1+2g_mR_{EE}}{\sqrt{(\Delta R_C/R_C)^2+(\Delta g_m/g_m)^2}} \tag{4.114a}$$

我们将这个表达式应用于图 4.53b 所示的源极耦合对，并写出：

$$\text{CMRR}_{(\text{MOS})} \approx \frac{1+2(g_m+g_{mb})R_{SS}}{\sqrt{(\Delta R_D/R_D)^2+(\Delta g_m/g_m)^2}} \tag{4.114b}$$

显然对于给定的失配值，CMRR 近似与偏置电流沉呈现出的等效电阻 R_{EE} 或 R_{SS} 呈线性关系。为了保证 CMRR 值较高，信号源通常是一个高输出电阻的源，如共源共栅信号源，或是其他将在 4.8 节研究的信号源类型。

例 4.20 (a) 假设一个源极耦合对的 g_m 处在$(100\pm10)\mu$A/V 的范围内，漏极电阻允许有±5%的偏差。若 $\chi=0.15$、$R_{SS}=500$kΩ，估计最坏情况下的 CMRR。若偏差是不相关的呢？

(b) 求出保证 CMRR≥60dB 的电阻 R_{SS}。

解：

(a) 通过观察，$\Delta R_D/R_D=0.1$。且有 $g_m+g_{mb}=(1+\chi)g_m=115\mu$A/V，$\Delta g_m=20\mu$A/V，$\Delta g_m/g_m=20/100=0.2$。在最坏的情况下，有：

$$\text{CMRR} \approx \frac{1+2(115)\,10^{-6}\times500\times10^3}{0.1+0.2}=\frac{116}{0.3}=387=51.7\text{dB}$$

若失配是不相关的，用式(4.114b)写出：

$$\text{CMRR} \approx \frac{116}{\sqrt{0.1^2+0.2^2}}=\frac{116}{0.224}=519=54.3\text{dB}$$

(b) 为了将 CMRR 上升到 60dB，即 1 000，我们需要成比例地提高 R_{SS}，$R_{SS}=(500\text{k}\Omega)\times(1\,000/519)=964\text{k}\Omega$。◀

4.7 差分对的输入失调电压/电流

若我们将图 4.54 所示双极型差分对的输入端都接地，可预期 $V_o=0$。然而，因为制造工艺的变化，两边的电路可能有一些失配，产生一个输出误差 $E_O\neq0$。我们可以将失配的影响表示为图 4.44b 所示 VTC 的向左或向右移动，这取决于失配的方向。若想使得输出为 0，我们需要加入一个输入校正电压，以使 VTC 向相反的方向偏移，直到其通过原点。这个校正电压称为输入失调电压 V_{OS}，如图 4.54b 所示。观察可知，通过将 E_O 的负数折算到输入，就可求出 V_{OS}，即

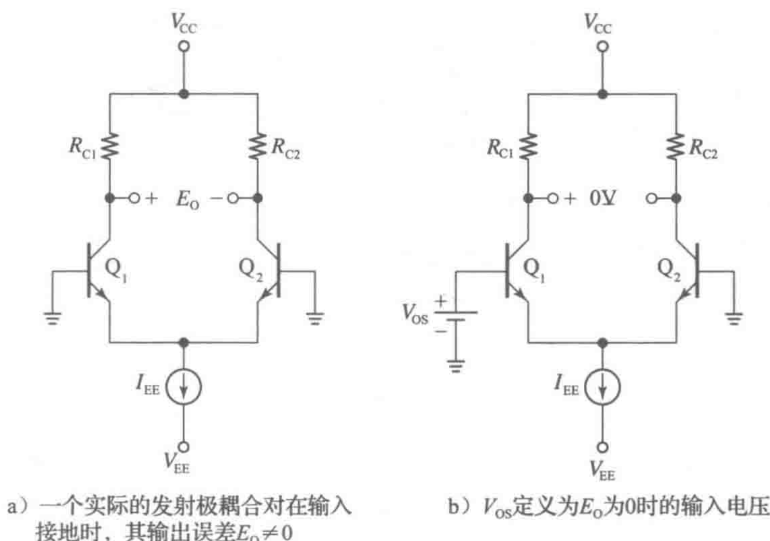
$$V_{OS}=\frac{E_O}{-a_{dm}} \tag{4.115}$$

式中：a_{dm}是所考虑差分对的差模增益。

发射极耦合对的输入失调电压

影响发射极耦合对 V_{OS}的主要因素有两个：(a)失配的集电极电阻 R_{C1} 和 R_{C2}；(b)失配

的 BJT 饱和电流 I_{s1} 和 I_{s2}。由式(2.11)，I_{s1} 和 I_{s2} 之间的失配来源于发射极面积 A_{E1} 和 A_{E2} 的失配、基区宽度 W_{B1} 和 W_{B2} 的失配、基区掺杂剂量的不同及器件不同的工作温度。而且，由于厄利效应的存在，W_{B1} 和 W_{B2} 由电压 V_{CE1} 和 V_{CE2} 决定，所以即使两个 BJT 是完全一样的，其在不同的 V_{CE} 值下工作时，也会产生饱和电流失配。



a）一个实际的发射极耦合对在输入接地时，其输出误差 $E_O \neq 0$

b）V_{OS} 定义为 E_O 为0时的输入电压

图　4.54

- 为了研究 R_{C1} 和 R_{C2} 失配的影响，假设 BJT 是完全匹配的，所以在图 4.54a 所示的电路中，有 $I_{C1}=I_{C2}\approx I_{EE}/2$。其对 E_O 的影响是：

$$E_{O1}=V_{CC}-R_{C1}I_{C1}-(V_{CC}-R_{C2}I_{C2})=-\Delta R_C\frac{I_{EE}}{2}$$

式中：$\Delta R_C=R_{C1}-R_{C2}$。将上式除以 $-a_{dm}\approx g_m R_C$，其中，R_C 代表两个电阻的平均值，即 $R_C=(R_{C1}+R_{C2})/2$，且 $g_m=(I_{EE}/2)V_T$，可得到：

$$V_{OS1}\approx -V_T\frac{\Delta R_C}{R_C} \tag{4.116}$$

- 为了研究 I_{s1} 和 I_{s2} 失配的影响，假设电阻是完全匹配的。因为图 4.54a 所示的 BJT 工作在相同的驱动电压 V_{BE} 下，I_{EE} 对 Q_1 和 Q_2 的分流与 I_{s1} 和 I_{s2} 成比例，即

$$I_{C1}\approx\frac{I_{EE}}{2}\left(1+\frac{\Delta I_s}{2I_s}\right),\quad I_{C2}\approx\frac{I_{EE}}{2}\left(1-\frac{\Delta I_s}{2I_s}\right)$$

式中：$\Delta I_s=I_{s1}-I_{s2}$；$I_s=(I_{s1}+I_{s2})/2$。其对 E_O 的影响是：

$$E_{O2}=V_{CC}-R_C I_{C1}-(V_{CC}-R_C I_{C2})=-R_C\frac{I_{EE}}{2}\frac{\Delta I_s}{I_s}$$

再除以 $-a_{dm}$，得到：

$$V_{OS2}\approx -V_T\frac{\Delta I_s}{I_s} \tag{4.117}$$

注意到式(4.116)和式(4.117)中的负号是不相关的，因为失配可以在任一方向产生，这取决于制造工艺的随机变动。习惯上去掉负号，将 V_{OS} 表示为一个正直。通常产生失调电压的两个原因是不相关的，所以总的失调电压常估计为：

$$V_{OS}\approx V_T\sqrt{\left(\frac{\Delta R_C}{R_C}\right)^2+\left(\frac{\Delta I_s}{I_s}\right)^2} \tag{4.118}$$

例 4.21 假设例 4.18 中的发射极耦合对是由允许误差为±5%的电阻和允许饱和电流误差为±10%的 BJT 构造成的。估算 V_{OS} 和 E_O。

解：

我们有 $\Delta R_C/R_C=0.1$，$\Delta I_s/I_s=0.2$。应用式(4.118)，得到：

$$V_{OS}\approx(26\text{mV})\sqrt{(0.1)^2+(0.2)^2}=5.8\text{mV}$$

注意到 V_{OS} 可正可负，这取决于失配的方向。$E_O=|a_{dm}|V_{OS}=111\times5.8\text{mV}=644\text{mV}$。◀

发射极耦合对的输入偏置电流和失调电流

当一个发射极耦合对由含有非零串联电阻的信号源驱动时，流入 BJT 基极的电流是值得研究的，因为这些电流流过源极电阻后会产生压降，这可能会明显地破坏差分对的直流平衡态。对于完全匹配的器件，基极电流有 $I_{B1}=I_{B2}=I_B$，其中，

$$I_B=\frac{I_{EE}}{2(\beta_F+1)} \tag{4.119}$$

然而，两个 BJT 中任何的 β_F 失配会导致基极电流的失配。若将发射极耦合对的输入偏置电流 I_B 和输入失调电流定义为：

$$I_B=\frac{I_{B1}+I_{B2}}{2},\quad I_{OS}=I_{B1}-I_{B2} \tag{4.120}$$

那么 $\Delta\beta_F$ 的失配会导致 $I_{OS}\neq0$。这两者的关系是：

$$I_{OS}\approx-I_B\frac{\Delta\beta_F}{\beta_F} \tag{4.121}$$

式中 $\beta_F=(\beta_{F1}+\beta_{F2})/2$。例如，对于 β10%的失配，I_{OS}就是 I_B 的 10%。

源极耦合对的输入失调电压

在源极耦合对中产生 V_{OS}的三个主要因素是：(a)漏极电阻 R_{D1}和 R_{D2}不匹配；(b)器件跨导参数 k_1和 k_2；(c)阈值电压 V_{t1}和 V_{t2}的不匹配。通过式(3.13)和式(3.14)，k_1和 k_2之间的不匹配来源于宽长比 W_1/L_1和 W_2/L_2，以及氧化层厚度 t_{ox}和一个器件到另一个器件的温度梯度。通过式(3.7)到式(3.9)，V_{t1}和 V_{t2}之间的不匹配是注入密度，氧化层厚度，以及两个器件间温度不同的结果。最终，由于沟道调制效应，L_1和 L_2取决于电压 V_{OS1}和 V_{OS2}，因此即使两个 MOSFET 制造完全相同，如果工作在不同的 V_{DS}值下，仍然会显示出跨导参数失配。

- 为了研究 R_{D1}和 R_{D2}失配的影响，按双极型情形分析得到：

$$E_{O1}\approx-\Delta R_D\frac{I_{SS}}{2}$$

式中：$\Delta R_D=R_{D1}-R_{D2}$。除以 $-a_{dm}\approx g_mR_D$，R_D表示两个电阻的平均值，即 $R_D=(R_{D1}+R_{D2})/2$，同时 $g_m=2(I_{SS}/2)/V_{OV}=I_{SS}/V_{OV}$，我们得到：

$$V_{OS1}\approx-\frac{V_{OV}}{2}\frac{\Delta R_D}{R_D} \tag{4.122}$$

式中：V_{OV}是式(4.81)的直流平衡过驱动电压。

- 为了研究 k_1和 k_2失配的影响，现在假设电阻完全匹配，以及 MOSFET 阈值电压相同。由于图 4.55a 所示的 MOSFET 受到相同的过驱动电压 V_{OV}，电流 I_{SS}按比例 k_1和 k_2 在 M_1 和 M_2 之间分配，即

$$I_{D1}=\frac{I_{SS}}{2}\left(1+\frac{\Delta k}{2k}\right),\quad I_{D2}=\frac{I_{SS}}{2}\left(1-\frac{\Delta k}{2k}\right)$$

式中：$\Delta k=k_1-k_2$；$k=(k_1+k_2)/2$。因此，有：

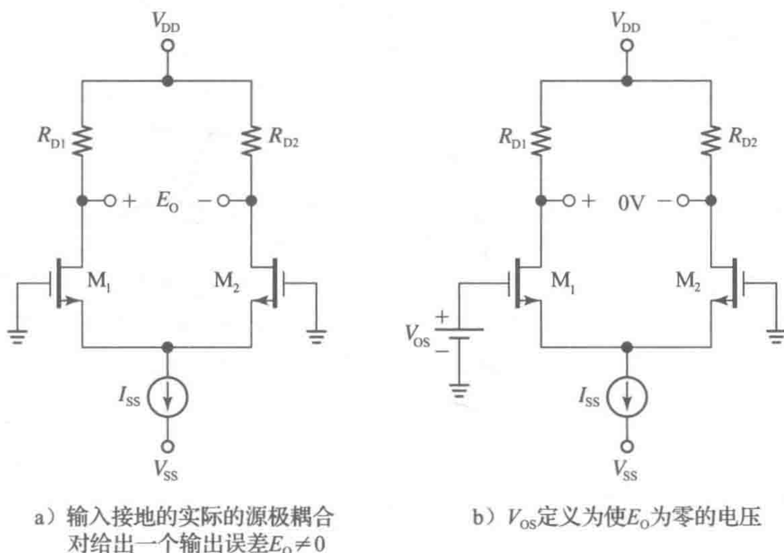
$$E_{O2}=V_{DD}-R_DI_{D1}-(V_{DD}-R_DI_{D2})=-R_D\frac{I_{SS}}{2}\frac{\Delta k}{k}$$

再除以 $-a_{dm}\approx g_mR_D$，我们得到：

$$V_{OS2}\approx-\frac{V_{OV}}{2}\frac{\Delta k}{k} \tag{4.123}$$

- 为了研究 V_{t1}和 V_{t2}的失配效应，假设其他所有的参数都是匹配的。那么，为了得到图 4.55b 所示的直流平衡态，我们必须确保 MOSFET 经受相同的过驱动电压。这发生在

$$V_{OS3} = \Delta V_t = V_{t1} - V_{t2} \tag{4.124}$$



a）输入接地的实际的源极耦合对给出一个输出误差$E_O \neq 0$

b）V_{OS}定义为使E_O为零的电压

图 4.55

注意到 MOSFET 的等式(4.122)和式(4.123)与 BJT 的等式(4.116)和式(4.117)的相似性，不同的是，用 $V_{OV}/2$ 替代 V_T。因为 $V_T=26\text{mV}$，其中 $V_{OV}/2$ 通常至少要高一个数量级，显然源极耦合对的失调要比 BJT 对的大。

在双极型的情形下，各种失调分量的符号是不相关的。而且，失调电压的三种原因是不关联的，所以总的失调电压通常估计为：

$$V_{OS} \approx \frac{V_{OV}}{2}\sqrt{\left(\frac{\Delta R_D}{R_D}\right)^2 + \left(\frac{\Delta k}{k}\right)^2 + \left(\frac{\Delta V_t}{0.5V_{OV}}\right)^2} \tag{4.125}$$

最后，因为 MOSFET 的栅电流在直流时为 0，所以在源极耦合对中输入偏置电流和输入失调电流是不重要的。当输入端口被制造成外部可接触时，它们都配备内部的二极管钳位，以防止放电对 MOSFET 绝缘性可能产生的破坏。在通常的工作状态，这些二极管是反向偏置的，所以栅端电流是反向偏置的 pn 结的电流。在室温下，这些电流非常小(nA 或 pA 数量级)，但我们知道，温度每上升大约 10℃，这些电流就会翻倍。

例 4.22 假设一个源极耦合对中，R_D 有±1%的失配，k 有±3%的失配，V_t 有±5mV 的失配。如 $V_{OV}=0.5\text{V}$，估计 V_{OS}的最坏值和最可能值。V_{OS}的主要影响因素是哪个?

解：

将各项直接相加，得到最坏情况的估计，即

$$V_{OS} \approx \frac{500\text{mV}}{2} \times \left(\frac{2}{100} + \frac{6}{100} + \frac{10}{250}\right) = (5 + 15 + 10)\text{mV} = 30\text{mV}$$

应用式(4.125)，可求出最可能值为：

$$V_{OS} \approx \sqrt{5^2 + 15^2 + 10^2}\,\text{mV} = 18.7\text{mV}$$

在该例中，主要影响因素是 k 的失配。 ◀

输入失调电压漂移

与几乎所有的器件和电流参数相同，V_{OS}也会随着温度变化而漂移。在低电平的信号处理中，如仪表及测量等，了解 V_{OS}及其热漂移是必需的。

在发射极耦合对的情形下，式(4.118)表明 V_{OS}与热电压 V_T 成正比，从而与 T 也成正比。因此，有：

$$\frac{dV_{OS}}{dT} = \frac{V_{OS}}{T} \tag{4.126}$$

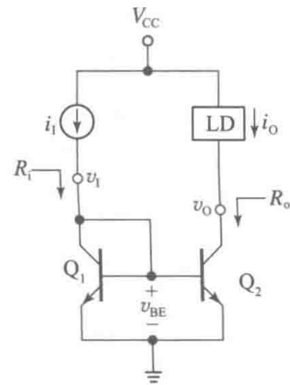
在室温（$T=300\text{K}$）下，对于每 1mV 的失调，V_{OS} 的漂移为（$1\times10^{-3}/300$）μV/℃ = 3.3μV/℃。所以，对于一个 $V_{OS}=1.5$mV 的发射极耦合对，V_{OS}的漂移为 5μV/℃。

源极耦合对的失调漂移比双极型情况更为复杂[1,3]。CMOS IC 设计者们一直致力于降低 V_{OS}及其热漂移，这一般通过巧妙的补偿技巧，如自动调零技术和浮栅工艺实现。

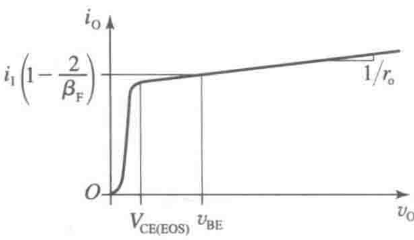
4.8　电流镜

电流镜与差分对一样，都是模拟 IC 的重要组成部分。电流镜一个常用的应用是产生稳定可预测的直流电流来偏置其他电路。当应用该功能时，电流镜也称为电流基准。电流镜还可用于引导直流信号。因此，它可以在各种模拟信号处理 IC 中作为有源负载使用，如运算放大器(op amp)、电流反馈放大器(CFA)和运算跨导放大器(OTA)。电流镜是通过将高匹配性和热跟随性好的不同晶体管制造在同一芯片上的相邻位置实现的。

电流镜的功能是在低输入电阻端(理想状态下为零)接受电流 i_I，在高输出电阻端(理想状态下为无穷大)送出电流 $i_o(=i_I)$，因此，称电流镜提供了电流倒向。电流镜与电流缓冲器相似，只不过两个电流都是流入(或流出)电路的。在关于 BJT 和 MOSFET 的介绍章节以及 4.1 节中，我们已经接触到了电流镜。我们现在希望对其进行系统的分析。



a）基本的BJT电流镜



b）输出端i-v特性曲线

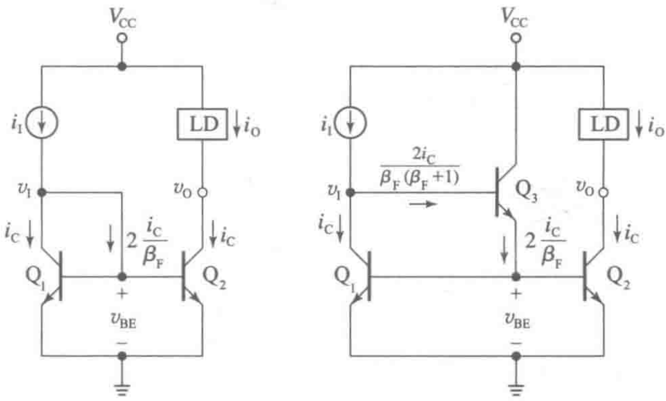
图　4.56

基本的双极型电流镜

如图 4.56a 所示的是一个基本的双极型电流镜。当输入源 i_I 导通时，二极管连接的晶体管产生一个与 i_I 成对数关系的压降 v_{BE}。但 Q_2 与 Q_1 有着相同的驱动 v_{BE}，所以 Q_2 会镜像 Q_1 的电流。我们希望求出 i_O 和 i_I 之间的精确关系，以及小信号输入和输出电阻 R_i 和 R_o。我们还希望画出输出端的 i-v 特性曲线。

参考图 4.57a 所示电路进行详细分析，为了简便，假设 $V_A=\infty$。因为 BJT 是匹配的，且有着相同的压降 v_{BE}，它们会得到相同的电流，此处记为 i_C。而且，它们得到的总基极电流为 $2i_C/\beta_F$。因此，由 KCL 得到$i_I=i_C+2i_C/\beta_F=i_C(1+2/\beta_F)$。代入 $i_C=i_O$，并求解 i_O，得到：

$$i_O=\frac{i_I}{1+2/\beta_F}\approx i_I\left(1-\frac{2}{\beta_F}\right)\qquad(4.127)$$



a）基本BJT电流镜

b）带有辅助β电路的电流镜中的电流

图　4.57

因为电流增益 β_F 是有限的，i_O 不会精确地镜像 i_I，其有一个小的系统误差 $\varepsilon=-2/\beta_F$。例如，对于 $\beta_F=100$，我们有 $\varepsilon=-2\%$。

注意到式(4.127)适用于直流也适用于交流形式，因此我们不作小信号近似。

只要 $v_{CE2}=v_{CE1}$ 成立，上面的等式就成立，对于两个 BJT，这个等式称为直流平衡条件。在当前的实例中，直流平衡发生在 $v_O=v_I=v_{BE}$。如果 v_O 增加到这个值之上，由于厄利效应，i_O 也将增加。考虑这个效应，我们需要将式(4.127)修改为：

$$i_O \approx i_I\left(1-\frac{2}{\beta_F}\right)\times\left(1+\frac{v_O-v_{BE}}{V_A}\right) \tag{4.128}$$

i_O-v_O 的特性如图 4.56b 所示，其中 i_O 以及相应的 v_O 值是直流平衡时的值。注意到只要 $v_O \geqslant v_{O(min)}$，式(4.128)成立，其中，

$$v_{O(min)} = V_{CE(EOS)}(\approx 0.2\text{V}) \tag{4.129}$$

如果 v_O 低于这一限制，Q_2 将进入饱和区，此时我们发现 i_O 有一个快速的增长。通过观察我们有 $R_i=r_{o1}/\!/r_{e1}/\!/r_{\pi2}\approx r_{e1}\approx 1/g_{m1}$，以及 $R_o=r_{o2}$。由于假设 BJT 匹配以及偏置相同，舍弃下标 1 和 2，我们有：

$$R_i \approx \frac{1}{g_m},\quad R_o = r_o \tag{4.130}$$

我们知道，i_O-v_O 曲线斜率为 $1/r_o$，它的外推水平截距为 $v_O=-V_A$，其中，V_A 是厄利电压。

上面的分析规定了 Q_1 和 Q_2 之间完全匹配。有时故意将晶体管的发射极面积制造得不同，是为了提供电流放大或者是衰减，取决于不同情况。例如，如果 Q_2 的发射极面积是 Q_1 的 2 倍，那么 Q_2 抽取的电流是 Q_1 的 2 倍，即 $i_O\approx 2i_I$。将两个 BJT 的饱和电流分别表示为 I_{s1} 和 I_{s2}，我们很容易将式(4.128)归纳为：

$$i_O \approx i_I\left(\frac{I_{s2}}{I_{s1}}\right)\times\left(1-\frac{1+I_{s2}/I_{s1}}{\beta_F}\right)\times\left(1+\frac{v_O-v_{BE}}{V_A}\right) \tag{4.131}$$

为了减少由于 β_F 不是无穷大所带来的误差，通常在图 4.57b 所示电路中增加第三个晶体管 Q_3，恰当地称为 β 助手，Q_3 减小了从电流 i_I 中减去的电流分量，即将该电流分量除以一个因子 β_F+1，事实上，将式(4.127)的直流平衡值变为：

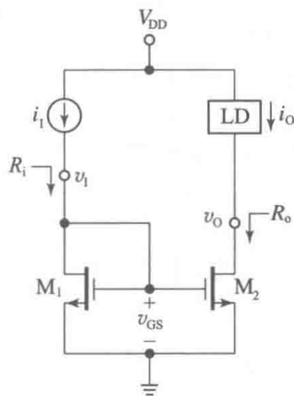
$$i_O \approx i_I\left(1-\frac{2}{\beta_F^2}\right) \tag{4.132}$$

注意到通过修改，v_I 增加到 $2v_{BE}$，因此现在的直流平衡条件是 $v_O=2v_{BE}$。由输入源看进去的交流电阻也倍增到 $R_i\approx 2/g_m$(见习题 4.71)。β 助手主要应用在多路输出电流镜中。

上面的讨论主要集中在 npn 型 BJT 的电流镜中，它的集电极吸收电流。如果应用要求电流镜像到源电流，那么电路由 pnp 型 BJT 实现，这在第 2 章中已经作过讨论。由于集成电路 pnp，BJT 显示出一个很低的 β，pnp 电流镜通常使用 β 助手来减小其固有的较高系统误差。

基本的 MOSFET 电流镜

BJT 电流镜对应的 MOSFET 情形如图 4.58 所示。得益于栅电流是零，MOSFET 电流镜不会遭受由于 β_F 导致的系统误差。由于输入源 i_I 开启，二极管连接晶体管 M_1 响应的电压降为 $v_{GS}=V_t+v_{OV}$，其中，v_{OV} 是维持 i_I 所需的过驱动电压。输入电流和 V_{GS} 关系表示为：



a) 基本的MOSFET电流感



b) 输出端i-V特性曲线

图　4.58

$$i_I = \frac{k_1}{2}(v_{GS} - V_t)^2(1 + \lambda v_{GS})$$

但是，M_2 受到和 M_1 相同的过驱动电压，因此 M_2 将吸收电流为：

$$i_O = \frac{k_2}{2}(v_{GS} - V_t)^2(1 + \lambda v_O)$$

我们知道，MOSFET 器件跨导参数为 $k = k'(W/L)$，其中，W 和 L 是特定的 MOSFET 沟道宽度和长度，且 k' 是工艺跨导参数，芯片上所有相同类型的 MOSFET 都是相同的。计算比率 i_O/i_I 并简化，在假设 $\lambda v_{GS} \ll 1$ 下，我们得到：

$$i_O \approx i_I \frac{W_2/L_2}{W_1/L_1} \times [1 + \lambda(v_O - v_{GS})] \tag{4.133}$$

i_O-v_O 特性如图 4.58b 所示，其中，i_O 是在直流平衡条件时的值，该条件现在表示为 $v_O = v_I = v_{GS}$，注意到，只要 $v_O \geqslant v_{O(min)}$，式(4.133)就成立，其中，

$$v_{O(min)} = v_{OV} \tag{4.134}$$

如果 v_O 下降到该极限以下，M_2 将进入晶体管区，此时 i_O 最终下降到零。通过观察，我们同样有 $R_i = r_{o1} /\!/ (1/g_{m1}) \approx 1/g_{m1}$ 和 $R_o = r_{o2} = 1/(\lambda i_O)$。由于假定 MOSFET 是匹配的且偏置相同，舍弃下标 1 和 2，我们因此有：

$$R_i \approx \frac{1}{g_m}, \quad R_o = r_o \tag{4.135}$$

我们知道，图 4.58b 所示 i-v 曲线斜率是 $1/r_o$。而且，外推的水平轴截距为 $v_O = -1/\lambda$。如果两个 MOSFET 的 W/L 比值相同，那么在交流平衡下，$i_O = i_I$。

共源共栅电流镜

根据式(4.130)和式(4.135)，基本电流镜的输出电阻为 r_o。很多情况下，我们需要更大的输出阻抗，而 4.4 节的共源共栅技术提供了一个很受欢迎的方法来显著提高输出电阻。如 4.59a 所示的是一个双极的共源共栅电流镜。匹配的 BJT 对 Q_3-Q_4 提供镜像作用，而共基极 BJT 增加输出电阻，使它的输出电阻远远高于 r_o。二极管连接的 Q_1 的作用是给 Q_2 提供基极偏置，该偏置电压比

Q_4 基极电压高出一个 v_{BE} 电压，有 $v_{CE4} = v_{CE3} = v_{BE}$。与基本的电流镜相比，输入参数倍增到 $v_I = 2v_{BE}$ 和 $R_i \approx 2/g_m$。同样地，线性工作范围的下限现在增加一个 v_{BE}，$v_{O(min)} = v_{CE4} + V_{CE2(EOS)} = v_{BE} + V_{CE2(EOS)}$。留给学生一个练习(见习题 4.72)，证明 $R_i \approx 2/g_m$，$R_o \approx (\beta_0/2)r_o$，以及

$$i_O \approx i_I\left(1 - \frac{4}{\beta_F}\right) \times \left(1 + \frac{v_O - 2v_{BE}}{(\beta_0/2)V_A}\right) \tag{4.136}$$

我们可以通过将 i_O-v_O 曲线与水平轴的外延截距从 $-V_A$ 移位到 $-(\beta_0/2)V_A$，来观察共源共栅的效果，即 i_O-v_O 曲线更加平缓。

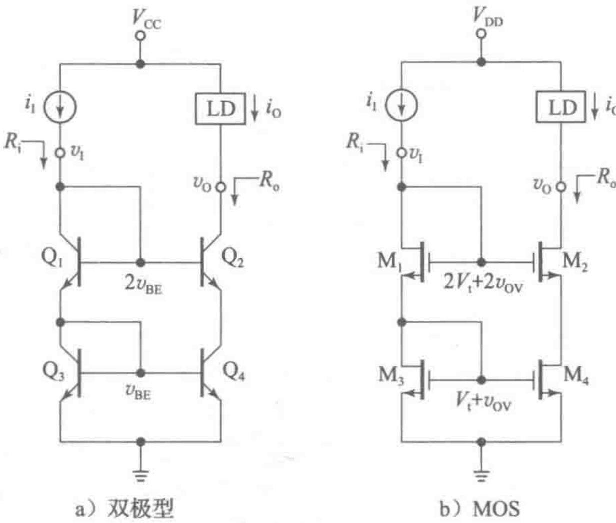


图 4.59 共源共栅电流镜

在当前的实例中，当集电极端输出电阻显著增加到 r_o 以上，基极-集电极电阻 r_μ 也许不能被忽视。我们知道，r_μ 是模拟 v_{CE} 对基区复合电流产生的基区长度调制效应的电阻，表示为 $r_\mu = m\beta_0 r_o$，其中，$1/m(m \geqslant 1)$ 表示总的基区复合电流的一部分。更精确的输出电阻表达式为：

$$R_{o(BJT)} \approx \left(\frac{\beta_0}{2}r_o\right) /\!/ r_\mu = \frac{m}{1+2m}\beta_0 r_o \tag{4.137}$$

在最坏的情况下，基区电流主要是复合类型的电流($m \to 1$)，我们得到 $R_o \to (\beta_0/3)r_o$。在实际的共源共栅镜中 R_o 将位于 $1/3\beta_0 r_o$ 和 $1/2\beta_0 r_o$ 之间。

接下来转到图 4.59b 所示的 MOSFET 共源共栅镜，我们观察到，采用匹配的 M_3-M_4 对来提供合适的镜像作用，共栅 MOSFTE M_2 用于提高输出电阻，二极管连接的 MOSFTE M_1 给 M_2 栅极提供偏置，该偏置电压比 M_4 栅极电压高出一个二极管压降，即 $v_{DS4} = v_{DS3} = V_t + v_{OV}$。调整式(4.63)，我们现在有 $R_o = r_{o2}[1+(g_{m2}+g_{mb2})r_{o4}] + r_{o4}$，或去掉下标，即

$$R_{o(MOS)} = r_o[2+(g_m+g_{mb})r_o] \tag{4.138}$$

跟预期一样，共源共栅的方法将输出电阻提高了一个因子$[2+(g_m+g_{mb})r_o]$，相当于将 i_O-v_O 曲线 v_O 轴截距从 $-1/\lambda$ 位移到$(-1/\lambda)\times[2+(g_m+g_{mb})r_o]$。

为了保证电路正常工作，M_2 和 M_4 必须工作在 $v_{DS} \geqslant v_{OV}$ 下。由于 $v_{DS4} = V_t + v_{OV}$，故 M_4 实际上超过了所要求的最小值，超过量等于 V_t。利用 $v_{DS2} \geqslant v_{OV}$，我们得到线性输出范围是 $v_O \geqslant v_{O(min)}$，其中，$v_{O(min)} = v_{DS4} + v_{OV}$，即

$$v_{O(min)} = V_t + 2v_{OV} \tag{4.139}$$

与图 4.58a 所示的基本的电流镜式(4.134)相比，式(4.139)的限制可能在低电压应用中偏高，尽管它们只有零点几伏的差异。虽然我们可以通过采用合适的宽长比 W/L 制造 MOSFET，使 $2v_{OV}$小到所需的范围，但是 V_t 造成了 $v_{O(min)}$ 的终极限制。

宽摆幅的 MOS 共源共栅电流镜

宽摆幅的共源共栅电流镜通过将 M_2 的偏置电压从图 4.59b 所示的 $v_{G2} = 2V_t + 2v_{OV}$ 下移到 $v_{G2} = V_t + 2v_{OV}$，以便使 M_4 正好达到饱和边缘，从而消除了式(4.139)中的 V_t 项，此时，$v_{DS4} = v_{OV}$。结果为：

$$v_{O(min)} = 2v_{OV} \tag{4.140}$$

在修改后的的共源共栅电流镜中，如图 4.60a 所示，由源跟随器 M_5 提供了一个 V_t 下降。(M_6 是 M_3 镜像，也给 M_5 提供了偏置。)为了使得 $v_{S5} = V_t + 2v_{OV}$，M_5 要求 $v_{G5} = v_{S5} + v_{GS5} = (V_t + 2v_{OV}) + (V_t + v_{OV}) = 2V_t + 3v_{OV}$。与图 4.59b 所示电路相比，此时 $v_I = 2V_t + 2v_{OV}$，我们需要 $v_I = 2V_t + 3v_{OV}$，即高出 $1v_{OV}$。通过将 M_1 的 W/L 比值制造成所有其他 MOSFET 的 1/4，我们可以达到这个目的。由关系 $v_{OV} = \sqrt{(2/k)i_D}$ 可知，M_1 将需要一个 $2v_{OV}$ 过驱动电压来维持相同的电流 i_D，而所有其他的 MOSFET 只需 $1v_{OV}$ 来维持。

图 4.60a 所示电路的一个缺点就是，它需要额外的支路(M_5-M_6)来提供电平平移。两个支路在图 4.60b 所示电路中巧妙地合并成一个，称为苏奇(Sooch)共源共栅电流镜。虽然它的详细分析留作练习(见习题 4.73)，但还是可以将它的主要特点列出如下。

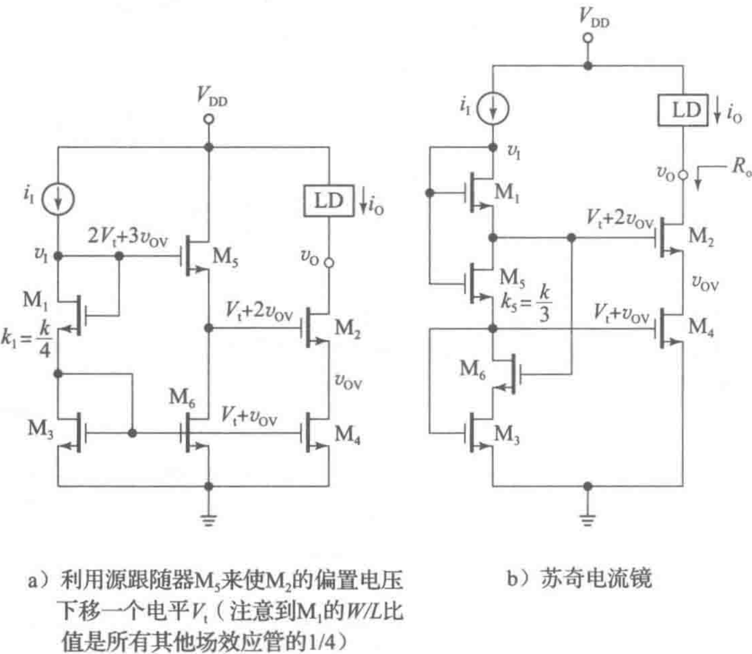
- M_6-M_3 对合成 M_4 所需的偏置电压 $v_{G4} = V_t + v_{OV}$。
- M_1-M_5 对合成 M_2 所需的偏置电压 $v_{G2} = V_t + 2v_{OV}$，比 v_{G4} 高 $1v_{OV}$。正如习题 4.73 讨论的一样，我们可以将 M_5 的 W/L 比值制造成其他 MOSFET 的 1/3 来达到这个目的。
- 使 M_6 工作在 $v_{DS6} = V_t$ 下，这样迫使 M_3 工作在 $v_{DS3} = V_{OV} = v_{DS4}$ 下。这消除了 M_3 和 M_4 之间任何沟道长度调制差异，从而产生一个理想的电流匹配(只要 M_3 和 M_4 的 W/L 比值匹配)。

在上面的分析中，为了简化，我们忽略了衬底效应。实际上，所有的 MOSFET，只要源电压和衬底电压不同，都显示出略高的 V_t 值。如果有需要，IC 设计者可以通过适当调整 W/L 比值来补偿阈值偏移。

威尔逊电流镜

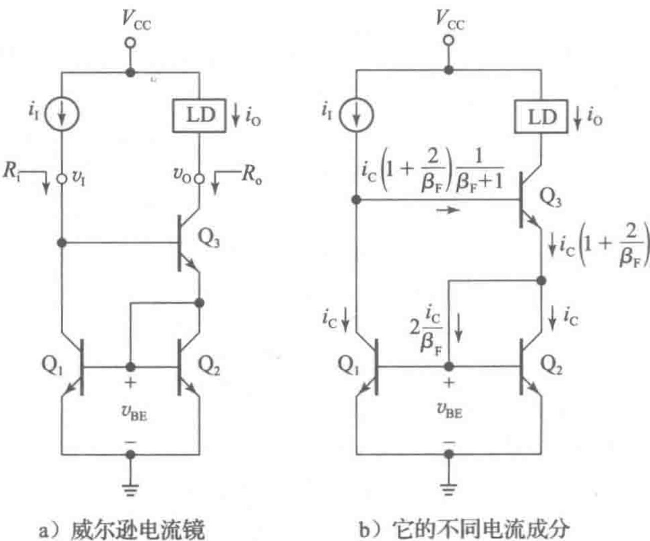
威尔逊(Wilson)电流镜如图 4.61 所示，是用于改善基本双极型电流镜特性的。当输入源开启时，i_I 将首先流入 Q_3 的基极，开启 Q_3 和二极管连接的晶体管 Q_2。然后流过 Q_2

的电流通过 Q_1 镜像回输入节点，从而形成一个负反馈环路。虽然在图 4.56a 所示基本的电流镜中，基极电流均从电路输入侧灌入，而在威尔逊电路配置中，i_{B3} 从输入侧灌入，i_{B1} 从输出侧灌入。我们将很快看到，这种形式抵消了输出电流误差，使其达到可与 β 助手相当的水平，假设 BJT 的 β 值匹配。而且负反馈的存在显著增加了输出电阻。



a）利用源跟随器M_5来使M_2的偏置电压下移一个电平V_t（注意到M_1的W/L比值是所有其他场效应管的1/4）　　b）苏奇电流镜

图 4.60　宽摆幅电流镜



a）威尔逊电流镜　　b）它的不同电流成分

图　4.61

为了得到 i_O 和 i_I 之间的关系，参照图 4.61b 所示电路。为了简化，假设 $V_A=\infty$ 且从底部开始，我们注意到 Q_1 和 Q_2 受到相同的过驱动电压 v_{BE}，因此，它们吸收相同的电流，这里表示为 i_C。向上移动，我们重复应用 KCL 以及 BJT 的正向区电流关系，得到下面关系式：

$$i_I=i_C\left[1+\left(1+\frac{2}{\beta_F}\right)\frac{1}{\beta_F+1}\right],\quad i_O=\beta_F i_C\left(1+\frac{2}{\beta_F}\right)\frac{1}{\beta_F+1}$$

通过较小的代数计算，消除 i_C，我们得到：

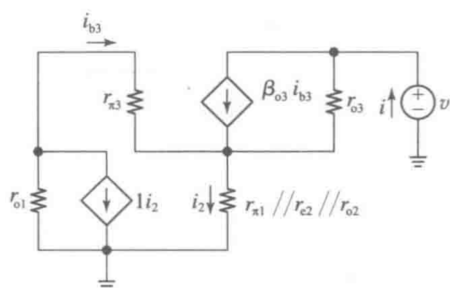
$$i_O = i_I \frac{1}{1+\dfrac{2}{\beta_F(\beta_F+2)}} \approx i_I \frac{1}{1+\dfrac{2}{\beta_F^2}} \approx i_I\left(1-\frac{2}{\beta_F^2}\right) \tag{4.141}$$

例如，当 $\beta_F=100$ 时，误差为 $\varepsilon=-0.02\%$，这确实是可以忽略的。我们注意到现在输入节点电压为 $2v_{BE}$，只要 $v_O \geqslant v_{O(min)}$，电路就将会正确地工作，其中，

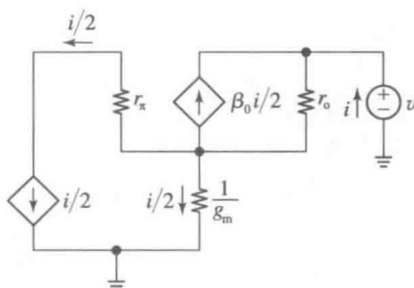
$$v_{O(min)} = v_{BE} + V_{CE3(EOS)}(\approx 0.9V) \tag{4.142}$$

为了求得输出电阻 R_o，我们用小信号等效电路来代替该电路，且利用图 4.62a 所示的测试电压方法。这里，二极管连接的晶体管 Q_2 的动态电阻 $r_{\pi 1}$ 和 r_{o2} 与 r_{e2} 合并在一起。而且，由于 Q_1 镜像 Q_2 的电流，我们用单位增益受控源 $1i_2$ 模拟。由于 $r_{o2} \gg r_{\pi 1} \gg r_{e2}$，我们近似得 $r_{\pi 1} /\!/ r_{e2} /\!/ r_{o2} \approx r_{e2} = \alpha_{02}/g_{m2} \approx 1/g_m$，如图 4.62b 所示。实际上，在我们的计算过程中我们也可以忽略 r_{o1}。为了知道原因，在左上方节点，我们应用 KCL，KVL，以及欧姆定律，得到：

$$i_{b3} + 1i_2 + \frac{r_{e2}i_2 + r_{\pi 3}i_{b3}}{r_{o1}} = 0 \Rightarrow i_{b3}\left(1+\frac{r_{\pi 3}}{r_{o1}}\right) + i_2\left(1+\frac{r_{e2}}{r_{o1}}\right) = 0$$



a）威尔逊电流镜小信号模型



b）它的简化版本

图 4.62

假设 $r_{e2} \ll r_{\pi 3} \ll r_{o1}$，我们可以忽略 r_{o1} 写出 $i_{b3}+i_2 \approx 0$，即 $i_{b3}=-i_2$。这意味着交流电流 i_{b3} 实际上是流出 Q_3 基极的，且 i_{b3} 与模拟 Q_1 的独立源抽取的电流 $1i_2$ 一致。图 4.62a 所示的交流等效电路简化图如图 4.62b 所示，其中我们利用这个事实 $i=1i_2+i_2$，$i_2=i/2$。应用基尔霍夫定律以及欧姆定律，得到：

$$i + \beta_0 \frac{i}{2} = \frac{v-(1/g_m)i/2}{r_o} \Rightarrow i\left(1+\frac{\beta_0}{2}+\frac{1}{2g_m r_o}\right) = \frac{v}{r_o}$$

但是，$1/(2g_m r_o) \ll 1$，因此我们得到：

$$R_o = \frac{v}{i} \approx \left(1+\frac{\beta_0}{2}\right)r_o \approx \frac{\beta_0}{2}r_o \tag{4.143a}$$

证明图 4.61a 所示电路中，$R_i \approx 2/g_m$，将留作练习(见习题 4.71)。与图 4.56b 所示基本的电流镜特性相比，威尔逊电流镜产生一个更平坦的曲线，但是仅下降到 $v_O = v_{BE} + V_{CE3(EOS)}$。或者我们可以说，威尔逊 i-v 曲线的水平轴截距从 $-V_A$ 移动到 $-(\beta_0/2)V_A$。这种大的改善是 Q_1 负反馈行为所产生的结果，这个主题将在第 7 章介绍。在共源共栅电路实现中，输出电阻显著增加到 r_o 以上，因此 r_μ 也许不能再忽略。在共源共栅情形中，R_o 的一个更好的估计是：

$$R_o \approx \left(\frac{\beta_0}{2}r_o\right) /\!/ r_\mu = \frac{m}{1+2m}\beta_0 r_o \tag{4.143b}$$

最后，必须说明，图 4.62b 所示各种电流的计算均是假设 Q_1 和 Q_2 的电流相同的情况下进行的，实际上两个 BJT 工作在不同的 v_{CE} 值下，即 $v_{CE2}=v_{BE}$ 和 $v_{CE1}=2v_{BE}$。因此，$i_{C1} \approx i_{C2}(1+v_{BE}/V_A)$。这种差异导致 i_O 产生一个系统误差。考虑到这个误差，通常在 1% 左右，我们需要改善式(4.141)的初始值为：

$$i_O \approx i_I\left(1-\frac{2}{\beta_F^2}\right)\times\left(1-\frac{v_{BE}}{V_A}\right)\approx i_I\left(1-\frac{2}{\beta_F^2}-\frac{v_{BE}}{V_A}\right) \tag{4.144}$$

在计算乘积时，忽略了较高阶项。当不合要求时，通过制造一个晶体管连接的 BJT Q_4，且与 Q_1 的集电极端串联可以消除额外的系统误差。那么，伪二极管电压降 v_{BE} 将等于 Q_1 和 Q_2 的 v_{CE}，从而确保 $i_{C1}=i_{C2}$。

例 4.23 (a) 如果图 4.56a 所示的基本电流镜中，$i_I=1.0$mA，那么 i_O 初始值是多少？如果 v_O 增加 10V，那么 i_O 变化多少？假设 BJT 匹配，且 $\beta_0=100$ 及 $V_A=80$V

(b) 对于图 4.61a 所示的威尔逊电流镜重复上述问题。比较并评论。

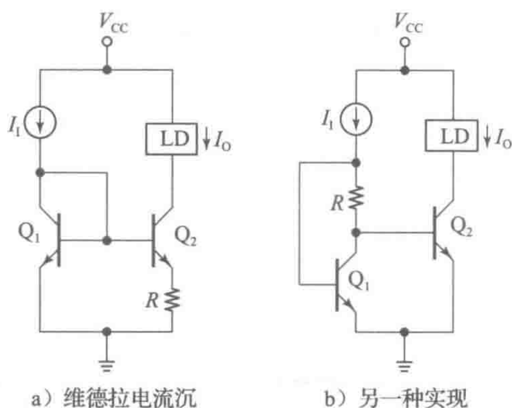
解：

(a) 通过式(4.127)有：$i_O=1.0\times(1-2/100)$mA$=0.98$mA，也有，$R_o=r_o=(80/0.98)$k$\Omega=81.6$kΩ，因此，$\Delta i_O=\Delta v_O/R_o=(10/81.6)mA=0.1225$mA，表明 i_O 将增加到 $(0.98+0.1225)$mA$=1.1025$mA。

(b) 通过式(4.144)，$i_O=1.0\times(1-2/100^2-0.7/80)mA=0.9910$mA。而且，$R_o=(\beta_0/2)r_o=(100/2)\times80.7k\Omega=4.04M\Omega$，因此 $\Delta i_O=\Delta v_O/R_o=(10/4.04)mA=2.5\mu$A，表明 i_O 将增加到$(0.9910+0.0025)mA=0.9935$mA。就初始误差和电流随电压变化而言，威尔逊源更好一些。◀

维德拉电流源/沉

对于电流镜，能够有 $I_O\ll I_I$，经常需要低电流直流偏置。尽管原则上可以通过将图 4.56a 所示基本的电流镜中 Q_2 的发射极面积制造得比 Q_1 更小来实现，但一个更可行的方法是在 Q_2 发射极端放置一个电阻 R，来适当地减小 V_{BE}，从而有更低的输出电流 I_O。这个结果就是图 4.63a 所示的修改电路，称为维德拉电流源(确切地说，所示的电路应该称为维德拉电流沉，由于它利用 npn BJT，维德拉的 pnp 版本则用于电流源)。这个电路附带的好处是 R 形成了发射极简并，因此输出电阻增加到 $R_o\approx r_{o2}[1+g_{m2}(r_{\pi2}/\!/R)]$。



a) 维德拉电流沉　　b) 另一种实现

图 4.63

为了研究电路的行为，忽视基极电流，并运用欧姆定律和 KVL，写出 $RI_O=V_{BE1}-V_{BE2}=V_T\ln(I_I/I_s)-V_T\ln(I_O/I_s)$，即

$$RI_O=V_T\ln\frac{I_I}{I_O} \tag{4.145}$$

式中：V_T 是熟知的热电势(室温下 $V_T=26$mV)。与维德拉电路相关的问题有两个：给定 I_O/I_I 比值，求出 R 值；给出 R 值，求出 I_O/I_I。

例 4.24 (a) 当 $I_I=0.5$mA 时，求出使图 4.63a 所示维德拉电路中 $I_O=30\mu$A 的 R 值。假设 $\beta_0=100$ 及 $V_A=60$V，求出从负载看到的源输出电阻。

(b) 如果 $I_I=1.0$mA 及 $R=5$kΩ，求出 I_O。

解：

(a) 通过式(4.145)，有：

$$R=\frac{V_T}{I_O}\ln\frac{I_I}{I_O}=\left(\frac{26\times10^{-3}}{30\times10^{-6}}\ln\frac{0.5\times10^{-3}}{30\times10^{-6}}\right)\Omega=2.44\text{k}\Omega$$

我们有 $g_m=1/(0.87\text{k}\Omega)$，$r_\pi=87k\Omega$，以及 $r_o=2$MΩ。由于 R 引入简并，我们得到

$$R_o=r_{o2}[1+g_{m2}(r_{\pi2}/\!/R)]=(2\times[1+(87/\!/2.44)/0.87])\text{k}\Omega=7.5\text{M}\Omega$$

(b) 再次利用式(4.145)，我们得到：

$$I_O = \frac{V_T}{R}\ln\frac{I_I}{I_O} = \frac{26\times10^{-3}}{5\times10^3}\ln\frac{10^{-3}}{I_O} = 5.2\times10^{-6}\ln\frac{10^{-3}}{I_O}$$

这个超越方程可以通过迭代法求解。我们期望 $I_O \ll I_I$，因此从有根据的推测开始，即 $I_{O(0)}=10\mu A$，将它代入右边得到一个新的估量 $I_{O(1)}=24\mu A$。再将这个新的值代入右边，这样迭代得到 $I_{O(2)}=19.4\mu A$。经过更多的几次迭代后，结果为 $I_O=20.3\mu A$。◀

如图 4.63b 所示的为同一概念的另外一种实现方式，但是它利用一个更小的 R 值来实现相同的结果，由于流过 R 的电流现在为 $I_1(\gg I_O)$（我们知道，小电阻更好，因为它占用的芯片面积更小）。我们仍然由 $V_R=V_{BE1}-V_{BE2}$。然而，我们现在有 $V_R=RI_1$，因此式(4.145)变为：

$$RI_1 = V_T\ln\frac{I_1}{I_O} \tag{4.146}$$

对于给定的 I_1 和 I_O，可以由式(4.146)求出 R。另外，给定 I_1 和 R，求出 I_O（见习题 4.77）。重写式(4.146)为：

$$I_O = I_1 e^{-RI_1/V_T}$$

我们注意到对于小的 I_1 值，指数项倾向于单位 1，表明 I_O 近似随着 I_1 成比例增加。另一方面，对于大的 I_1，指数项起主要作用，引起 I_O 随 I_1 减小。显然 I_O 在 I_1 某些中间值达到最高点（见习题 4.78），这也是图 4.63b 所示电路称为峰值电路源的原因（严格来说，对于当前的 npn BJT 情形，峰值电流沉的名称更合适，而对于 pnp BJT 的情形，峰值电流源的名称更合适）。

4.9 带有源负载的差分对

差分对最常见的应用是作为运放和电压比较器的输入级，其中两个最关键的要求是：(a) 高的差分增益 a_{dm} 和(b)高的共模抑制比(CMRR)。

图 4.64 所示电路是通过利用电流镜来最大化两个参数。

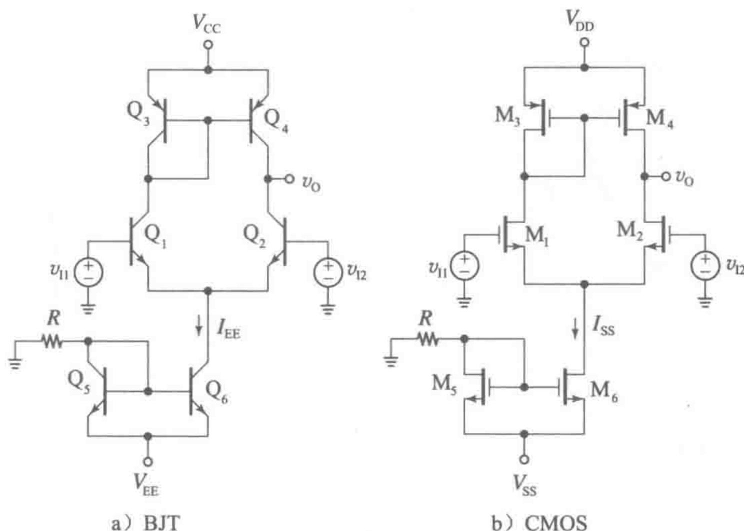


图 4.64 带有源负载的差分对以及电流源偏置

让我们首先讨论共模抑制比(CMRR)。先前的分析说明，为了确保一个高的共模抑制比，偏置电路必须对差分对呈现一个高的输出电阻（对于射极耦合对，是高的 R_{EE}，对于源极耦合对，是高的 R_{SS}）。在图 4.64 所示两个电路中，这个约束条件利用一个电流镜得到满足，该电流镜接受由 R 产生的基准电流，且通过一个高的输出阻抗（在这种情况下镜像晶体管的电阻 r_{o6}），将其镜像到差分对。如果需要，我们可以利用一个威尔逊电流镜或者共源共栅电流镜来进一步提高电阻。正如当前的情况一样，将其用于提供偏置功能时，则电流镜称为电

流基准。

接下来，让我们来分析差模增益 a_{dm}。式(4.88)和式(4.93)给出了带电阻负载的差分对可取得增益的估计量，即

$$a_{dm(BJT)} \approx -\frac{R_C(I_{EE}/2)}{V_T}, \quad a_{dm(FET)} \approx -\frac{R_D(I_{SS}/2)}{0.5V_{OV}}$$

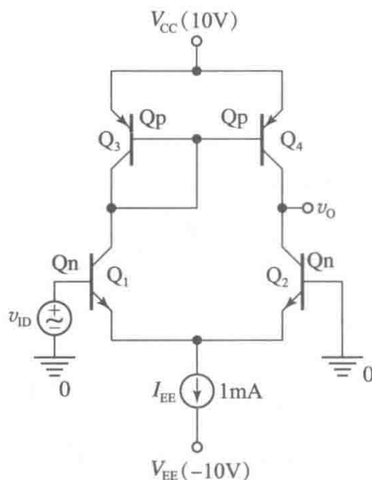
在两种情形中，增益与负载电阻 R_C/R_D 的直流电压降成比例。对于给定的偏置条件，如果希望得到更高的增益，R_C/R_D 将不得不增加。然而，这存在驱动晶体管工作在饱和区的风险。通过有源负载替换电阻负载，我们可以解决这个困境，4.1 节已经提到过。图 4.64 所示电路中，对于 Q_2/M_2 而言 Q_4/M_4 充当负载，因此上面的增益表达式中，R_C/R_D 的角色现在通常由 Q_4/M_4 的更大输出电阻 r_{o4} 来充当。

为了更好地工作，负载 Q_4/M_4 必须偏置在与 Q_2/M_2 相同的电流下。图 4.64a 所示电路利用 Q_1 来模拟直流电流 $\alpha_F I_{EE}/2$($\approx I_{EE}/2$ 由其匹配的对管 Q_2 吸收。然后该电流流过 Q_3，这又迫使与其匹配的对管 Q_4 将电流镜像回 Q_2。因此，在直流平衡态，所有四个晶体管吸收相等的电流，即 $I_{EE}/2$！类似的分析适用于图 4.64b 所示的对应的 CMOS 电路，其中直流平衡态四个 MOSFET 吸收相同的电流 $I_{SS}/2$。

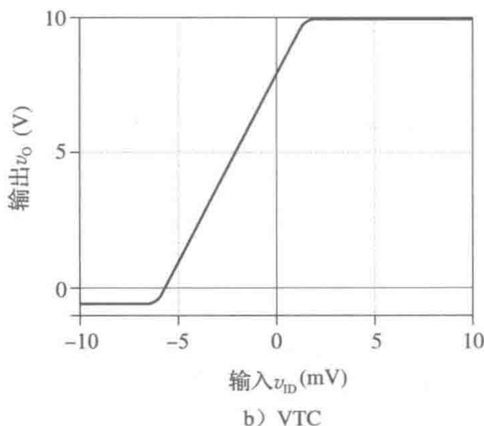
有源负载的一个额外的优点是，信号从一个双端形式(v_{I1}-v_{I2})转换到一个单端形式(v_O)。这是流行的 IC 如运算放大器和电压比较器，必不可少的一个特性。最后，必须指出的是，图 4.64 所示的信号处理电路的确切优点是少用电阻，这是因为集成电阻往往要占用宝贵的芯片面积。

电压传输曲线

有源负载差分对的 VTC 很容易通过 PSpice 绘制。让我们首先来研究图 4.65a 所示的 BJT 电路，其中我们得到如下结论：



a）有源负载射极耦合对的PSpice电路，其中 $I_{sn}=2I_{sp}=2fA$，$\beta_{Fn}=4\beta_{Fn}=200$，$V_{An}=2V_{Ap}=100V$



b）VTC

图 4.65

- 当 $v_{ID}=0$ 时，I_{EE} 在两个 BJT Q_1-Q_2 间等分，因此 $I_{C1}=I_{C2}=\alpha_F I_{EE}/2\approx I_{EE}/2$。通过 KCL，有 $I_{C3}=I_{C1}$，且由于镜像行为，有 $I_{C4}=I_{C3}$，因此，所有的晶体管偏置在 $I_{EE}/2$。考虑到厄利效应，我们注意到如果 BJT 的电流相同，直流平衡条件 $V_{CE2}=V_{CE1}$ 和 $V_{EC4}=V_{EC3}$ 必须成立。这些条件同时满足，此时，有

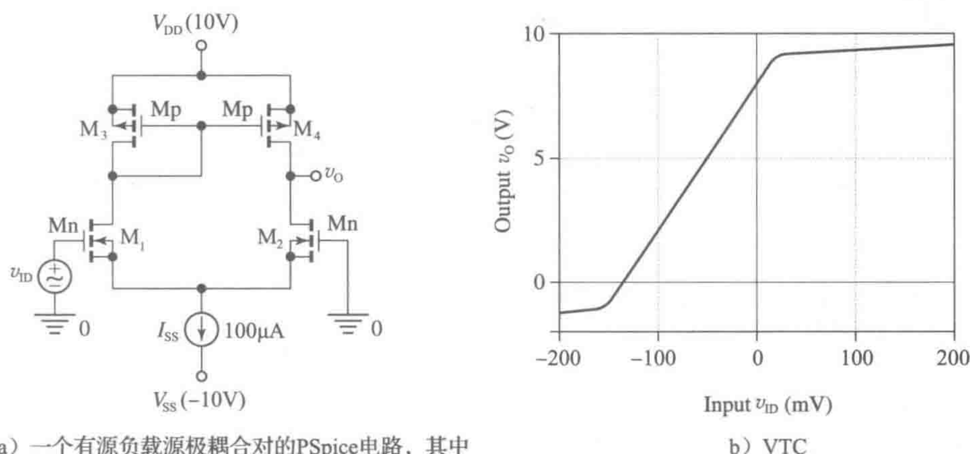
$$V_O = V_{CC} - V_{EBp} \tag{4.147}$$

式中：V_{EBp} 是 pnp BJT 发射极-基极电压降。在给定的例子中，$V_O\approx(10-0.7)V=9.3V$。然而，对图 4.65b 所示的 VTC 进行更仔细的检查，揭示了实际的 V_O 值比

上面的估计量更小。这是由于电流镜负载的 β 误差所致，在式(4.147)的 V_O 值处，这给出 $I_{C4}<I_{EE}/2$。因此，Q_2 将使 V_O 减小到正好 $I_{C4}=I_{C2}$。从该曲线看，这发生在 $V_O\approx8.0V$ 处(更多关于这方面内容见习题 4.27)。

- 增加 v_{ID} 到 0V 以上，使得 Q_1 更加导电，代价是 Q_2 变得更不导电。通过镜像行为，Q_4 也变得更加导电，因此，Q_4 产生的上拉行为将会胜过 Q_2 的下拉行为。这样我们就见证了 v_O 的增长直到 Q_4 到达饱和边缘(EOS)。超过这个点 Q_4 饱和，反过来引起 VTC 在 $v_O=V_{CC}-V_{EC4(sat)}\approx(10-0.1)V=9.9V$ 处饱和。
- v_{ID} 下降到 0V 以下，使得 Q_1 更不导电，而 Q_2 更加导电，导致 Q_2 的下拉行为胜过 Q_4 的上拉行为。现在我们见证了 v_O 的一个下降过程，直到 Q_2 到达饱和边缘。在这个点下面，VTC 在 $v_O=V_{E2}+V_{CE2(sat)}\approx(-0.7+0.1)V=-0.6V$ 处饱和。

接下来，让我们转向图 4.66a 所示的 CMOS 电路，其中我们得到以下结论。



a）一个有源负载源极耦合对的PSpice电路，其中 $k_n=k_p=200\mu A/V_2$，$V_{t0n}=V_{t0p}=1.0V$，$\lambda_n=\lambda_p=0.02V^{-1}$

b）VTC

图　4.66

- 当 $v_{ID}=0$ 时，I_{SS} 在两个匹配的 MOSFET M_1-M_2 间等分，即 $I_{D1}=I_{D2}=I_{SS}/2$。通过 KCL，$I_{D3}=I_{D1}$，且由电流镜行为，$I_{D4}=I_{D3}$，因此所有的 MOSFET 偏置在 $I_{SS}/2$。考虑到沟道长度调制效应，我们注意到如果晶体管的电流相同，直流偏置条件 $V_{DS2}=V_{DS1}$ 和 $V_{SD4}=V_{SD3}$ 必须成立。这些条件必须同时满足

$$V_O=V_{DD}-V_{SGp} \tag{4.148}$$

式中：V_{SGp} 是 pMOSFET 的源极-栅极电压降。在给定的例子中，$V_{OV}=1.0V$，因此 $V_{SGp}=|V_{tp}|+V_{OV}=(1+1)V=2V$，以及 $V_O=(10-2)V=8V$，与图 4.66b 所示电路吻合。

- 增加 v_{ID} 到 0V 以上，使得 M_1 更加导通，而 M_2 变得更不导通。通过镜像行为，M_4 也变得更加导通，表明 M_4 产生的上拉行为将会胜过 M_2 的下拉行为。这样我们见证了 v_O 的增加，直到 M_4 离开饱和区进入晶体管区。超过这个点，M_4 不再提供镜像功能，而 VTC 达到饱和，如图 4.66b 所示。
- 降低 v_{ID} 到 0V 以下，使得 M_1 更不导通，而 M_2 变得更导通。导致 M_2 产生的下拉行为将会胜过 M_4 的上拉行为。现在，我们见证了 v_O 的下降，直到 M_2 离开饱和区进入晶体管区。在这个点以下，VTC 达到饱和，如图 4.66b 所示。

差模增益

求带有源负载差分对的差模增益，一个有效方法是，通过诺顿等效，即由一个独立源 $i_{o(sc)}$ 以及一个并列电阻 R_o 组成。

为了求出短路输出电流 $i_{o(sc)}$，参考图 4.67 所示的交流的等效电路，其相似性表明可以并列分析。我们注意到，由于 Q_1 和 Q_2 的集电极终止点不同，共享的射极端，严格意义

上讲也不是交流地，如图 4.67 所示。射极耦合对将由于厄利效应而略不平衡，同样源极耦合对由于沟道调制效应也同样如此。但是，为了加快我们的估算，让我们继续假设其为交流地，如图 4.67 所示。

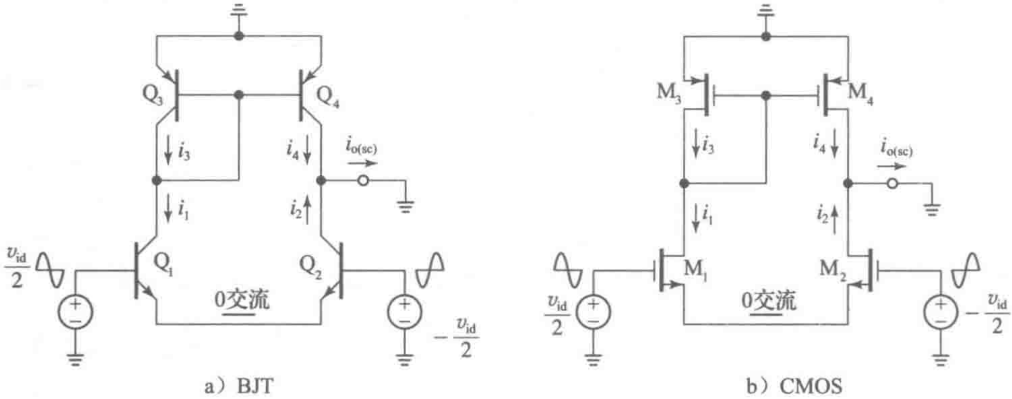


图 4.67 求短路输出电流 i_o 的半边的等效电路

对于两个输入对，我们可近似有：

$$i_2 = i_1 \approx g_{mn} \frac{v_{id}}{2}$$

式中：g_{mn}差分对中晶体管的跨导。通过 KCL，我们有 $i_3 = i_1$，以及通过电流镜像行为，我们有 $i_4 = i_3$。因此，我们也有 $i_4 = i_1$，所以 $i_{o(sc)} = i_4 + i_2 = 2i_1$，即

$$i_o(\mathrm{sc}) \approx g_{mn} v_{id} \tag{4.149}$$

在双极型情形中，四个 BJT 的 g_m 相同，因此在该情况下，我们可以去除下角标 n，并写出 $i_{o(sc)} = g_m v_{id}$，$g_m = -0.5 I_{EE} V_T$。然而，MOSFET 情形下，我们需要保持差别，由于 $g_{mn} = (\sqrt{k_n I_{SS}})$和 $g_{mp} (= \sqrt{k_p I_{SS}})$因为 k_n 和 k_p 不必相同而可能不同。

接下来，让我们回到求出小信号输出电阻的任务上来。为此，使输入源置零，应用一个测试电压 v，求出流出测试源的电流 i，且使 $R_o = v_o / i_o$。参考图 4.68 所示电路，我们注意到在两个电路中测试电流 i 由三部分组成。

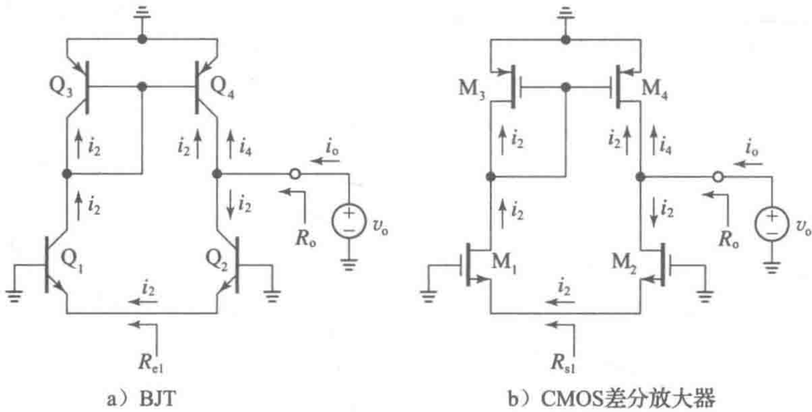


图 4.68 求出输出电阻 R_o 的测试电路

- 流入 Q_4集电极或 M_4漏极的组成部分 i_4。由欧姆定律，这部分仅仅是：

$$i_4 = \frac{v}{r_{o4}}$$

- 流入 Q_2集电极或 M_2漏极的组成部分 i_2。由于简并电阻 $R_{e1} = r_{e1} = \alpha_{01}/g_{m1} \approx 1/g_{m1}$的存在，由 Q_2的集电极看进去的电阻为 $r_{o2}(1 + g_{m2} R_{e1}) = r_{o2}(1 + g_{m2}/g_{m1}) = 2r_{o2}$。同

样地，由于退简并电阻 $R_{s1} \approx 1/(g_{m1}+g_{mb1})$，由 M_4 的漏极看进去的电阻近似为 $r_{o2}[1+(g_{m2}+g_{mb2})/(g_{m1}+g_{mb1})]=2r_{o2}$。因此，有：

$$i_2 = \frac{v}{2r_{o2}}$$

- 由 KCL，电流组分 i_2 必须流出 Q_2 的发射极或者 M_2 的源极，流经 Q_1 或 M_1，并流入 Q_3 或 M_3，此处电流最终被 Q_4 或 M_4 镜像，如图 4.68b 所示。

现在我们应用 KCL，写出：

$$i_o = i_4 + i_2 + i_2 = \frac{v}{r_{o4}} + \frac{v}{2r_{o2}} + \frac{v}{2r_{o2}} = \frac{v}{r_{o4}} + \frac{v}{r_{o2}} = \frac{v}{r_{o4} /\!/ r_{o2}}$$

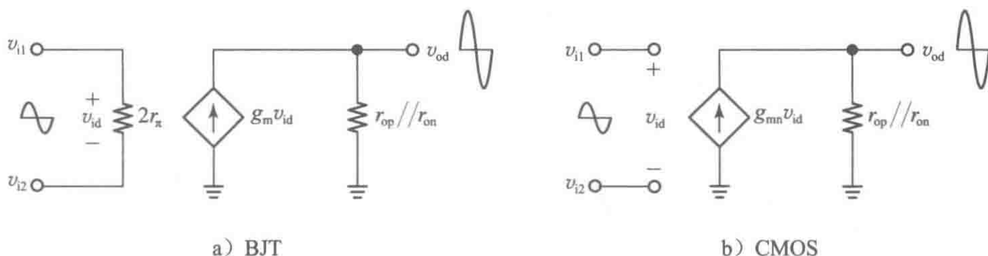
使 $R_o = v_o/i_o$，我们最终得到：

$$R_o = r_{op} /\!/ r_{on} \tag{4.150}$$

其中，我们照常使用下标 n 和 p 分别表示差分对晶体管和电流镜中集电极/漏极电阻。

我们知道，双极型电路的差分输入电阻为 $R_{id}=2r_\pi$，而对应的 CMOS 电路中 $R_{id}=\infty$。我们通过图 4.69 描绘的诺顿的等效电路求取我们的结果。最后，我们利用欧姆定律得到 $v_{od}=R_o i_{o(sc)}$，即双极型情形中，为 $v_{od}=R_o g_m v_{id}$，CMNOS 情形中，为 $v_{od}=R_o g_{mn} v_{id}$。无负载电压增益为 $a_{dm}=v_{od}/v_{id}$，因此，

$$a_{dm(BJT)} = g_m(r_{op} /\!/ r_{on}),\quad a_{dm(MOS)} = g_{mn}(r_{op} /\!/ r_{on}) \tag{4.151}$$



a) BJT　　　b) CMOS

图 4.69　有源负载差分放大器的诺顿的等效电路

习题 4.84 显示 $a_{dm(MOS)}$ 可以表示成如下形式：

$$a_{dm(MOS)} = -\frac{2}{V_{OVn}(\lambda_n + \lambda_p)} \tag{4.152a}$$

式中：V_{OVn} 是差分对 MOSFET 的过驱动电压；λ_n 和 λ_p 分别是 n 型 MOSFET 和 p 型 MOSFET 的沟道长度调制效应。如果所有的 MOSFET 制造成相同的沟道长度 L，那么式(4.31)为差分增益提供了另一种有效形式：

$$a_{dm(MOS)} = -\frac{2L}{V_{OVn}(\lambda'_n + \lambda'_p)} \tag{4.152b}$$

式中：λ'_n 和 λ'_p 是描述两种类型 MOSFET 沟道长度调制效应的工艺参数。显然对于给定的 V_{OVn}，沟道长度越长，增益越高。

例 4.25 (a) 估计图 4.65a 所示双极电路的诺顿等效电路的各元素值，以及其电压增益 a_{dm}。

(b) 对于图 4.66a 所示的 CMOS 电路，重复上面的计算。与(a)问比较并评论。

解：

(a) 我们有，$g_m=0.5I_{EE}/V_T=(0.5/26)1/\Omega=1/(52\Omega)$，$r_{op}=(50/0.5)\text{k}\Omega=100\text{k}\Omega$，$r_{on}=(100/0.5)\text{k}\Omega=200\text{k}\Omega$，$r_{op} /\!/ r_{on}=(100 /\!/ 200)\text{k}\Omega=67\text{k}\Omega$，$2r_\pi=2\times200\times52\text{k}\Omega=20.8\text{k}\Omega$，和 $a_{dm}=(67/0.052)\text{V/V}=1\,282\text{V/V}$。

(b) 我们有，$g_{mn}=\sqrt{kI_{SS}}=\sqrt{100\times100}\mu\text{A/V}=100\mu\text{A/V}$，$r_{op}=r_{on}=(1/(0.02\times50\times10^{-6}))\Omega=1\text{M}\Omega$，$r_{op} /\!/ r_{on}=0.5\text{M}\Omega$ 及 $a_{dm}=100\times0.5\text{V/V}=50\text{V/V}$，比双极情形的增益更低，因为 g_{mn} 更小。◀

共模抑制比(CMRR)

我们知道，一个理想的差分放大器仅仅只对差模信号 $v_{id}=v_{i1}-v_{i2}$ 作出响应，而忽视共模成分 $v_{ic}=(v_{i1}+v_{i2})/2$。但是实际有源负载放大器在某种程度上对 v_{ic} 是敏感的，因此它的整体输出呈现出更一般的形式：

$$v_o = v_{od} + v_{oc} = a_{dm} v_{id} + a_{cm} v_{ic}$$

式中：v_{od} 和 v_{oc} 分别是差模输出成分和共模输出成分；a_{dm} 和 a_{cm} 是相应的增益。我们知道，共模抑制比(CMRR)是一个品质因素，有：

$$\text{CMRR} = \left|\frac{a_{dm}}{a_{cm}}\right| \tag{4.153}$$

该值应该尽可能大(理想情况，a_{cm} 应该是零，因此 CMRR=∞)。从式(4.151)，我们已经知道 a_{dm}，因此我们只需求出 a_{cm}，我们将在图 4.70 所示的等效电路帮助下完成这个任务。根据 4.6 节，差分对 Q_1-Q_2 和 M_1-M_2 被拆分为两个共模半边电路。而且，二极管连接的晶体管 Q_3 和 M_3 由等效电阻 r_3 代替，而镜像晶体管 Q_4 和 M_4 由它们的小信号等效电路替代(注意到 $r_{\pi 4}$ 包含在 r_3 中)。两个电路之间明显的相似性表明我们可以同时分析它们(通常，下面的分析假设差分对以及有源负载对匹配)。

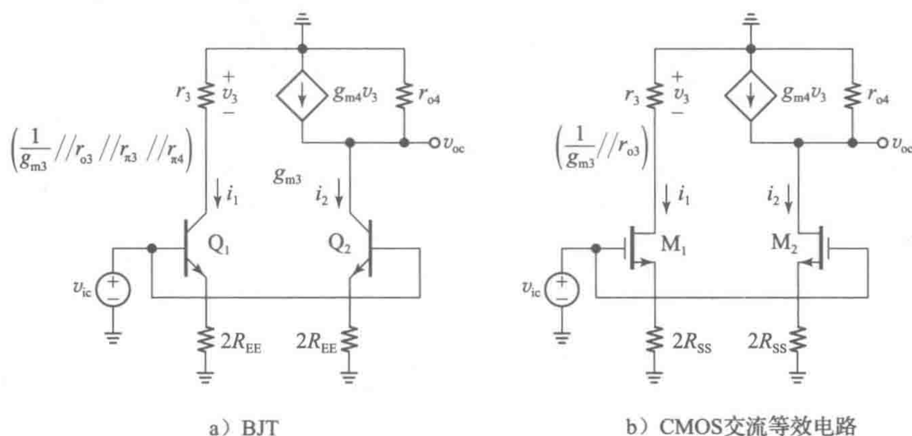


图 4.70 求共模增益 $a_{cm}=V_{oc}/V_{ic}$

在图 4.70a 所示电路中通过观察，我们有：

$$i_{1(\text{BJT})} = i_{2(\text{BJT})} = \frac{g_m}{1+g_m 2R_{EE}} v_{ic} \tag{4.154a}$$

同样地，在图 4.70b 所示电路中，我们有：

$$i_{1(\text{MOS})} = i_{2(\text{MOS})} = \frac{g_{mn}}{1+(g_{mn}+g_{mbn})2R_{SS}} v_{ic} \tag{4.154b}$$

在图 4.70a 所示电路中，通过观察，我们有：

$$r_{3(\text{BJT})} = \frac{1}{g_{m3}} // r_{o3} // r_{\pi 3} // r_{\pi 4} \tag{4.155a}$$

以及在图 4.70b 所示电路中，我们有：

$$r_{3(\text{MOS})} = \frac{1}{g_{m3}} // r_{o3} \tag{4.155b}$$

电压降 $v_3=r_3 i_1$ 引起 Q_4 和 M_4 在输出节点产生一个源电流 $g_{m4}v_3$，此时对于两个电路，由 KCL 得到：

$$g_{m4} v_3 = \frac{v_{oc}}{r_{o4}} + i_2$$

即 $v_{oc}=g_{m4}r_{o4}r_3 i_1 - r_{o4} i_2$。对于两个电路，利用 $i_2=i_1$，以及 $g_{m4}=g_{m3}$，我们得到：

$$v_{oc} = (g_{m3}r_3 - 1)r_{o4} i_1 \tag{4.156}$$

注意到，r_3 略小于 $1/g_{m3}$，因此乘积 $g_{m3}r_3$ 略低于单位1。显然，Q_4/M_4 产生电流和 Q_2/M_2 吸收电流间有一个轻微的不平衡，使得 $v_{oc}\neq 0$。正是这种内在的不平衡使得 $v_{cm}\neq 0$，因此 CMRR<∞。的确，将式(4.154)和式(4.156)相减，且使 $a_{cm}=v_{oc}/v_{ic}$，给出(见习题4.85)：

$$a_{cm(BJT)}=\frac{-g_m r_{op}}{(1+0.5\beta_{0p})(1+2g_m R_{EE})} \tag{4.157a}$$

$$a_{cm(MOS)}=\frac{-g_{mn}r_{op}}{(1+g_{mp}r_{op})[1+2(g_{mn}+g_{mbn})R_{SS}]} \tag{4.157b}$$

其中，如果需要数字下标通常由下标 p 和 n 代替。只要不同的 $g_m\times r$ 乘积远大于单位1，上面的表达式就可简化为：

$$a_{cm(BJT)}\approx\frac{-r_{op}}{\beta_{0p}R_{EE}},\quad a_{cm(MOS)}=\frac{-1}{2(1+\chi_n)g_{mp}R_{SS}} \tag{4.157c}$$

例 4.26 (a) 假设 $R_{EE}=100\text{k}\Omega$，求出图4.65a所示带有源负载的射极耦合对的 a_{cm} 和 CMRR。

(b) 对于图4.66a所示的CMOS电路，重复上述问题。假设 $R_{SS}=0.5\text{M}\Omega$，以及 $g_{mbn}=0.1g_{mn}$。

解：

(a) 由式(4.157a)，我们有：

$$a_{cm(BJT)}=\frac{-100/0.052}{(1+0.5\times 50)\times(1+2\times 100/0.052)}\text{mV/V}=-19.2\text{mV/V}$$

例4.25(a)问给出了 $a_{dm}=1\,282\text{V/V}$，因此，$\text{CMRR}_{BJT}=1\,282/(19.2\times 10^{-3})=66\,681(=96.5\text{dB})$。

(b) 在本例中有，$g_{mn}=g_{mp}(=0.1\text{mA/V})$。利用式(4.157b)，有：

$$a_{cm(MOS)}=\frac{-0.1\times 1\,000}{(1+0.1\times 1\,000)\times[1+2\times 0.1\times(1+0.1)\times 500]}\text{mV/V}=-8.92\text{mV/V}$$

例4.25(b)问给出了 $a_{dm}=50\text{V/V}$，因此$\text{CMRR}_{MOS}=50/(8.92\times 10^{-3})=5\,605(=75\text{dB})$。◀

建立CMRR的直接表达式是有益的。将式(4.151)和式(4.157)代入式(4.153)，我们得到(见习题4.85)BJT表达式为：

$$\text{CMRR}_{BJT}=\frac{1+0.5\beta_{0p}}{1+r_{op}/r_{on}}(1+2g_m R_{EE})\rightarrow\frac{\beta_{0p}g_m R_{EE}}{1+r_{op}/r_{on}} \tag{4.158a}$$

表明与无源负载情形相比，有源负载改善了大约$(1+0.5\beta_{0p})/(1+r_{op}/r_{on})$。同样地，对于MOSFET的情形我们得到：

$$\text{CMRR}_{MOS}\approx\frac{1+g_{mp}r_{op}}{1+r_{op}/r_{on}}[1+2(g_{mn}+g_{mbn})R_{SS}]$$

$$\rightarrow 2g_{mp}(r_{on}\,/\!/\,r_{op})g_{mn}(1+\chi_n)R_{SS} \tag{4.158b}$$

表明与无源负载情形相比，有源负载改善了大约$(1+g_{mp}r_{op})/(1+r_{op}/r_{on})$。

有源负载差分对的输入失调电压

在有源负载差分对中，输入失调电压 V_{OS} 是差分对，以及电流镜晶体管不匹配的结果。首先转向图4.64a所示的BJT电路，我们调整式(4.118)，且写出：

$$V_{OS(BJT)}\approx V_T\sqrt{\left(\frac{\Delta I_{sn}}{I_{sn}}\right)^2+\left(\frac{\Delta I_{sp}}{I_{sp}}\right)^2} \tag{4.159}$$

如果两个失配的幅度相等，有源负载失配的影响产生的失调是射极耦合对单独产生失调的$\sqrt{2}$倍。在双极型情形中，有一个由于pnp镜 β 误差产生的额外失调项。我们知道，该误差项为：

$$\Delta I_{C4}=-\frac{2}{\beta_{Fp}}I_{C4}\approx-\frac{2}{\beta_{Fp}}I_C$$

式中：β_{Fp}是 pnp BJT 的平均 β 值。将其除以 $-g_m(=-I_C/V_T)$，得到：

$$V_{OS(systematic)}\approx\frac{\Delta I_{C4}}{-g_m}=V_T\frac{2}{\beta_{Fp}} \tag{4.160}$$

这是我们需要在输入端去补偿电流镜 β 误差的校正电压，即使 npn 和 pnp 对完全匹配。与随机的晶体管失配产生的失调项不同，式(4.160)项总是出现在相同的方向，因此，称为系统失调项。如果必要，则可采用一个对 β 有帮助的电流镜作为有源负载，或者采用共源共栅型或威尔逊型电流镜，来减少系统失调。

例 4.27 利用例 4.35(a)问所示的数据，讨论图 4.65a 所示双极型电路中 β_{Fp} 的影响。

解：

由于 $v_{ID}=0$，我们有 $I_C \approx 500\mu A$，以及 $V_{EBp} \approx 0.7V$。如果 pnp BJT 的 β 无穷，电路将有 $V_O \approx (10-0.7)V=9.3V$。然而，由于有限的 pnp β 值，电流镜显示出一个误差 $\Delta I_{C4} \approx -(2/50)\times 500\mu A=-20\mu A$。为了得到 $I_{C4}=I_{C2}$，输出将自动变化 $\Delta V_O=R_o\Delta I_{C4}=67\times 10^3 \times(-20\times 10^{-6})V \approx -1.3V$，且保持在 $V_O \approx (9.3-1.3)V=8.0V$，与图 4.65b 所示的 VTC 一致。如果我们希望确保理想的直流平衡，我们必须驱动 V_O 回到 9.3V。通过应用一个校正过的输入电压 $V_{ID}=-\Delta V_O/a_{dm}=(1.3/1\,282)V \approx 1mV$ 来实现。毫无疑问，这是式(4.160)所预测的项，即 $V_{OS(systematic)}=26\times(2/50)mV=1mV$。◀

接下来转到图 4.64b 所示的 CMOS 集成电路，我们注意到没有任何的系统失调，因为栅极电流为零。现在失调主要来源于晶体管对中 k 和 V_t 的不匹配。这将作为练习留给学生(见习题 4.94)，表明：

$$V_{OS(MOS)} \approx \frac{V_{OVn}}{2}\sqrt{\left(\frac{\Delta k_n}{k_n}\right)^2+\left(\frac{\Delta k_p}{k_p}\right)^2+\left(\frac{\Delta V_{tn}}{0.5V_{OVn}}\right)^2+\left(\frac{\Delta V_{tp}}{0.5V_{OVn}}\right)^2} \tag{4.161}$$

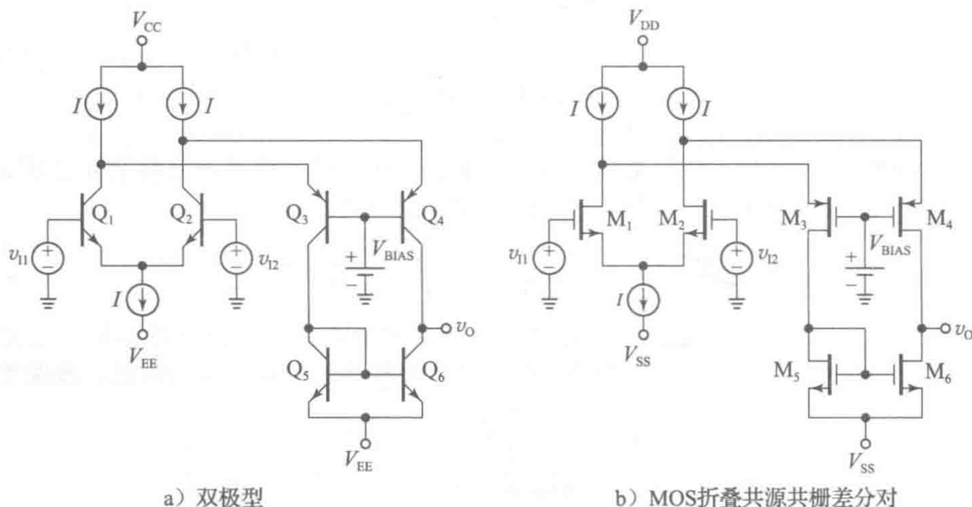
如果有源负载失配幅度与差分对失配幅度相同，有源负载的影响使得失调通常是由于差分对单独导致失调的 $\sqrt{2}$ 倍。

折叠共源共栅差分对

图 4.64 所示两个电路的一个显著缺点是，输出端的电压动态余量有限。当 Q_4/M_4 被驱动到饱和区边缘时，达到了输出电压摆幅(OVS)的上限，因此双极型电路有 $v_{O(max)}=V_{CC}-V_{EC4(EOS)}$，以及相应的 MOS 版本中有 $v_{O(max)}=V_{DD}-V_{OV4}$。当 Q_2/M_2 被驱动到饱和区边缘时，达到了输出电压摆幅的下限，因此双极型电路有 $v_{O(min)}=v_{I2}-V_{BE2}+V_{CE2(EOS)}$，以及 MOS 电路中有 $v_{O(min)}=v_{I2}-V_{GS2}+V_{OV2}=v_{I2}-(V_{t2}+V_{OV2})+V_{OV2}=v_{I2}-V_{t2}$。

正是下限导致了问题，因为它取决于 v_{I2}。事实上，v_{I2} 越高，输出端的可用的电压动态余量越小。

上面的缺点可以通过图 4.71 所示折叠共源共栅设计来避免，显然此时 Q_6/M_6 被驱动到饱和边缘时，达到了下限。实际上，双极型电路现在有 $v_{O(min)}=V_{EE}+V_{CE6(EOS)}$，以及



a）双极型　　b）MOS折叠共源共栅差分对

图 4.71

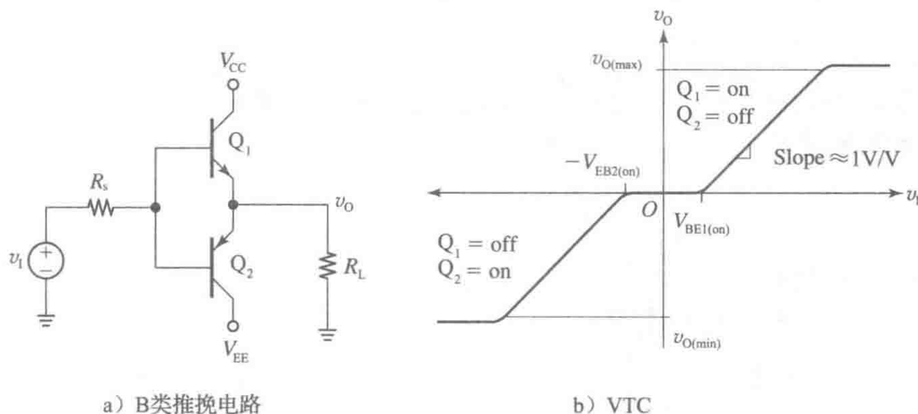
MOS 电路有 $v_{O(min)}=V_{SS}+V_{OV6}$，在两种情形中，$v_{O(min)}$是与 v_{I2}无关的，且与负电压非常接近(更多讨论见习题 4.97 和习题 4.98)。

4.10　双极型输出级

一个电压输出电路的输出级最主要的作用是提供一个低输出电阻，以减小输出负载效应。在通用的专用 IC 中如运算放大器，输出级必须能够提供足够的电流，以满足各种各样的负载需求。在消耗最小的待机功耗的同时，它确实应该这样。总之，电路满足这些功能：具有适当宽的频率带宽，具有最小的失真，以及大的输出电压摆幅(理想情况下，轨到轨)。在双极型技术下的可用的各种输出配置中，性能最优越的就是所谓的推挽输出级。

B 类推挽输出级

用于输出级的一个好的选择是共集电极(CC)配置，因为它吸收一个小的基极电流而提供一个 $\beta+1$ 倍的发射极电流。而且，反映到射极的驱动源电阻为原值的$\frac{1}{\beta+1}$倍小。npn BJT 产生射极电流，而 pnp BJT 仅仅吸收射极电流，因此我们需要两种器件类型以提供两种极性。npn BJT 将处理正电压，此时电流灌入负载；pnp BJT 处理负电压，此时电流从负载拉出。恰当地称为推挽输出级，该电路的基本形式如图 4.72a 所示。参考图 4.72 所示的 VTC，我们得到以下结论。



a) B类推挽电路　　b) VTC

图　4.72

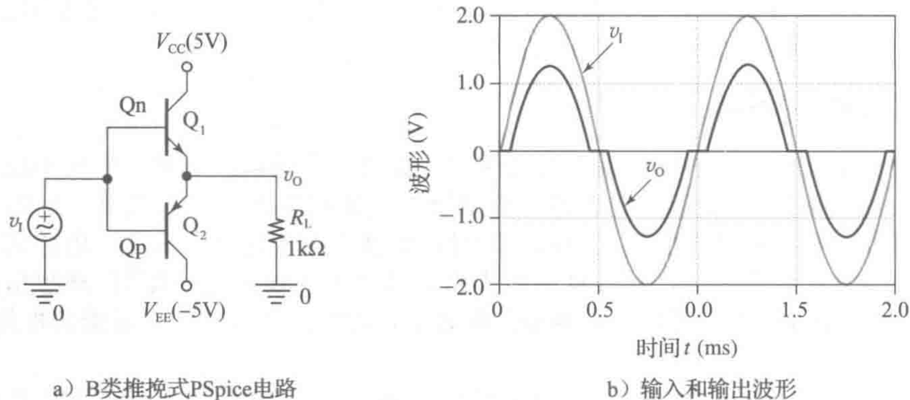
- 只要 v_I落入范围$-V_{EB2(on)}<v_I<V_{BE1(on)}$，两个 BJT 均截止，$v_O=0$。
- 当我们将 v_I增加到 $V_{BE1(on)}$以上时，Q_1导通，而 Q_2仍然截止。在正向有源工作过程中，Q_1充当着射极跟随器，其电压增益略低于 1V/V。
- 提高 v_I到正电压以上，将最终使 Q_1达到饱和区边缘(EOS)，这样达到输出电压摆幅的上限为 $v_{O(max)}=V_{CC}-V_{CE1(EOS)}$。
- 当我们将 v_I降低到$-V_{EB2(on)}$以下时，Q_1和 Q_2的作用互换，产生一个关于原点对称的 VTC，这样有 $v_{O(min)}=V_{EE}+V_{EC2(EOS)}$。

通过 PSpice 仿真电路，我们可以进一步深入了解。如图 4.73 所示，由于存在死区——$V_{EB2(on)}<v_I<V_{BE1(on)}$，电路引入相当大的失真，在该区域内，两个 BJT 都不导电。称之为交越失真，这通常是无法容忍的，所以本电路主要被用于处理交越失真不严重的方波信号。

该电路称为 B 类电路，因为每个 BJT 只在半个周期内导通(实际上，由于非零的基极-发射极电压降，每个 BJT 的导通角小于 180°)。

AB 类推挽输出级

如果当 $v_O=0$ 时，我们已经使得两个 BJT 导通，而不是等待 v_I 增加到 $V_{BE1(on)}$以上，或者是下降到$-V_{EB2(on)}$以下，那么交越失真可以完全消除。这需要在两个基极之间产生一



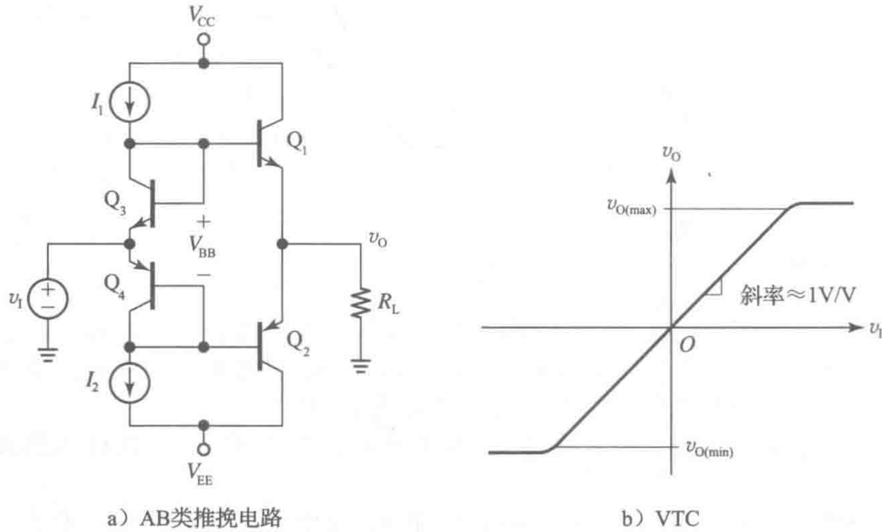
a）B类推挽式PSpice电路　　　b）输入和输出波形

图　4.73

个电压降 $V_{BB}=V_{BE1(on)}+V_{EB2(on)}\approx 2\times 0.7\text{V}=1.4\text{V}$。为了确保 BJT 有一个可预测的偏置电压，$V_{BB}$必须密切跟踪它们的基极-发射极电压降的总和，因此我们需要采用镜像的工作方式。在图 4.74a 所示的经典配置中，基极偏置 V_{BB}由二极管连接的 BJT 对 Q_3和 Q_4以及相关的电流产生器 I_1和 I_2提供。称作 AB 类输出级，该电路产生一个改进显著的电压传输曲线，如图 4.74b 所示。通过观察，我们求得它的小信号输出电阻为：

$$R_o=\left(\frac{r_{d3}}{\beta_{01}+1}+r_{e1}\right)//\left(\frac{r_{d4}}{\beta_{02}+1}+r_{e2}\right) \tag{4.162}$$

式中：r_{d3}和 r_{d4}是二极管连接的 BJT 的动态电阻；r_{e1}和 r_{e2}是推挽 BJT 的发射极看进去的动态电阻。通常 R_o非常小。

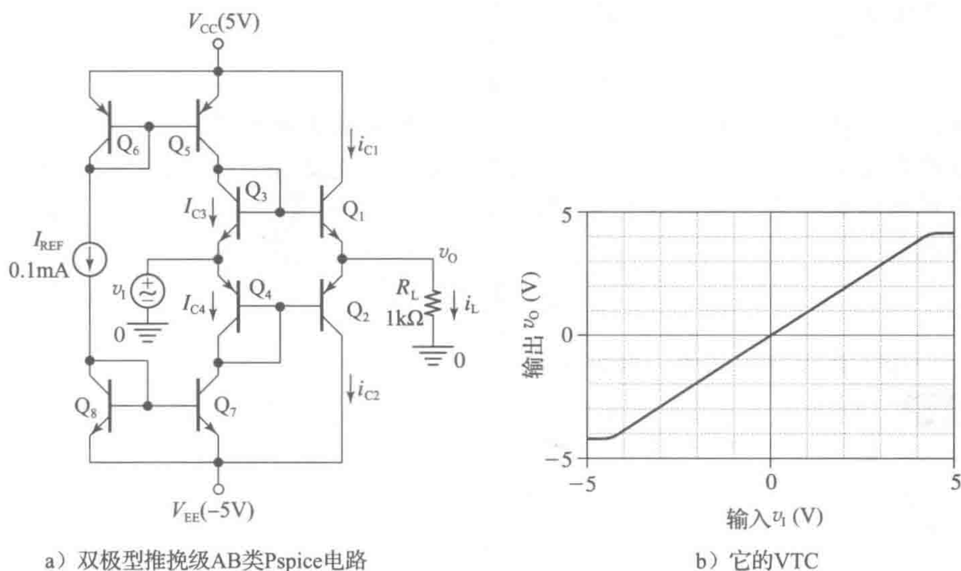


a）AB类推挽电路　　　b）VTC

图　4.74

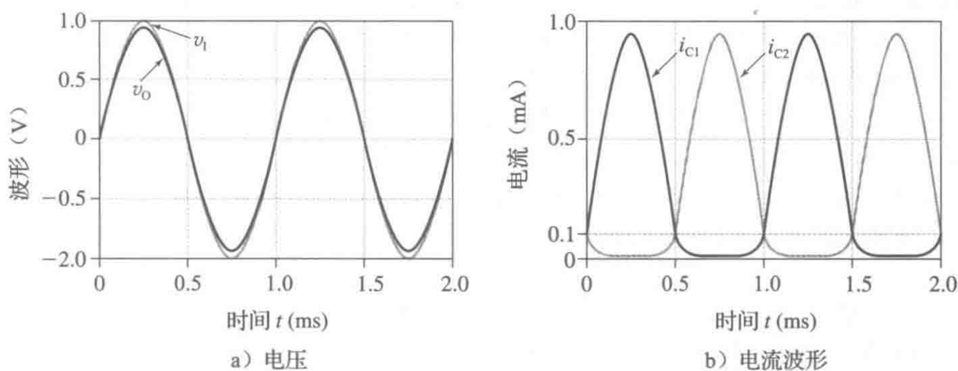
电路的行为通过图 4.75 所示的 PSpice 例子得到了很好的说明，该电路利用 Q_5-Q_6 和 Q_7-Q_8 电流镜，以及基准源 I_{REF} 来偏置二极管连接的 Q_3-Q_4 对，使 $I_{C3}=I_{C4}=I_{REF}=0.1\text{mA}$。参照图 4.76 所示波形，我们作出下列说明。

- 当 $v_O=0$ 时流过 R_L的电流为零，因此 Q_1和 Q_2必须携带相同的电流，即 $i_{C1}=i_{C2}$。假设 Q_1-Q_3 及 Q_2-Q_4 对匹配，Q_1将镜像 Q_3，而 Q_2将镜像 Q_4，且给出 $i_{C1}=i_{C2}=0.1\text{mA}$。这称为 Q_1-Q_2 的静态电流 I_Q。基于功耗的考虑，一个设计良好的电路，I_Q保持在所需要的最小值以免失真。显然当 $v_I=0$ 时，$v_O=0$。当 $i_L=0$ 时，电路的状态称为待机。



a）双极型推挽级AB类Pspice电路　　b）它的VTC

图　4.75



a）电压　　b）电流波形

图 4.76　图 4.75 所示 PSpice 电路

- 当我们增加 v_I 时，v_O 也会通过 Q_1 构成的射极跟随器而增加，反过来又提高 i_{C1}。例如，当 i_{C1} 加倍时，通过经验法则，v_{BE1} 将增加 18mV。但是由于 $v_{BE1}+v_{EB2}=V_{BB}\approx$ 常数，v_{BE1} 增加 18mV 将导致 v_{EB2} 减少 18mV，表明 i_{C2} 将减半。从图 4.76b 显然可知，当 v_I 进一步增加，我们最终得到 $i_{C2}\to 0$，及 $i_{C1}\to i_L$。
- 当 v_I 足够大，二极管 Q_3 将关断，导致 Q_5 饱和。因此，VTC 自饱和。当 Q_5 被带到饱和区边缘时，达到输出电压摆幅上限，因此我们现在有：

$$v_{O(max)}=V_{CC}-V_{EC5(EOS)}-V_{BE1(on)} \tag{4.163a}$$

对于所考虑的电路，$v_{O(max)}=(5-0.2-0.7)\text{V}=4.1\text{V}$。
- 当我们将 v_I 降低到 0V 以下时，Q_1 和 Q_2 的作用互换，这样产生一个对称的 VTC。输出电压摆幅的下限为：

$$v_{O(min)}=V_{EE}+V_{CE7(EOS)}+V_{EB2(on)} \tag{4.163b}$$

显然，$v_{O(min)}\approx -4.1\text{V}$。

为了更好地理解各种电流之间的相互作用，我们应用 KVL，写出 $v_{BE1}+v_{EB2}=V_{BE3}+V_{EB4}$。利用熟知的 BJT 方程，重新写为：

$$V_T\ln\frac{i_{C1}}{I_{s1}}+V_T\ln\frac{i_{C2}}{I_{s2}}=V_T\ln\frac{I_{C3}}{I_{s3}}+V_T\ln\frac{I_{C4}}{I_{s4}}$$

$$V_T\ln\left(\frac{i_{C1}}{I_{s1}}\frac{i_{C2}}{I_{s2}}\right)=V_T\ln\left(\frac{I_{C3}}{I_{s3}}\frac{I_{C4}}{I_{s4}}\right)$$

为了使等式成立，对数参数必须相同，因此我们得到：

$$i_{C1}i_{C2}=\left(\frac{I_{s1}I_{s2}}{I_{s3}I_{s4}}\right)I_{C3}I_{C4} \tag{4.164}$$

表明乘积 $i_{C1}i_{C2}$ 保持恒定。在图 4.75 所示的例子中我们有 $i_{C1}i_{C2}=I_{C3}I_{C4}=(0.1\text{mA})^2=10^{-8}\text{A}^2$。

这意味着如果两个电流中的一个随 i_L 以 8 倍频程或 10 倍频程的方式增长，则另一个电流将以相同的速度下降。我们知道，当 $i_L=0$ 时，电路处在待机状态，有 $i_{C1}=i_{C2}$，其静态电流为：

$$I_Q=\sqrt{\frac{I_{s1}I_{s2}}{I_{s3}I_{s4}}I_{C3}I_{C4}} \tag{4.165}$$

由于所有的 BJT 假设是相同的，本电路有 $I_Q=0.1\text{mA}$。

例 4.28 (a) 对于图 4.75a 所示的电路，求出 $i_{C1}=0.4\text{mA}$ 时的电流 v_I。相应的 v_O 值是多少？

(b) 求出 $v_O=-0.25\text{V}$ 时的 v_I。i_{C1} 和 i_{C2} 的值是多少？

(c) 如果 $v_I=1.0\text{V}$，估计 v_O。

解：

(a) 将 i_{C1} 从 0.1mA 增加到 0.4mA(两个八度)时，i_{C2} 从 0.1mA 下降到 $(0.1/(2\times2))\text{mA}=0.025\text{mA}$。通过 KCL，$i_L=i_{C1}-i_{C2}=(0.4-0.025)\text{mA}=0.375\text{mA}$。通过欧姆定律，$v_O=R_Li_L=(1\times0.375)\text{V}=0.375\text{V}$。由经验法则，$i_{C1}$ 两个八度的增加，需要 v_{BE1} 增加 $(2\times18)\text{mV}=36\text{mV}$。因此，将 v_O 从 0V 增加到 0.375V，我们必须将 v_I 从 0V 增加到 $(0.375+0.036)\text{V}=0.411\text{V}$。

(b) 我们现在有 $i_L=v_O/R_L=(-0.25/1)\text{mA}=-0.25\text{mA}$，即，一个 0.25mA 的负载电流流过 Q_2 的发射极。通过 KCL 给出 $i_{C2}=i_L+i_{C1}=0.25\times10^{-3}+10^{-8}/i_{C2}$，通过求解我们得到 $i_{C2}=0.285\text{mA}$。而且，$i_{C1}=(10^{-8}/(0.285\times10^{-3}))\text{mA}=0.035\text{mA}$。将 i_{C2} 从 0.1mA 增加到 0.285mA，需要 v_{BE2} 也增加 $(26\text{mV})\ln(0.285/0.1)\approx27\text{mV}$。因此，$v_I=(-0.25-0.027)\text{V}=-0.277\text{V}$。

(c) 我们期望 v_O 比 1.0V 略小，从初始估计值 $v_{O(0)}\approx1\text{V}$ 开始，然后迭代。我们有 $i_{L(0)}\approx(1/1)\text{mA}=1\text{mA}$ 以及 $i_{C2}\ll i_{C1}$，因此 $i_{C1(0)}\approx i_{L(0)}\approx1\text{mA}$。由经验法则，将 i_{C1} 从 0.1mA 增加到 1mA，我们必须使 v_{BE1} 增加 60mV。因此，一个更好的估计是 $v_{O(1)}=(1.0-0.06)\text{V}=0.94\text{V}$。那么 $i_{L(1)}=(0.94/1)\text{mA}=0.94\text{mA}$ 以及 $i_{C2(1)}=(10^{-8}/(0.94\times10^{-3}))\text{mA}=0.016\text{mA}$。读者可以多做一次迭代来验证最后一个结果是足够充分的。◀

过载保护

众所周知，双极型推挽级容易受到过载影响，例如输出端对地的无意短路。当出现过载情况时，前级将提高过载 BJT 的基极驱动电压，导致后者吸收足够的电流而过热，从而可能毁坏。我们需要看门狗电路，以检测每个推挽 BJT 的电流，一旦此电流尝试超过规定的安全限值，则以防止任何进一步增加电流的方式进行干预。输出级将不再执行其预期的功能，但至少它将避免遭到破坏。

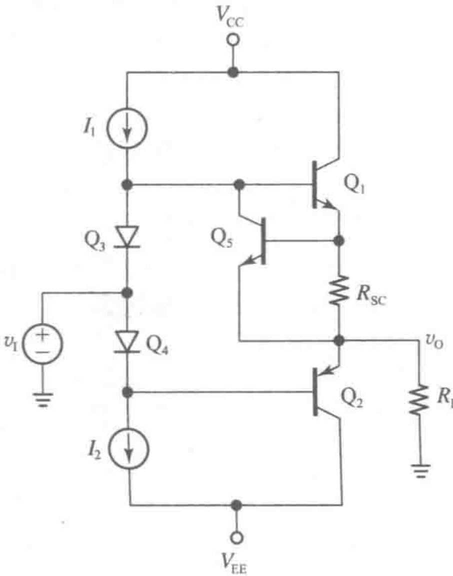


图 4.77 Q_1 的过载保护电路

图 4.77 所示的是 Q_1 的过载保护电路，但是 Q_2 也可以采用相似的方式。该电路采用一系列小电阻 R_{SC} 来检测 Q_2 的发射极电流，以及一个在正常工作情况下关闭的 BJT 看门狗 Q_5，但是只要负载试图从 Q_1 抽取过量的电荷，Q_5 就开始工作。一旦导通，Q_5 将从 I_1 源转移过量的电流到负载，使流入 Q_1 的基极电流仅仅为维持 Q_1 导通所必需的量，且在安全限制

范围内。电流检测电阻选为：

$$R_{SC}=\frac{V_{BE5(on)}}{I_{SC}} \tag{4.166}$$

式中：$V_{BE5(on)}$ 是开启 Q_5 所需的电压；I_{SC} 是 Q_1 允许的最大电流。

例 4.29 图 4.77 所示的电路中，使 $\beta_{F1}=\beta_{F5}=250$，$V_{BE5(on)}=0.7V$，$I_1=I_2=300\mu A$，以及 $V_{CC}=15V$。假设电路是负反馈系统的一部分，该负反馈系统用于调节输出电压使其为$V_O=10V$。

(a) 当 $I_{SC}=20mA$ 时，指定 R_{SC} 值。

(b) 如果电阻 $R_L=2.0k\Omega$，显示所有相关的电压和电流。

(c) 如果由于学生将电阻色环读错，导致电路负载为 $R_L=20\Omega$，而不是 $R_L=2.0k\Omega$。重复上面的操作。

(d) 如果 Q_1 没有短路保护，很可能会发生什么？对你的发现进行评论。

解：

(a) $R_{SC}=(0.7/0.020)\Omega=35\Omega$。

(b) 如果 $R_L=2.0k\Omega$，我们有 $I_L=V_O/R_L=(10/2.0)mA=5mA$。当电流流过 R_{SC} 时，电流产生一个电压降 $V_{BE5}=R_{SC}I_L=(0.035\times5)V=0.175V$。这还不足以开启 Q_5，因此后者仍将保持静止状态，就像一个好的看门狗所应该做的。为了提供 5mA 电流，Q_1 抽取基极电流 $I_{B1}=I_{E1}/(\beta_{F1}+1)=(5/251)mA\approx20\mu A$。这个电流来源于 I_1 源，因此剩下的 $280\mu A$ 流入二极管 Q_3。这种情况在图 4.78a 所示电路中进行了说明。

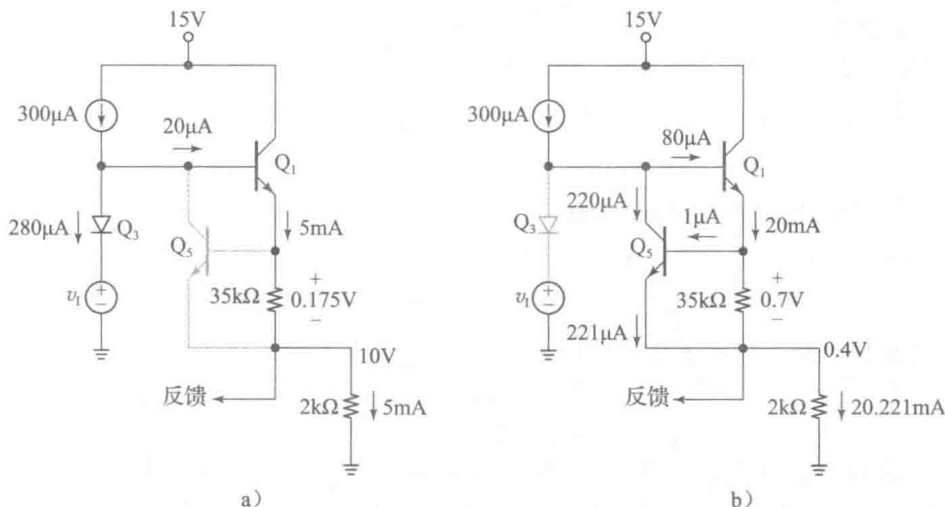


图 4.78　例 4.29 的电路，工作在(a)正常及(b)过载情形

(c) 接一个小的电阻如 $R_L=20\Omega$ 将使 V_O 下拉到地。通过反馈网络检测 V_O 压降，电路上部分将按这样一种方式试着调整 v_I，来增加 Q_1 的基极驱动，从而提高 V_O。实际上，所有的 I_1 将被转移到 Q_1，从而唤醒 Q_5，并导致图 4.78b 所示的过载情形。这里，Q_1 的电流仅限于 $I_{SC}=20mA$。为了维持这个电流，Q_1 抽取的基极电流为 $I_{B1}=I_{SC}/(\beta_F+1)=(20/251)mA\approx80\mu A$。剩余电流$(300-80)\mu A\approx220\mu A$ 直接由 Q_5 传递到负载。考虑到 Q_5 的基极电流为 $1\mu A$，我们有 $I_{E5}=(220+1)\mu A=221\mu A$，$I_L=(20+0.221)mA=20.221mA$，以及 $V_O=20\times20.221\times10^{-3}V\approx0.4V$。这与想要的值 $V_O=10V$ 相距甚远，但是至少 Q_1 幸免于毁坏。

(d) 如果没有保护，Q_1 将试着抽取 $I_{E1}=(\beta_F+1)I_1=(251\times0.3)mA\approx75mA$ 电流，仅将输出提高到 $V_O=0.020\times75V=1.5V$。Q_1 产生的功耗将为 $P_1\approx V_{CE1}\times I_{C1}=(15-1.5)\times75W>1W$，这高到足以引起单片 BJT Q_1 毁坏。 ◀

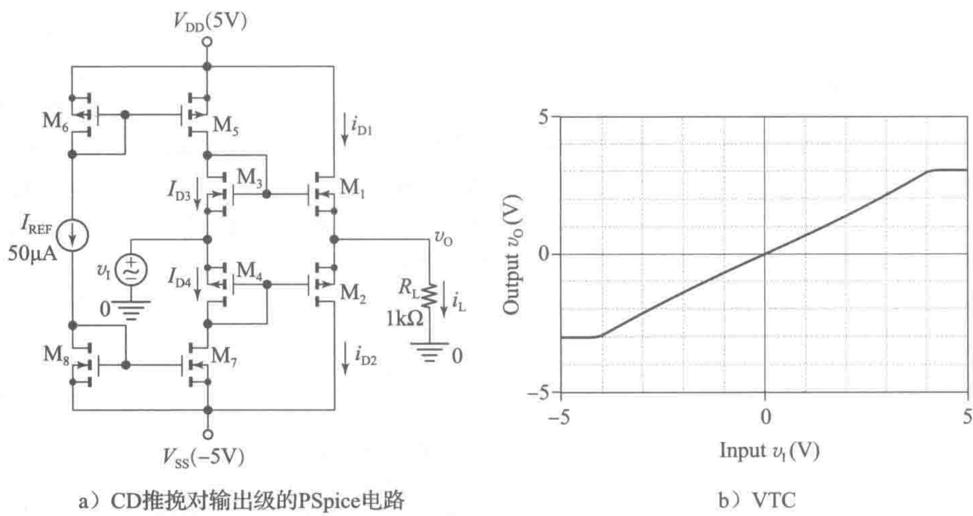
4.11 CMOS 输出级

正如双极型情形，CMOS 输出级应该在大的频率带宽内提供低的输出电阻和宽的输出电压摆幅(理想情况，是轨到轨)，同时消耗最小的待机功耗。我们将要看到，CMOS 输出级的设计与双极型情形相比会存在一些显著的差别。

共漏推挽输出级

原理上，图 4.75 所示的双极型 AB 类配置能够以 MOSFET 形式复制，如图 4.79 所示。这里，共漏(CD)的 M_1-M_2 对正好形成推挽输出级；二极管连接的 M_3-M_4 和 M_1-M_2 对提供偏置，使其工作在 AB 类，而电流镜 M_5-M_6 和 M_7-M_8 以及基准电流 I_{REF}，为二极管对提供所需的偏置电流。通过观察，输出电阻为：

$$R_o = \frac{1}{(g_{m1} + g_{m2})} /\!/ r_{o1} /\!/ r_{o2} \tag{4.167}$$



a) CD推挽对输出级的PSpice电路　　b) VTC

图 4.79　所有的场效应管有 $V_t = 0.75$V 及 $\lambda = 0.02\text{V}^{-1}$；而且 $k_1 = k_2 = 4\ \text{mA/V}^2$，以及 $k_3 = k_4 = k_5 = k_6 = k_7 = k_8 = 1.6\ \text{mA/V}^2$

该电阻通常很低。利用 KVL，我们容易求出输出电压摆幅(OVS)为：

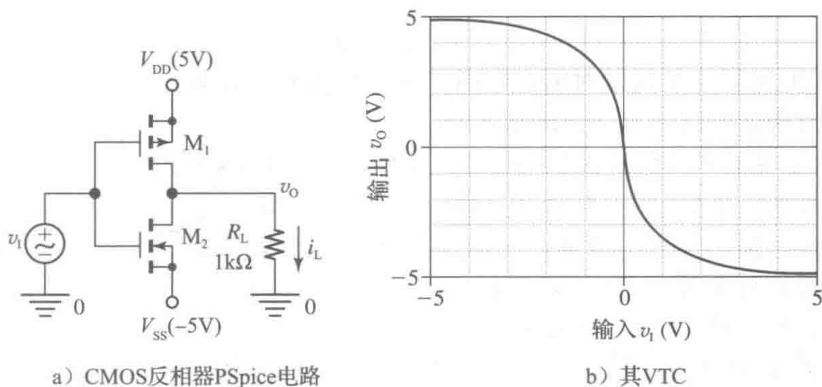
$$v_{O(max)} = V_{DD} - V_{OV5} - V_{t1} - v_{OV1} \tag{4.168a}$$

$$v_{O(min)} = V_{SS} + V_{OV7} + |V_{t2}| + v_{OV2} \tag{4.168b}$$

与双极型情形相比，我们注意到一个明显的差异。尽管式(4.163)的电压降 $V_{EC5(EOS)} + V_{BE1(on)}$ 和 $V_{CE7(EOS)} + V_{EB2(on)}$ 相对恒定(～0.9V)，与之对应的式(4.168)的电压降 $V_{OV5} + V_{t1} + v_{OV1}$ 和 $V_{OV7} + |V_{t2}| + v_{OV2}$ 取决于由 v_{OV1} 和 v_{OV2} 产生的电流 i_L。而且 V_{t1} 和 V_{t2} 受到衬底效应的影响，进一步减小输出电压摆幅，在极限情况下，V_{t1} 和 V_{t2} 取最大值。在图 4.79 所示的 CMOS 例子中，输出电压摆幅边缘在一对电源轨的伏特以内，而在图 4.75 所示的双极型例子中，它们近似固定，且在小于 1V 范围内。在低电压供电系统中，AB、CD 类级有限的输出电压摆幅将会成为一个严重的缺点，此时好的设计方案是必要的。

CMOS 反相器作为输出级

如果推挽对 MOSFET 工作在共源(CS)模式，而不是 CD 模式，输出电压摆幅将显著提高。这是所熟悉的 CMOS 反相器，如图 4.80 所示。利用与图 4.79 所示相同的晶体管参数和负载电阻得到的 VTC，清楚地表明电路具有将输出摆动到相当接近电源轨的能力。然而，作为输出级，反相器有许多缺点：它的 VTC 具有高度非线性性，它的输出电阻 $R_o = r_{o1} /\!/ r_{o2}$ 通常很高，以及它的静态电流大到令人不可接受的程度(电路也导致极性翻转，但这不是一个严重的问题，因为我们可以有意在系统其他地方把信号的极性翻转)。



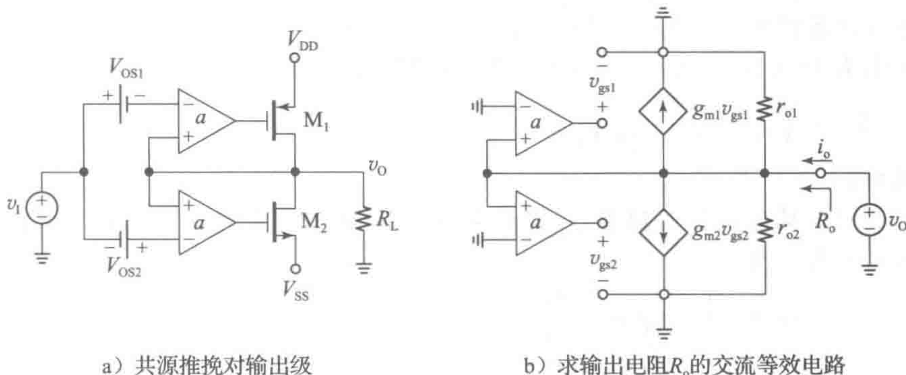
a）CMOS反相器PSpice电路　　b）其VTC

图 4.80　两个场效应管都有 $k=4\ \mathrm{mA/V^2}$，$V_t=0.75\mathrm{V}$ 以及 $\lambda=0.02\mathrm{V}^{-1}$

由于这个原因，CMOS 反相器被当作逻辑型输出电路，如电压比较器，它的 V_O 大部分时间处于逻辑电平，以及在两个逻辑电平之间进行快速的转换。

带反馈放大器的 CS 推挽输出级

CMOS 反相器输出级的缺点可以通过单独预失真的栅极驱动方式来巧妙地克服，以确保在相对宽的输出电压摆幅内具有相当线性的 VTC。根据图 4.81 所述的原理，该任务是通过负反馈实现的。我们给出以下注意事项。



a）共源推挽对输出级　　b）求输出电阻R_o的交流等效电路

图　4.81

- 电路由两个互补的子电路构成，每个子电路包括一个低增益放大器和一个用于反馈的CS连接的MOSFET(注意到由于共源配置产生了信号反向，输出反馈到运算放大器的非反向输入端，而不是通常的反向输入端)。在这种工作模式下，每个运算放大器为相应的 MOSFET 提供需要的栅驱动，并迫使 v_O 跟踪 v_I。因此，只要至少一个运算放大器能够执行其负反馈控制，我们将会有一个相当线性的 VTC。
- 运算放大器由 MOSFET 构成，为了使推挽对的静态电流达到指定的值，有意使其不平衡，我们将在例 4.30 中看到。通过用不同的 W/L 比值来制造每个放大器的两个半边电路，从而产生了由失调电压 V_{OS1} 和 V_{OS2} 决定的这种不平衡。
- 除了线性化 VTC 以外，负反馈也可以显著减小输出电阻 R_o。为了证实，使所有的独立源置为零，并用一个测试源 v_o，如图 4.81b 所示。通过 KCL，可得：

$$i_o=\frac{v_o}{r_{o1}}+\frac{v_o}{r_{o2}}+g_{m1}av_o+g_{m2}av_o$$

变换后我们得到：

$$R_o = \frac{v_o}{i_o} = \frac{1}{a(g_{m1}+g_{m2})} \mathbin{/\!/} r_{o1} \mathbin{/\!/} r_{o2} \tag{4.169}$$

式(4.169)显示出负反馈对输出电阻产生了双倍有利影响：(a)它消除了 g_m($1/g_m \ll r_o$)，(b)乘以增益 a 进一步降低 R_o。

例 4.30 使图 4.81a 所示的 MOSFET 匹配，且有 $k=4\ \text{mA/V}^2$，$V_t=0.75\text{V}$，以及 $\lambda=0.02\text{V}^{-1}$。而且，使 $V_{DD}=-V_{SS}=5.0\text{V}$，及 $a=10\text{V/V}$。

(a) 当静态电流 $I_Q=125\mu\text{A}$ 时，计算 V_{OS1} 和 V_{OS2} 的值。

(b) 求出静态时电阻值 R_o。

(c) 如果 $v_I=4.0\text{V}$ 及 $R_L=1\text{k}\Omega$，求出 v_o。

(d) 利用 PSpice 仿真 $-5\text{V}<v_I<+5\text{V}$ 时的 v_O，i_L，i_{D1}，i_{D2}，v_{G1}，及 v_{G2} 与 v_I 的关系曲线。并对你的结果进行评论。

解：

(a) 静态($v_O=v_I=0$)时，两个晶体管都工作在饱和状态，因此我们利用

$$125\mu\text{A} = \frac{1}{2}(4\ \text{mA/V}^2)V_{OV(SBY)}^2$$

得到 $V_{OV(SBY)}=0.25\text{V}$。静态时 M_1 所要求的栅极电压为 $V_{G1(SBY)}=V_{DD}-V_t-V_{OV(SBY)}=(5-0.75-0.25)\text{V}=4\text{V}$，但是 $V_{G1(SBY)}$ 是由上级运放产生的，即 $V_{G1(SBY)}=a(v_P-v_N)$，因此利用 $4=10\times[0-(-V_{OS1})]$，给出 $V_{OS1}=0.4\text{V}$。采用匹配的 MOSFET。由对称性，我们有 $V_{OS2}=V_{OS1}=0.4\text{V}$。

(b) 静态时我们有 $g_{m1}=g_{m2}=2I_Q/V_{OV(SBY)}=(2\times125\times10^{-6}/0.25)1/\Omega=1/(1\text{k}\Omega)$ 以及 $r_{o1}=r_{o2}=1/(\lambda I_D)=(1/(0.02\times125\times10^{-6}))\Omega=400\text{k}\Omega$，因此

$$R_o = \left(\frac{1}{10(10^{-3}+10^{-3})} \mathbin{/\!/} (400\times10^3) \mathbin{/\!/} (400\times10^3)\right)\Omega \approx 50\Omega$$

这是相当低的。

(c) 当 $v_I=4.0\text{V}$ 时，我们期望 v_O 接近 4V，表明在一个相对小的 v_{SD1}，M_1 很可能工作在晶体管区，此时，有：

$$\begin{aligned} i_{D1} &= k\left[v_{OV1}v_{SD1} - \frac{1}{2}v_{SD1}^2\right] \\ &= 4\times\left[(5-0.75-v_{G1})(5-v_O) - \frac{1}{2}(5-v_O)^2\right] \end{aligned}$$

通过观察，我们还有：

$$v_{G1} = a(v_P - v_N) = a[v_O - (v_I - V_{OS1})] = 10\times(v_O-(4-0.4)] = 10\times(v_O-3.6)$$

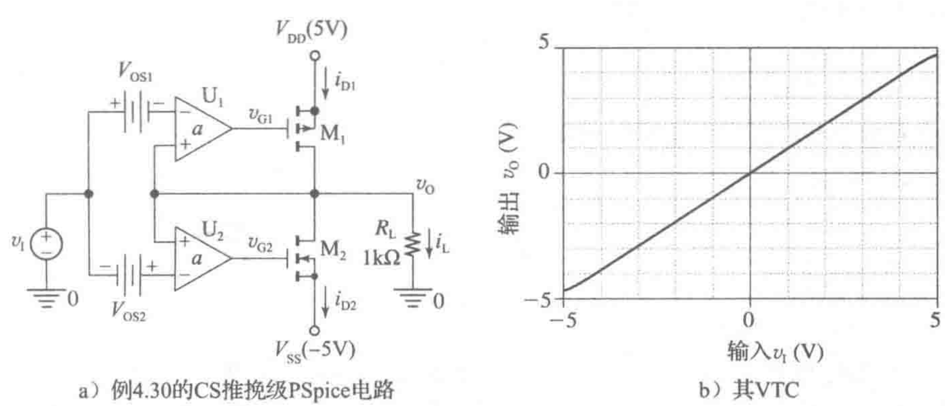
而且，我们期望 M_2 截止，因此我们写出：

$$i_{D1} = i_L = \frac{v_O}{R_L} = \frac{v_O}{1}$$

消除 v_{G1} 和 i_{D1}，求解出物理上可接受的答案 $v_O=3.88\text{V}$(正如期望的一样，与 4V 相当接近)。反代回来，得到 $v_{G1}=2.82\text{V}$。由于 $v_{SD1}<v_{OV1}$($1.12\text{V}<1.43\text{V}$)，MOSFET 确实工作在晶体管区。

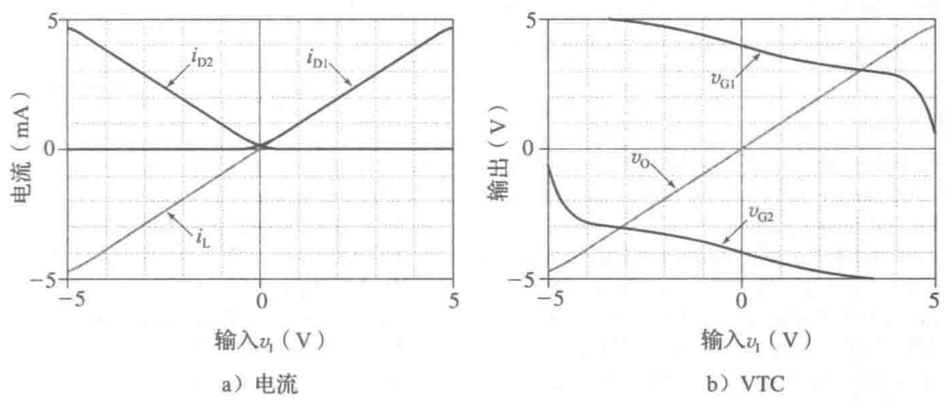
(d) 利用图 4.82a 所示的 PSpice 电路，我们得到图 4.82b 所示的 VTC，在宽的输出电压摆幅内曲线相当线性。图 4.83a 所示的曲线证实，对于 $v_I=0$，为了确保偏置两个 MOSFET 在 $I_Q=125\mu\text{A}$ 时所需的 0.25V 的过驱动电压，运放提供了 $v_{G1}=4\text{V}$ 和 $v_{G2}=-4\text{V}$。当 v_I 远离 0V 时，一个 MOSFET 关断，另一个作为反馈负载。更深入的是图 4.83b 所示的曲线，显示出运放如何预失真栅极驱动电压 v_{G1} 和 v_{G2}，以确保一个相当线性的电压传输特性，特别是接近输出电压摆幅的极限情况。关于负反馈预失真行为将在第 7 章进行更系统的研究。

◀



a）例4.30的CS推挽级PSpice电路　　b）其VTC

图 4.82　两个 MOSFET 均有 $k=4\ mA/V^2$，$V_t=0.75V$，及 $\lambda=0.02V^{-1}$；两个运放有 $a=10V/V$ 及 $V_{OS}=0.4V$



a）电流　　b）VTC

图 4.83　图 4.82 所示 PSpice 电路

附录 4A

编辑 PSpice 网表

在 PSpice 的 9.2 版本中的 Eval 库提供的 MOSFET 模型是指源极和衬底连接在一起的器件。然而，如果我们想研究体效应，通过适当地编辑网表(网表是一个内部的代码，在执行实际仿真之前，PSpice 会自动转换由原理图捕获工具输入的电路)，我们可以很容易地断开这两个端子，并且在 nMOSFET 的情况下将衬底连接到 MNV，在 pMOSFET 的情况下，将衬底连接到 MPV。

为了说明，参考图 4.27 所示的 PSpice 例子。一旦我们通过 Place→Part and Place→Wire 命令创建了电路原理图，我们首先利用 PSpice→Create Netlist 让 PSpice 生成网表，然后我们利用 PSpice→View Netlist 将其显示出来。结果为以下几行代码：

```
* source CKT_of_Fig_4.27
M_M1     VDD I O O Mn
V_V1     VDD 0 5Vdc
V_V2     0 VSS 5Vdc
V_vS     I 0 0Vdc
I_ID     O VSS DC 250uA
```

我们对第二行的代码比较感兴趣，其参考图 4.27 所示的 MOSFET M_1，通过 PSpice 重命名为 M _ M1。这一行的其余项指的是电路节点，分别连接漏，栅，源及衬底(按顺序)。这些分别是电源电压(VDD)，输入节点(I)，输出节点(O)，同样是输出节点(O)。最后一项(Mn)指的是用于 M_1 的 PSpice 模型，它是根据附录 3A 创建，用于反映图 4.27

所示标题中列出的特性。这个模型是：

```
.model Mn    NMOS(Kp=100u Vto=0.5V Lambda=0.05 Gamma=0.75
+            Phi=0.6)
```

我们现在通过修改第二行编辑网表如下：

```
* source CKT_of_Fig_4.27
M_M1    VDD I O VSS Mn W=10u L=1u
V_V1    VDD 0 5Vdc
V_V2    0 VSS 5Vdc
V_vS    I 0 0Vdc
I_ID    O VSS DC 250uA
```

衬底，通常连接到源端(O)，现在接到负电压端(VSS)。此外，模型名(Mn)后面是沟道长度和宽度($W=10\mu$m，$L=1\mu$m)。这在多晶体管电路中特别方便，其中所有的 *MOSFET* 共享相同的工艺参数，该参数由一个共同的模型指定(该情形下是 Mn)，但是每个器件在网表行中被分配其各自的 W 和 L 值。

一旦网表被编辑，我们必须通过 File→Save 命令来保存。像往常一样，通过 PSpice→Run 命令，我们启动关于修改后的网表对应的电路仿真。

参考文献

1. P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 5/E, Wiley and Sons, 2009.
2. R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*, 2/E, J. Wiley and Sons, 1986.
3. P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, 2/E, Oxford University Press, 2002.
4. R. T. Howe and C. G. Sodini, *Microelectronics: An Integrated Approach*, Prentice Hall, 1997.
5. A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 6/E, Oxford University Press, 2010.
6. R. C. Jaeger and T. N. Blalock, *Microelectronic Circuit Design*, 2/E, McGraw-Hill, 2004.
7. D. A. Johns and K. Martin, *Analog Integrated Circuit Design*, Wiley and Sons, 1997.
8. H. Camenzind, *Designing Analog Chips*, www.designinganalogchips.com, 2005.

习题

4.1 节

4.1 重新考虑例 4.1 的电路，用图 4.2a 所示的电路分析。

(a) 如果 V_{BE1} 比例中计算的值高 1mV，v_O 将受到怎样的影响？

(b) 如果 V_{EB4} 比计算值高 1mV 又会怎样呢？

(c) 如果 $v_i=V_{im}\cos(\omega t)$，当输出仍然是一个相对不失真的正弦波时估计 V_{im} 的最大值。证明你可能做的任何近似。

(d) 如果 V_{im} 提高到(c)问中值的 2 倍将会发生什么？通过画出 $v_O(t)$ 的草图并标记进行说明。

4.2 (a) 如果题 4.2 图所示的 BJT 有 $I_{s1}=I_{s2}=1.0$fA，$V_A=\infty$，且忽略基极电流，求出 I_{C1}，I_{C2} 及 V_E。

(b) 如果 $I_{s1}=I_{s2}=6$fA 重复(a)问中计算。

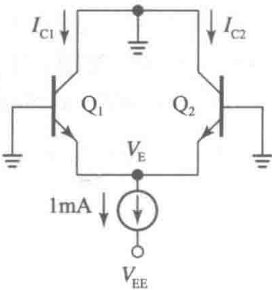
(c) 如果 BJT 失配，且有 $I_{s1}=4$fA 及 $I_{s2}=3$fA，重复(a)问中计算。

(d) 如果 BJT 完全匹配，但 Q_1 比 Q_2 温度高 1℃，重复(a)问中计算。

提示：利用熟知的经验法则，询问自己为了确保相同的集电极电压，Q_1 的基极需要的电压 V_{B1} 是多少；那么，如果 V_{B1} 变为 0V 将会发生什么？

(e) 如果双极型晶体管有 $V_A=50$V，重复(a)问中计算。

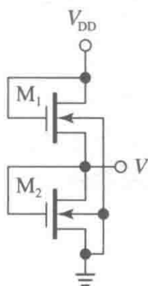
(f) 如果 Q_1 的集电极脱离地，并将其接到一个+10-V 电压上，重复(e)问过程。



题 4.2 图

4.3 在 MOS 集成电路技术中，为了避免使用电阻，分压器通常是由一系列二极管连接的场效应管串联实现的，由于电阻在集成电路技

术中是不受欢迎的。题 4.3 图所示的是一个例子。

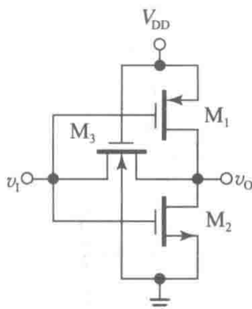


题 4.3 图

(a) 假设 $k'=50\ \mu A/V^2$，$V_{t0}=0.5V$，$\gamma=0.4V^{1/2}$，$\lambda=1/(25V)$ 以及 $|2\phi_p|=0.6V$，为 M_1 和 M_2 指定合适的 W/L 比值，使得电路在 $V_{DD}=3V$ 时，有 $V=V_{DD}/2$，同时消耗的功耗为 $P_D=100\mu W$。

(b) 如果 V_{DD} 下降到 2V，求出 V 和 P_D。

4.4 在第 3 章中我们发现在一个 CMOS 反相器的输出和输入端之间连接一个反馈电阻将正好使其偏置在线性工作区的中间。在集成电路技术中电阻是不受欢迎的，因此题 4.4 图的电路利用场效应管 M_3 来实现相同的功能。由于 M_1 和 M_2 抽取零栅极电流，M_3 工作在其 i_D-v_{DS} 特性起点，此时 M_3 相当于一个电阻 r_{DS}。



题 4.4 图

(a) 假设 $k_n'=2.5k_p'=100\mu\ A/V^2$ 以及 $V_{tn0}=-v_{tp0}=0.5V$，指定三个器件的 W/L 比值，使得 $V_{DD}=3V$ 时反相器偏置在 $V_I=V_O=V_{DD}/2$，且有 $r_{DS}=1M\Omega$，功耗 $P_D=150\mu W$。由于 M_3 受到衬底效应的影响，假设 $\gamma=0.4V^{1/2}$ 及 $|2\phi_p|=0.6V$，求出 V_{t3}。

(b) 如果由于接线误差，M_3 的栅极和衬底端相互交换位置，因此栅极接到地，衬底接到 V_{DD}，将会发生什么？P_D 将怎样变化？

提示：参考图 3.1 的 nMOSFET 结构。

4.5 题 4.5 图所示电路是图 4.2 所示双极型版对应的 CMOS 情形，其分析遵循例 4.1 相似的推理。使 M_1 有 $k_n=400\mu\ A/V^2$，$V_{tn}=1.0V$，$\lambda_n=1/(25V)$，并使 M_2 有 $k_p=175\mu\ A/V^2$，$V_{tp}=-0.75V$，及 $\lambda_p=1/(20V)$。

(a) 如果 $V_{DD}=5V$，以及场效应管偏置在 $200\mu A$。估计线性输出摆幅的上限及下限 $v_{O(min)}$ 和 $v_{O(max)}$（为了简化计算，假设本部分中 $\lambda_p=\lambda_n=0$）。

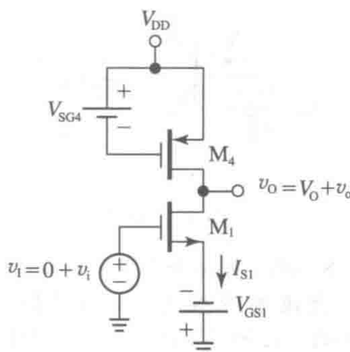
(b) 求出 V_{GS} 和 V_{SG} 使输出节点正好偏置在线性范围的中点。

(c) 求出增益 $a=v_o/v_i$。

(d) 如果 V_{GS} 比例中计算值高 10mV，V_O 将受到怎样的影响。

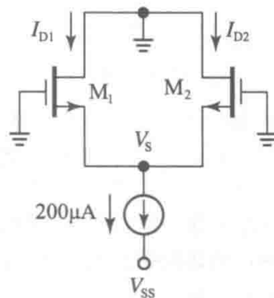
(e) 如果 V_{SG} 比计算值高 10mV，又将怎样？

(f) 如果 $v_i=v_{im}\cos\omega t$，当输出仍然是相对不失真的正弦波时，估计 V_{im} 的最大值。证明你可能做的任何近似。



题 4.5 图

4.6 (a) 当场效应管匹配，且有 $k_1=k_2=200\mu A/V^2$，$V_{t1}=V_{t2}=0.5V$，及 $\lambda_1=\lambda_2=0$，求出题 4.6 图所示电路中的 I_{D1}，I_{D2} 及 V_S。



题 4.6 图

(b) 如果场效应管不匹配，且有 $k_1=205\ \mu A/V^2$，$k_2=190\mu\ A/V^2$，$V_{t1}=0.48V$ 及 $V_{t2}=5.1V$，重复(a)问的计算。

提示：为了确保相同的漏电流 M_1 所需的栅极电压 V_{G1} 是多少；那么，如果 V_{B1} 变回 0V 将会发生什么？

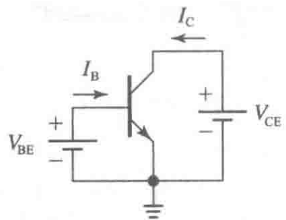
(c) 如果场效应管有 $\lambda=1/(20\text{V})$，重复(a)问计算。

(d) 如果 M_1 漏极脱离地，且接到一个 5V 电源上，重复(c)问部分。

4.2 节

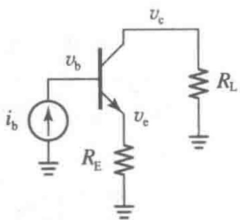
4.7 (a) 假设题 4.7 图中 V_{BE} 被调整到 $V_{CE}=1.0\text{V}$ 时 $I_C=1.0\text{mA}$。如果式(2.15)预知 $\beta_F=1/(1/120+1/600)=\beta_F=1/(1/120+1/600)$，求出基极电流组分 I_{BE} 和 I_{BB}，以及 m。

(b) 如果在 $V_{CE}=1.0\text{V}$ 时有效的基极宽度为 250nm，且 BC 空间电荷层部分扩展到基极的宽度为 20nm，预测 $V_{CE}=6.0\text{V}$ 时的 I_C 及 I_B 的值(假设 BC 结内建电势为 0.75V 以及衰减系数为 0.4)。r_o 和 r_μ 的值是多少？V_A 的值是多少？



题 4.7 图

4.8 题 4.8 图所示是一个电流驱动的共射极放大器的交流的等效电路。使 BJT 有 $g_m=1/(10\Omega)$，$r_\pi=1.5\text{k}\Omega$，$r_o=30\text{k}\Omega$ 及 $r_\mu=18\text{M}\Omega$，且使 i_b 为 $1\mu\text{A}$ 交流电流。



题 4.8 图

(a) 如果 $R_E=0$ 和 $R_L=\infty$，求出交流电压 v_b，v_e 及 v_c。为了知道 r_μ 的影响，首先假定 $r_\mu=\infty$ 计算，然后，利用 $r_\mu=18\text{M}\Omega$ 计算。注意到 r_μ 受到米勒效应的影响，因此反映到基极 r_μ 除以 $1-a$，其中 $a=v_c/v_b$。

(b) 输出负载为 $R_L=r_o=30\text{k}\Omega$，重复(a)问计算。

(c) 在一个射极简并电阻 $R_E=0.5\text{k}\Omega$ 下，重复(a)问和(b)问。

4.9 题 4.9 图所示的交流电路中 BJT 有 $g_m=1/(25\Omega)$，$r_\pi=5\text{k}\Omega$，$r_o=50\text{k}\Omega$，及 $r_\mu=50\text{M}\Omega$。而且，i_i 是 $1\mu\text{A}$ 交流源。

(a) 在理想情形 $R_E=R_L=r_\mu=\infty$ 下，求出交流电压 v_i 和 v_o。

(b) $r_\mu=50\text{M}\Omega$ 时重复(a)问。$r_\mu=50\text{M}\Omega$ 及下列重要情形下重复(a)问。

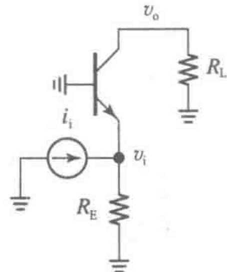
(c) $R_L=r_\mu$，

(d) $R_L=(\beta_0+1)r_o$，

(e) $R_L=r_o$，

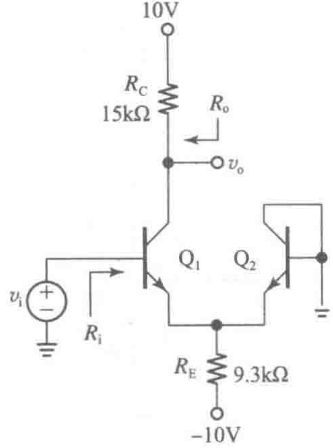
(f) $R_L=r_\pi$。评论你的结果，并鉴定集成和分立两种极端设计。

(g) 重复(a)问，但是 $R_E=R_e$。



题 4.9 图

4.10 (a) 假设题 4.10 图所示电路中 R_E 抽取的电流等于两个双极型晶体管的输出电流，如果 $\beta_0=200$，$V_A=50\text{V}$，及 $V_{BE(on)}=0.7\text{V}$，求出 R_i，R_o 及 v_o/v_i。



题 4.10 图

提示：回想起出于交流目的，Q_2 充当着一个二极管且电阻为 r_e。

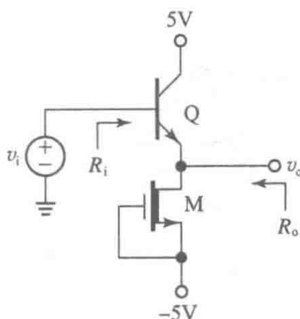
(b) 在该电路中 Q_2 起什么作用？如果我们将 Q_2 从电路中完全去掉，将会发生什么？

4.11 在题 4.11 图的 BiMOS 电路中射极跟随器 Q 由耗尽型场效应管 M 偏置，这里作为一个电流沉。假设 BJT 有 $\beta_F=200$，$V_A=50\text{V}$，$V_{BE(on)}=0.7\text{V}$，及 $V_{CE(EOS)}=0.2\text{V}$，且场效应管有 $V_t=-1.0\text{V}$，$k'=100\mu\text{A/V}^2$，及 $\lambda=1/(25\text{V})$。

(a) 指定 W/L 的值使得 BJT 偏置在 5mA。

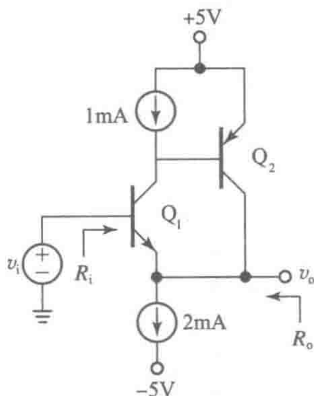
(b) 求出 R_i，R_o 和增益 $a=v_o/v_i$。

(c) 估计线性输出摆幅的上限和下限 $v_{O(max)}$ 和 $v_{O(min)}$，以及相应的 v_I 值。



题 4.11 图

4.12 通过利用负反馈可以使射极跟随器的特性更加接近理想，负反馈将在第 7 章进行更详细的研究。题 4.12 图的电路，称为超级射极跟随器，利用 Q_1 作为射极跟随器，及 Q_2 提供负反馈。



题 4.12 图

(a) 通过将 BJT 用 g_m，r_π，及 r_o（为了简化，忽略 r_μ），构成的小信号等效替换画出小信号等效电路。因此，利用测试信号的方式求出输出电阻 R_o 的表达式。

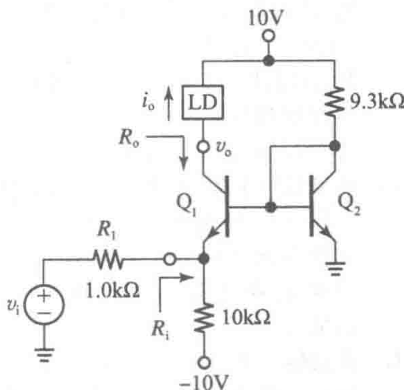
(b) 假设两个 BJT 有 $\beta_0=100$ 和 $V_A=50$V，计算 R_o，与工作在 $I_C=1$mA 下的单个 BJT 射极跟随器提供的值比较，并评论你的结果。

4.13 题 4.13 图中的 CB 级 Q_1 被用作电压/电流 (V/I) 转换器。Q_2 的作用是偏置 Q_1，以确保 Q_1 的发射极在直流为 0V，这样可以避免需要任何交流耦合电容。

(a) 如果 $\beta_F=250$ 及 $V_A=75$V，求出 R_i，R_o 以及跨导增益 i_o/v_i。

(b) 如果负载是一个电阻 $R_2=5.0$kΩ，求出信号到负载电压增益 v_o/v_i。

(c) 证明论断(b)问中电压增益可以估计为 $v_o/v_i>R_2/R_1$，在什么条件，该断言是有效的？



题 4.13 图

4.3 节

4.14 一个 MOS 集成电路设计者采用的工艺为 $\lambda'=0.04\mu$m/V 及 $k'=100\ \mu$A/V^2。

(a) 如果设计者希望在 $I_D=100\mu$A 以及 $v_{OV}=0.4$V 下实现 $a_{intrinsic}=-50$V/V，所需要的 W 和 L 值是多少？$a_{intrinsic}$ 将会怎样，如果：

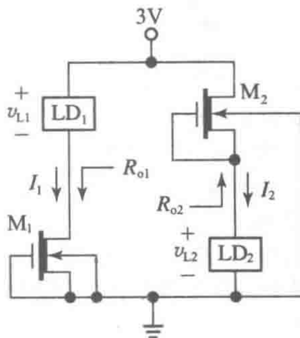
(b) W 加倍？

(c) L 加倍？

(d) V_{OV} 加倍？

(e) 如果(a)问中求出的 L 值加倍，而 W 减半，求出 V_{OV} 使得 $a_{intrinsic}=-80$V/V。相应的 I_D 值是多少？

4.15 在题 4.15 图中 M_1 设计用于作为电流沉，而 M_2 用作电流源。如果 M_2 源极和衬底连接在一起，两个场效应管的工作将没有差别。然而，M_2 受到衬底效应的影响，因此其工作状态将与 M_1 不同。我们希望研究这种差别，且观察哪个器件与理想的电流源/电流沉行为更接近。使两个场效应管均有 $k=500\mu$ A/V^2，$V_{t0}=-1.0$V，及 $\lambda=1/(25\text{V})$。而且，使 $\gamma=0.5\text{V}^{1/2}$，以及 $|2\phi_p|=0.65$V。



题 4.15 图

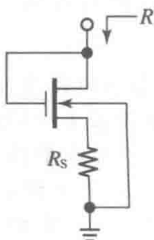
(a) 当 M_1 工作在饱和区边缘，计算 I_1 及 R_{o1}。这样，求出 $v_{L1(max)}$，此时 M_1 仍

然在饱和区。在 $v_{L1(max)}$ 以下，v_{L1} 每下降 1V，I_1 变化的百分比是多少？

(b) 当 M_2 工作在饱和区边缘，计算 I_2 及 R_{o2}。因此，求出 $v_{L2(max)}$，此时，M_2 仍然在饱和区。在 $v_{L2(max)}$ 以下，v_{L2} 每减小 1V，I_2 变化的百分比是多少？

(c) 如果我们希望 M_2 在饱和边缘时的电流 I_2 等于 M_1 在饱和边缘时的电流 I_1，W_2 必须变化多少？这会影响 v_{L2} 减小 1V 导致 I_2 变化的百分比吗？评论你的结果。

4.16 (a) 假设题 4.16 图的场效应管工作在有源模式，求出小信号电阻 R 的表达式。

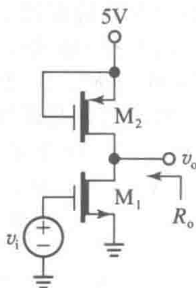


题 4.16 图

(b) 讨论极限情形 $R_S \to 0$ 和 $r_o \to \infty$，并按照熟知的 MOS 场效应管特性证明。

提示：用小信号模型替代场效应管，并利用测试方法。

4.17 题 4.17 图的耗尽型 nMOSFET M_1 是一个共源放大器，不需要直流偏置源，pMOSFET M_2 是其有源负载。



题 4.17 图

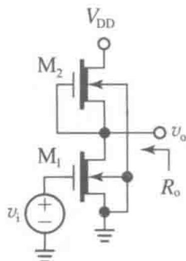
(a) 如果 $k_p = k_n = 200\mu\ A/V^2$，$V_{tp} = -V_{tn} = 1.0V$，$\lambda_n = 1/(50V)$，$\lambda_p = 1/(30V)$。求出输出端直流电压 V_O 及电路的直流功耗 P_D。

(b) 求出 R_o 及 v_o/v_i。

(c) 估计线性工作区的下限和上限，$v_{O(min)}$ 及 $v_{O(max)}$。

4.18 题 4.18 图的耗尽型 nMOSFET M_1 充当着共源放大器，pMOSFET M_2 作为有源负载。

(a) 如果 $k' = 100\mu\ A/V^2$，$V_{t0} = -1.0V$，$\lambda = 1/(25V)$，及 $|2\phi_p| = 0.6V$。指定两个器件的 W/L 比值，使得 $V_{DD} = 5V$ 时，输出节点偏置在 $V_O = 3.0V$，且所有场效应管抽取的电流为 $I_D = 50\mu A$。



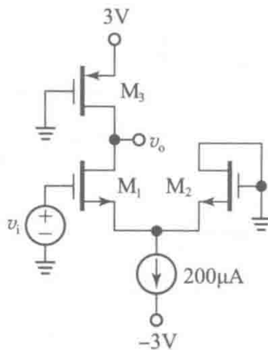
题 4.18 图

(b) 求出 R_o 和 $a = v_o/v_i$。

(c) 估计线性工作区的下限和上限，$v_{O(min)}$ 及 $v_{O(max)}$。

(d) 假设 M_2 的衬底从地接到源极上，且使 W_2/L_2 和 W_1/L_1 相等。如果 V_{DD} 调整到使得 V_O 保持在 3.0V 不变，新的 V_{DD} 值是多少？对你的结果作出评论。

4.19 使题 4.19 图中的 M_1 和 M_2 匹配，且有 $k = 200\mu\ A/V^2$，$V_t = 1.0V$，及 $\lambda = 1/(50V)$。而且，使 M_3 有 $k' = 30\mu\ A/V^2$，$V_t = -1.0V$，及 $\lambda = 1/(30V)$。



题 4.19 图

(a) 指定 W_3/L_3 的值以便使输出节点偏置在 $V_O = 0V$。

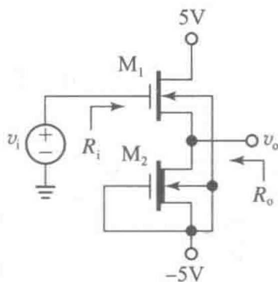
(b) 求出 R_o 和 v_o/v_i。

(c) 估计线性工作区的下限和上限，$v_{O(min)}$ 及 $v_{O(max)}$。

4.20 题 4.20 图的源跟随器 M_1 由电流沉 M_2 偏置。假使 $k' = 100\mu\ A/V^2$，$\lambda = 1/(15V)$，$\gamma = 0.4V^{1/2}$，及 $|2\phi_p| = 0.6V$。而且，使 M_1 有 $V_{t0} = 0.5V$ 以及 M_2 有 $V_{t0} = -1.0V$。

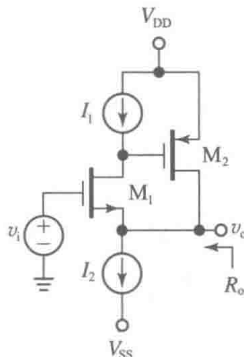
(a) 指定 W/L 的值使得两个器件偏置输出在 $V_O = -2V$ 以及所有的场效应管在 $I_D = 300\mu A$。

(b) 求出 R_o 和 v_o/v_i。



题 4.20 图

4.21　在某些情况下，源极跟随器输出电阻 R_o，由 $1/(g_m+g_{mb})$决定，不是足够低，这是由场效应管的低跨导所致。降低 R_o 的一个巧妙的方法是通过负反馈，这一主题将在第 7 章中进行更详细的研究。题 4.21 图所示电路称为超级源跟随器，使用 M_1 作为源跟随器，M_2 给 M_1 提供负反馈(注意到为了使电路工作我们必须有 $I_2>I_1$)。



题 4.21 图

(a) 通过用场效应管小信号模型，其由 g_m，r_o 和 g_{mb}构成(当适当时)，来替代每个场效应管，从而画出电路的交流等效电路。这样，写出增益 v_o/v_i 表达式。

(b) 利用测试信号方式来求输出电阻 R_o 的表达式，证明负反馈使 M_1 的输出电阻减小了约 g_{m2},r_{o1}。

(c) 假设 $\chi=0.1$，且两个场效应管有 $g_m=1\text{mA/V}$ 及 $r_o=20\text{K}\Omega$，计算 v_o/v_i 和 R_o。

4.22　题 4.22 图所示电路要求在 $R_o\geqslant100\text{k}\Omega$ 时灌入电流 $I_O=1\text{mA}$。由于场效应管有 $r_o=20\text{k}\Omega$，电路利用源筒并来增加漏极看进去的电阻。

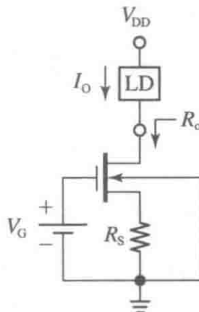
(a) 如果 $k=2\text{mA/V}^2$ 及 $V_{to}=0.5\text{V}$，假定 $\gamma=0$，求出所要求的 R_S 和 V_G 的值。

(b) 如果 $\gamma=0.48\text{V}^{1/2}$ 及 $|2\phi|=0.6\text{V}$，重新计算要求的 R_S 和 V_G 值，并求出 R_o。

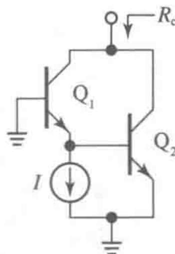
4.4 节

4.23　(a) 在题 4.23 图的达林顿配置电路中，用小信号模型替代每个 BJT，并利用测试信号的方法得到复合器件集电极看进去的电阻 R_c 的表达式。

(b) 讨论极限情形 $I\to0$ 及 $I\to I_{C2}$。



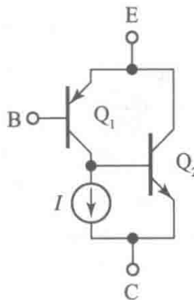
题 4.22 图



题 4.23 图

4.24　(a) 题 4.24 图所示的 Sziklai 电路中，用小信号模型替换每个 BJT，且利用测试信号的方法来获得电路每一端看进去的交流电阻表达式，假设另外两端是交流地。

(b) 假设 $\beta_1=\beta_2=100$ 及 $V_{A1}=V_{A2}=100\text{V}$，如果 $I_{C2}=1\text{mA}$ 及 $I=90\mu\text{A}$，计算上面的电阻。评论你的结果，并与图 4.32b 所示传统的达林顿电路比较。

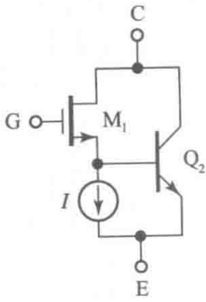


题 4.24 图

4.25　(a) 在题 4.25 图所示的 BiCMOS 达林顿电路中，用晶体管小信号模型替换晶体管，且利用测试信号的方法来获得复合器件每一端看进去的交流电阻表达式，假设另外两端是交流地。

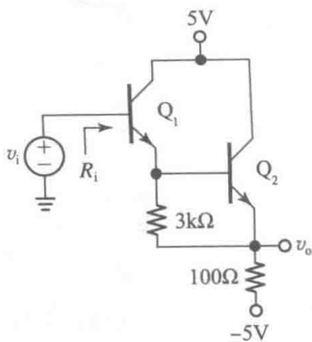
(b) 如果 $g_{m1}=0.5\text{mA/V}$，$g_{m2}=50\text{mA/V}$，$r_{o1}=r_{o2}=50\text{k}\Omega$，及 $r_{\pi2}=2.0\text{k}\Omega$，计算

(a)问的电阻。



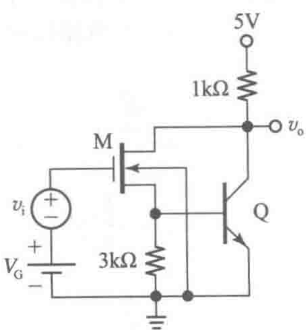
题 4.25 图

4.26 假设 $\beta_1=150$，$\beta_2=100$，$V_{BE1(on)}=0.7V$，$V_{BE2(on)}=0.8V$ 和 $V_{A1}=V_{A2}=\infty$，求出题 4.26 图所示的Darlington缓冲器的 R_i 和 $a=v_o/v_i$。



题 4.26 图

4.27 在题 4.27 图的 BiCMOS 达林顿放大器中，使 M 有 $k'=100\ \mu A/V^2$，$V_t=0.5V$，$\chi=0.2$，且使 Q 有 $\beta=100$ 及 $V_{BE}=0.75V$。



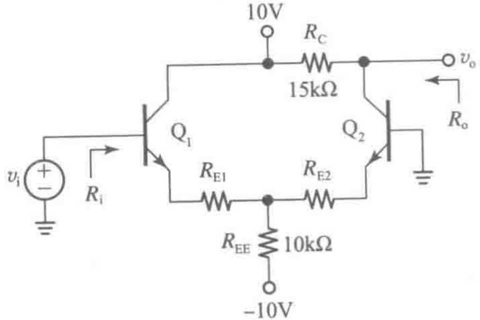
题 4.27 图

(a) 假设 $\lambda=0$ 和 $V_A=\infty$，求出 W/L 以及 V_G，以使得线性输出范围的下限是 $v_{O(min)}=1.5V$，且输出节点在该范围的中点。

(b) 求出 $a=v_o/v_i$。

4.28 (a) 对于题 4.28 图所示的 CC-CB 对，求出 $R_{E1}=R_{E2}=0$ 情况下的 R_i，R_o，及增益 v_o/v_i。假设 BJT 匹配，且有 $\beta_0=200$ 及 $V_A=\infty$。

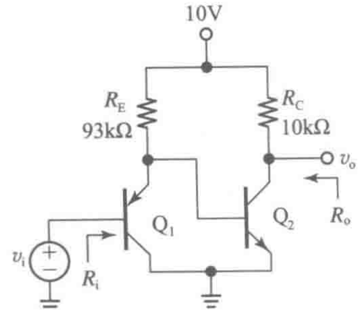
(b) 对于 $R_{E1}=R_{E2}=100\Omega$，重复上问。



题 4.28 图

4.29 (a) 对于题 4.29 图所示的 CC-CE 对求出两个 BJT 的饱和电流 I_{s2}/I_{s1} 比值，使得输出节点偏置在 $V_O=5V$(假设忽略基极电流)。

(b) 如果 $\beta_{npn}=4\beta_{pnp}=200$ 及 $V_{An}=2V_{Ap}=80V$，求出 R_i，R_o，及 $a=v_o/v_i$。



题 4.29 图

4.30 (a) 用 BJT 实现一个双极型共源共栅结构，且有 $g_m=1/(25\Omega)$，$r_\pi=2.5k\Omega$，及 $r_o=50k\Omega$(为了简化，假设 $r_\mu=\infty$)。在 v_i 调节到使 $v_{be2}=1mV$ 的情形下，通过小信号等效替换每个 BJT，画出电路的交流等效电路，并求出电路所有的电压和电流。通过验证在 v_{c1} 和 v_o 处满足 KCL 来检查你的结果。

(b) 求出在相同值 v_i 下使得 v_o 减小到(a)问中值一半时的输出负载电阻 R_L，并再次通过 KCL 验证。

4.31 (a) 假设图 4.37a 所示共源共栅电路中的场效应管有 $g_m=1/(2k\Omega)$，$r_o=25k\Omega$，及 $\chi=0.2$ 如果 v_i 是一个 1mV 的交流信号，求出电路所有节点电压。

(b) 如果输出端接负载电阻 R_L 且 $R_L=R_o$，重复上面的计算。

4.32 图 4.38 所示的 MOS 套筒共源共栅电路采用的工艺为 $k'=200\mu A/V^2$，$V_{t0}=0.5V$，$\lambda'=$

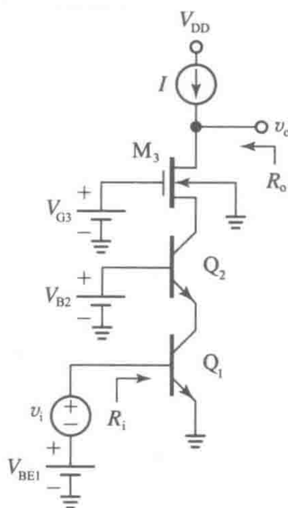
$0.05\mu m/V$，$\gamma=0.65V^{1/2}$，以及 $|2\phi_p|=0.6V$。

(a) 指定合适的 W 和 L 值，使得 $I_D=100\mu A$ 及 $V_{OV}=0.25V$ 下，$a_{intrinsic}=-20V/V$。所要求的 V_{GS1} 值是多少?

(b) 求出 V_{G2} 和 V_{G3} 使得 M_2 和 M_3 正好工作在饱和边缘。线性工作区的下限 $v_{O(min)}$ 是多少?

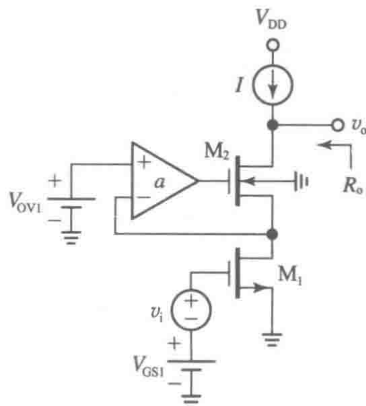
(c) 求出 R_o 和 a_{oc}。

4.33 题 4.33 图所示的 BiCMOS 套筒共源共栅结构利用一个 M_3 来进一步提高双极型共源共栅的 R_o 和 a_{oc} 值。假设 BJT 有 $g_m=1/(50\Omega)$，$r_\pi=5k\Omega$，及 $r_o=100k\Omega$(为了简化假设 $r_\mu=\infty$)，且场效应管有 $g_m=1/(2k\Omega)$，$r_o=30k\Omega$，及 $\chi=0.15$，求出单个晶体管的电压增益 a_1，a_2，和 a_3，以及 R_o 和 a_{oc}。与无 M_3 的情形相比，Q_2 的集电极接在 I 源上，输出直接取自 Q_2 的集电极。评论两者的差异。



题 4.33 图

4.34 增加 MOS 共源共栅输出电阻的一个巧妙的方法是在题 4.34 图所示的负反馈中使用一个放大器，而会不牺牲其输出摆幅。利用测试的方法得到 R_o 的表达式，证明对于一个大的增益 a，$R_o\approx ag_{m2}r_{o1}r_{22}$。输出电压摆幅是多少?



题 4.34 图

4.35 假设图 4.39a 所示的折叠共源共栅结构中 BJT 有 $\beta_{01}=150$，$V_{A1}=75V$，$\beta_{02}=50$，及 $V_{A2}=30V$。

(a) 如果 $I_{BIAS}=2mA$，$I_{LOAD}=1mA$，且 V_{BE1} 被调整到使输出节点偏置在 0V 直流下，求出 R_i，R_0，a_1，a_2，及 a_{oc}。

(b) 假设 $V_{EC2(on)}=0.7V$ 及 $V_{EC2(sat)}=0.2V$，指定 V_{B2} 使得 $v_{O(max)}=2.5V$。从而，求出满足约束条件 $|v_{be2}|\leqslant 5mV$ 和 $|v_o|\leqslant 2.5V$ 的最大输入信号幅值。

(c) 如果 $I_{BIAS}=1.5mA$，$I_{LOAD}=1mA$，且 V_{BE1} 被重新调节到使输出节点偏置在 0V 直流下，重复(a)问中计算。

(d) 如果 $I_{BIAS}=1.5mA$，$I_{LOAD}=1mA$，且 V_{BE1} 再次被调节到使输出节点偏置在 0V 直流下，重复(a)问。比较并评论。

4.36 假使图 4.39b 所示的折叠共源共栅结构中的场效应管有 $V_{t1}=-V_{t2}=0.5V$，$k_1=k_2=0.8mA/V^2$，$\lambda_1=1/(15V)$，$\lambda_2=1/(10V)$.。

(a) 如果 $I_{BIAS}=200\mu A$ 及 $I_{LOAD}=100\mu A$，求出要求的 V_{GS1}。从而，求出 V_{G2} 使 $v_{O(max)}=1.0V$。

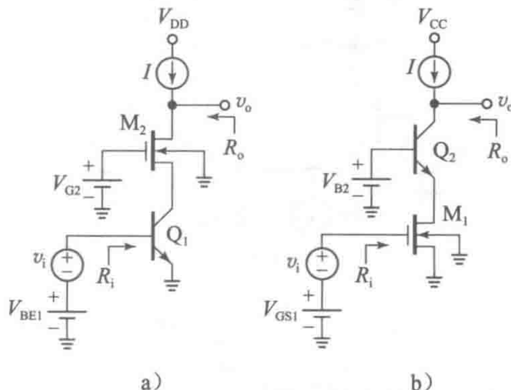
(b) 如果 I_{BIAS} 源有一个 250kΩ 的等效并联电阻，而沉有一个 5kΩ 的等效并联电阻，求出 a_1，a_2 及 v_o/v_i。

(c) 产生一个不失真的 v_o 的最大输入幅值 v_i 是多少?

4.37 IC 设计者，试图在 BiCMOS 共源共栅结构中结合 BJT 和 MOSFET 的优点，评价题 4.37 图所示的两个电路。两个 BJT 均有 $g_m=1/(25\Omega)$，$r_\pi=4k\Omega$，及 $r_o=50k\Omega$(为了简化，假设 $r_\mu=\infty$)，且两个场效应管有 $g_m=1/(1/k\Omega)$，$r_o=20k\Omega$，及 $\chi=0.2$。

(a) 求出每个电路的 R_i，R_o，及 a_{oc}。

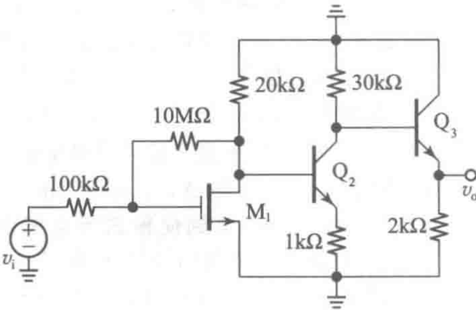
(b) 就上面的三个参数比较两个共源共栅结



题 4.37 图

构，并说明哪个更好。与全双极型和全MOS型实现相比，怎样？

4.38 假设题4.38图的三级放大器的晶体管分别有 $g_{m1}=1/(1.25\text{k}\Omega)$，$g_{m2}=1/(50\Omega)$，$g_{m3}=1/(10\Omega)$，及 $\beta_{02}=\beta_{03}=150$。为了简化，假设 $r_{o1}=r_{o2}=r_{o3}=\infty$。整体电压增益 v_o/v_i 是多少？



题4.38图

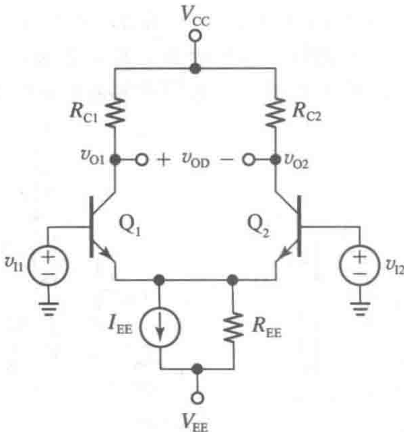
4.5节

4.39 题4.39图所示的电路中使 $v_{CC}=-V_{EE}=5\text{V}$，$R_{C1}=R_{C2}=5\text{k}\Omega$，$I_{EE}=1\text{mA}$，及 $R_{EE}=\infty$。

(a) 假设忽略基极电流，利用18mV和60mV经验法则来预测 i_{C1}，i_{C2}，v_{O1}，v_{O2}，及 v_{OD}，对于下列输入电压组合：(v_{I1}, v_{I2})=(0V, 0V)，(0.25V, 0.25V)，(−1.0V, −1.0V)，(18mV, 0V)，(6mV, −30mV)，(46mV, 100mV)，(−40mV, −100mV)，(−12mV, 30mV)，(0.12V, 0V)及(−0.5V, −0.2V)。

(b) 如果 V_{E0} 表示 $v_{I1}=v_{I2}=0$ 时的发射极电压，求出使射极电压增加到 $V_{E0}+18\text{mV}$ 时的 v_I 值。相应的 v_{OD} 值是多少？

(c) 假设 $r_o=\infty$，如果 $v_{id}=(5\text{mV})\cos(\omega t)$，估计 v_{od} 的值。



题4.39图

4.40 题4.40图所示的是EC对概念的pnp实现。假使 $V_{EE}=-V_{CC}=6\text{V}$，$R_{C1}=R_{C2}=5\text{k}\Omega$，$I_{EE}=1\text{mA}$，及 $R_{EE}=\infty$。

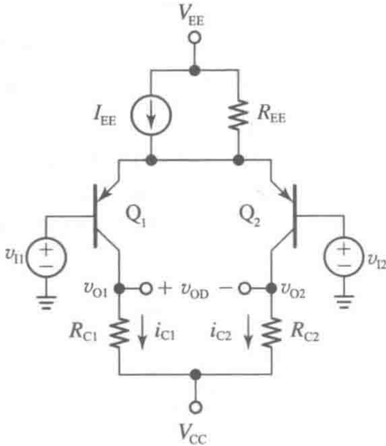
(a) 如果 $v_{I1}=v_{I2}=0$，求出 v_{O1}，v_{O2}，及 v_{OD}。

(b) 如果 $v_{I1}=v_{I2}=1.0\text{V}$ 将发生什么？如果 $v_{I1}=v_{I2}=-1.0\text{V}$ 呢？

(c) 如果 $v_{I1}=30\text{mV}$ 及 $v_{I2}=0$，求出 v_{O1}，v_{O2} 和 v_{OD}。

(d) 如果 $v_{I1}=0$，求出 v_{I2} 使得 $v_{OD}=4\text{V}$。

(e) 如果 V_{E0} 指(a)问中射极电压，那么(b)问中射极电压是多少？(c)问中又是的多少？



题4.40图

4.41 题4.39图所示的电路使 $V_{CC}=-V_{EE}=6\text{V}$，$R_{C1}=R_{C2}=10\text{k}\Omega$，$I_{EE}=0.45\text{mA}$，及 $R_{EE}=\infty$，且使BJT匹配，同时 Q_1 的发射极面积比 Q_2 大25%。

(a) 如果 $v_{I1}=v_{I2}=0$，求出 i_{C1}，i_{C2} 及 v_{OD}（假设忽略基极电流）。

(b) 如果 $v_{I2}=0$，求出驱动 v_{OD} 至零的 v_{I1} 值。

(c) 如果 $v_{I1}=v_{I2}=0$，集电极中的一个电阻（哪一个？）提高到 $(10\text{k}\Omega+\Delta R)$，同时降低另一个电阻至 $(10\text{k}\Omega+\Delta R)$，正好导致 $v_{OD}=0$，求出 ΔR。现在的集电极电压是多少？

4.42 我们希望设计一个题4.39图所示类型的EC对，以便在 $v_{I1}=(10\text{mV})\cos(\omega t)$ 及 $v_{I2}=0$ 的驱动，及集电极电压都不低于0V的限制下，产生最大可能的输出信号。从而避免BJT的BC结正向偏置。

(a) 如果 $V_{CC}=-V_{EE}=12\text{V}$，$R_{C1}=R_{C2}=10\text{k}\Omega$，及 $R_{EE}=\infty$，假设忽略基极电流，所求的 I_{EE} 是多少？

提示：增加 I_{EE} 来提高 a 将降低 V_{O1} 及 V_{O2}，这样使BJT更接近饱和。最关键的时刻是 v_{o1} 和 v_{o2} 达到负顶点时。

(b) 假设 $r_o=\infty$，得到增益 a 是多少？全部的信号 v_{O1}，v_{O2}，及 v_{OD} 是多少？

4.43 题4.40图所示的电路使 $V_{EE}=-V_{CC}=5V$，$R_{C1}=R_{C2}=12k\Omega$，$I_{EE}=0.6mA$，及 $R_{EE}=\infty$。

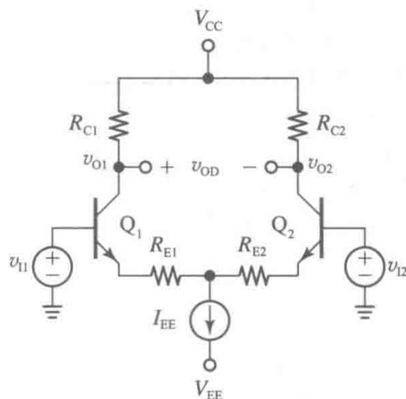
(a) 假设 $r_o=\infty$，求出增益 a。如果 $v_{I1}=(8mV)\cos(\omega t)$ 及 $v_{I2}=0$，求出 v_{od}。

(b) 假设忽略基极电流，求出电压 v_{O1} 和 v_{O2}（将每个电压表示成其直流和交流成分之和）。

(c) 如果一个30kΩ的负载连接在两个集电极之间，求出 v_{od}。

(d) 如果 R_{C2} 意外降低到10kΩ，求出全部信号 v_{O1}，v_{O2}，及 v_{OD}。评论你的结果。

4.44 题4.44图显示了一个差分放大器变体，其利用射极简并。使 $V_{CC}=-V_{EE}=5V$，$R_{C1}=R_{C2}=3.0k\Omega$，$R_{E1}=R_{E2}=120\Omega$，及 $I_{EE}=1.0mA$。



题4.44图

(a) 如果 $v_{I2}=0$，求出使得 $i_{C1}=2i_{C2}$ 的 v_{I1} 值（假设忽略基极电流）。

(b) 如果 $v_{I1}=25mV$，求出使得 $v_{OD}=1.5V$ 的 v_{I2}。

(c) 利用迭代，如果 $v_{ID}=100mV$，求出 v_{OD}。

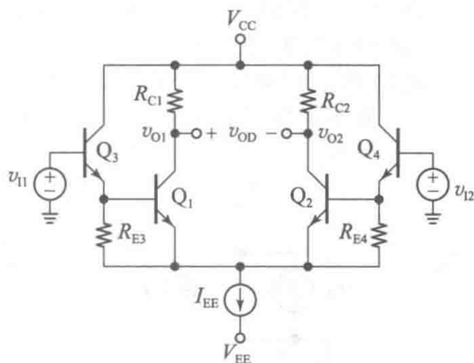
4.45 题4.44图所示的电路使 $V_{CC}=-V_{EE}=6V$，$R_{C1}=R_{C2}=100k\Omega$，及 $I_{EE}=0.5mA$，而且，使 $v_{I1}=(100mV)\cos(\omega t)$ 及 $v_{I2}=0$。

(a) 为 $R_{E1}=R_{E2}$ 指定合适的值以便确保两个BJT满足小信号约束 $|v_{be}|\leqslant 5mV$。得到的交流电压 v_{e1} 和 v_{e2} 是多少？

(b) 求出 v_{od}。如果 $\beta_0=250$ 求出从 Q_1 的基极看进去的小信号电阻 R_{i1}。

4.46 题4.46图所示的 Q_1-Q_2 EC对利用射极跟随器 Q_3-Q_4 降低从输入源 v_{I1} 和 v_{I2} 吸收的电流，从而提高从相同输入源看进去的输入电阻 R_{i1} 和 R_{i2}。使 $V_{CC}=-V_{EE}=6V$，$R_{C1}=R_{C2}=10k\Omega$，$R_{E3}=R_{E4}=15k\Omega$，及 $I_{EE}=1mA$。而且，假设 $V_{BE1}=V_{BE2}=0.7V$ 及 $\beta_F=100$。

(a) 求出基极电流 I_{B3} 和 I_{B4} 以及交流平衡下的集电极电压 v_{O1} 和 v_{O2}。



题4.46图

(b) 如果 $v_{I1}=v_i$ 及 $v_{I2}=0$，求得 v_{e1}，v_{e2}，v_{e3}，和 v_{e4} 关于 v_i 的表达式。

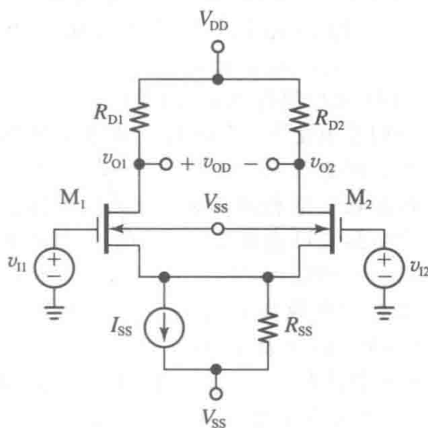
提示：利用电路的对称性。

(c) 求出 v_{o1} 和 v_{o2} 关于 v_i 的表达式。从而，假设 $r_o=\infty$，求出增益 v_{od}/v_i。

(d) 再次利用电路的对称性，求出输入电阻 R_{i1} 和 R_{i2}。

(e) 当所有BJT满足条件 $|v_{be}|\leqslant 5mV$ 时，$|v_i|$ 的上限是多少？

4.47 题4.47图所示的电路使 $V_{DD}=-V_{SS}=3.5V$，$R_{D1}=R_{D2}=10k\Omega$，$I_{SS}=0.4mA$ 及 $R_{SS}=\infty$。而且使所有的场效应管有 $k'=100\ \mu A/V^2$，$V_t=0.6V$，$\lambda=0$，及 $\gamma=0$。



题4.47图

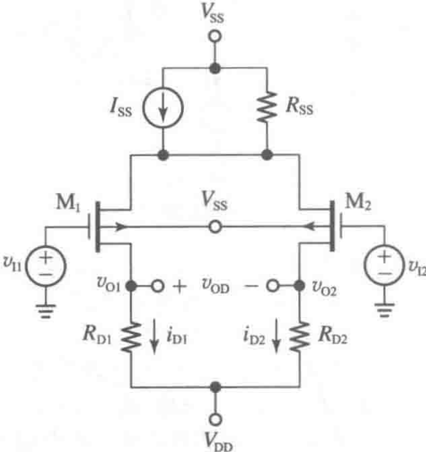
(a) 指定所有场效应管的 W/L 值使得 $v_{od}/v_{id}=-10V/V$。

(b) 如果 $v_{I1}=v_{I2}=0V$，求出 v_{O1}，v_{O2} 和源极电压 v_S。

(c) 如果输入端接在一起，且由一个共模电压 v_{IC} 驱动，使所有场效应管仍然工作在饱和区时的 v_{IC} 上限是多少？

(d) 使 I_{SS} 从SC对的一边流到另一边所需的 v_{ID} 范围是多少？求出该范围端点处的 v_{O1}，v_{O2} 和 v_S。

4.48 题 4.48 图所示的为 SC 对概念的 pMOSFET 实现。使 $V_{SS}=-V_{DD}=5V$，$R_{D1}=R_{D2}=10k\Omega$，$I_{SS}=0.5mA$，及 $R_{SS}=\infty$。而且，使场效应管有 $k=1mA/V^2$，$V_t=-0.5V$，$\lambda=0$ 及 $\gamma=0$。



题 4.48 图

(a) 如果 $v_{I1}=v_{I2}=0V$，求出 v_{O1}，v_{O2}，及源极电压 v_S，增益 v_{od}/v_{id} 是多少？

(b) 如果输入端接在一起，且由一个共模电压 v_{IC} 驱动，使所有场效应管仍然工作在饱和区时的下限 $v_{IC(min)}$。

(c) 使 I_{SS} 从 SC 对的一边流到另一边所需的 v_{ID} 范围，以及该范围极值处的 v_{O1}，v_{O2}，和 v_S。

(d) 求出使得 $v_{OD}=4V$ 的 v_{ID}。

4.49 我们希望设计一个题 4.47 图所示类型的 SC 对，使得在 $v_{I1}=(0.2V)\cos(\omega t)$ 和 $v_{I2}=0$，以及场效应管均未离开饱和区的限制下，产生最大可能的输出信号。可用的条件是 $V_{DD}=-V_{SS}=5V$ 及 $R_{D1}=R_{D2}=10K\Omega$，且所有的场效应管有 $k'=100\mu A/V^2$，$V_t=0.4V$，$\lambda=0$ 及 $\gamma=0$。

(a) 假设 $R_{SS}=\infty$，如果我们希望通过一个数量级满足式(4.94)，即 $4V_{OV}=10\times(0.2V)$，所求的 I_{SS} 是多少？场效应管所要求的 W/L 比值是多少？

提示：增加 I_{SS} 以提高 a 将降低 V_{O1} 和 V_{O2} 并使场效应管更接近饱和。最关键的时刻是当 v_{o1} 和 v_{o2} 达到其负顶点。

(b) 得到的增益 a 是多少？全部的信号(直流和交流组分之和) v_{O1}，v_{O2} 及 v_{OD} 是多少？

4.50 假设 V_{DD} 足够高，确保所有的场效应管始终处于饱和，讨论图 4.47b 所示类型的电压传输曲线在下列条件下受到怎样的影响，如果我们加倍：

(a) 电流 I_{SS}；

(b) 场效应管的 W/L 比值；

(c) 电阻 R_D；

(d) 电源电压。

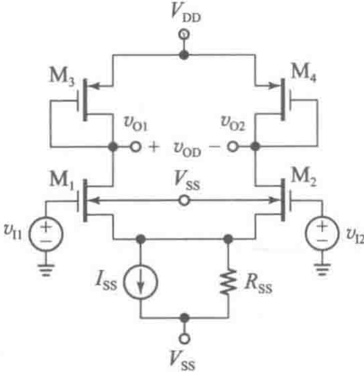
(e) 如果一个负载 $R_L=2R_D$ 连接在两个漏极之间，将会发生什么？在每种情形下，在水平标度下影响(扩大，压缩多少)又是什么？垂直下呢？增益 a？

4.51 题 4.48 图所示的电路使 $V_{SS}=-V_{DD}=5V$，$R_{D1}=R_{D2}=15k\Omega$，$I_{SS}=0.3mA$，及 $R_{SS}=\infty$。场效应管有 $k'=0.1mA/V^2$，$V_t=-0.5V$，$\lambda=0$ 及 $\gamma=0$，但是它们的 W/L 比值不匹配，有 $W_1/L_1=10$ 和 $W_2/L_2=15$。

(a) 如果 $v_{I1}=v_{I2}=0$，求出 v_{OD} 及源极电压 v_S。

(b) 如果 $v_{I2}=0$，求出使漏极电流相等的 v_{I1} 值，从而驱动 v_{OD} 至 0。

4.52 我们知道，在 MOS 集成电路设计中，电阻是不受欢迎的，因此题 4.52 图所示的电路利用二极管连接的对 M_3-M_4 代替电阻对 R_{D1}-R_{D2}。使 $V_{SS}=-V_{DD}=3V$，$I_{SS}=200\mu A$，及 $R_{SS}=\infty$。而且，使场效应管有 $V_{tn}=-V_{tp}=0.4V$，$k_n'=2.5k_p'=100\mu A/V^2$，$\lambda=0$，及 $\gamma=0$。



题 4.52 图

(a) 求增益 $a=v_{od}/v_{id}$ 的表达式。

(b) 找出 nMOSFET 的 W_n/L_n 和 pMOSFET 的 W_p/L_p 之间的一个关系使得 $a=-4V/V$。

(c) 如果输入为 $v_{id}=(0.1V)\cos(\omega t)$，利用 $4V_{OVn}=10\times(0.1V)$，为 W_n/L_n 和 W_p/L_p 指定合适的值。那么 v_{od} 是多少？

(d) 求出全部信号(直流和交流组分之和) v_{O1}，v_{O2}。

4.6 节

4.53 我们希望研究题 4.39 图所示的 EC 对放大器在两种极端情形的性能，一种是射极偏置完全由 I_{EE} 源提供，这样 $R_{EE}=\infty$，而另一种射极偏置完全由 R_{EE} 电阻提供，这样

$I_{EE}=0$。如果 $V_{CC}=-V_{EE}=12V$ 及 $R_{C1}=R_{C2}=10k\Omega$，且假使 BJT 有 $\beta_0=160$ 和 $V_A=50V$(假设 $r_\mu=\infty$)。

(a) 如果 $I_{EE}=1mA$ 及 $R_{EE}=\infty$，求 a_{dm}，a_{cm}，R_{id}，R_{ic}，及 CMRR(对于单端和双端均使用)。

(b) 当 $I_{EE}=0$ 及 $R_{EE}=11.3K\Omega$ 时，重复上问，比较两种情形并评论。

4.54 题 4.47 图所示的 SC 电路中，如果 $V_{DD}=-V_{SS}=2.5V$，$R_{D1}=R_{D2}=10k\Omega$,，$I_{SS}=0.2mA$，以及 $R_{SS}=200k\Omega$。而且，使场效应管有 $k=1.25\pm2\%$ mA/V²，$V_t=0.6V\pm1\%V$，$\lambda=1/(15V)$及 $\chi=0.2$。

(a) 利用标称参数，求出 a_{dm}及 a_{cm}。

(b) 对于双端情形，研究上面的容差是怎样影响 CMRR 的。对于最坏情形，及容差不相关的情形，求出 CMRR 值，单位 dB。

提示：求出一个与 $\Delta k/k$ 及 $\Delta V_{OV}/V_{OV}$ 相关的 $\Delta g_m/g_m$ 表达式。

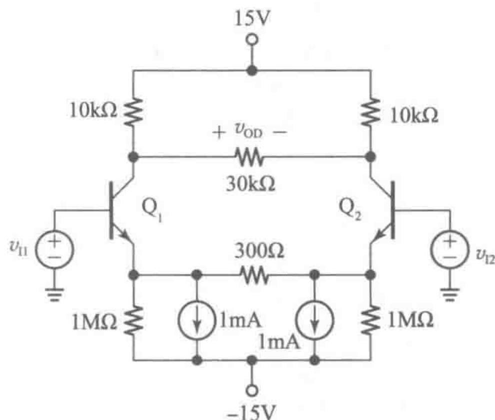
4.55 在题 4.44 图所示的 EC 对电路中 $V_{CC}=-V_{EE}=6V$，$R_{C1}=R_{C2}=12k\Omega$，$R_{E1}=R_{E2}=250\Omega$，且 $I_{EE}=0.5mA$。此外，假设 I_{EE} 源有一个并联电阻 $R_{EE}=150k\Omega$，BJT 有 $\beta_0=125$ 及 $r_o=200k\Omega$。

(a) 利用半边电路分析，求出 a_{dm}，a_{cm}，R_{id}，R_{ic}，以及 CMRR.。

(b) 如果 BJT 的发射极面积 A_{E1} 和 A_{E2} 存在 $\pm3\%$ 的失配，有效基极宽度 W_{B1} 和 W_{B2} 存在 $\pm5\%$ 的失配，CMRR 受到怎样的影响(双端实现)？考虑最坏的情形及所有的失配是不相关的情形。

提示：求出一个与 $\Delta g_{m1}/g_{m1}$ 和 $\Delta g_{m2}/g_{m2}$ 相关的 $\Delta g_m/g_m$ 的表达式。

4.56 使题 4.56 图所示差分放大器的 BJT 有 $\beta_0=150$ 及 $V_A=75V$。



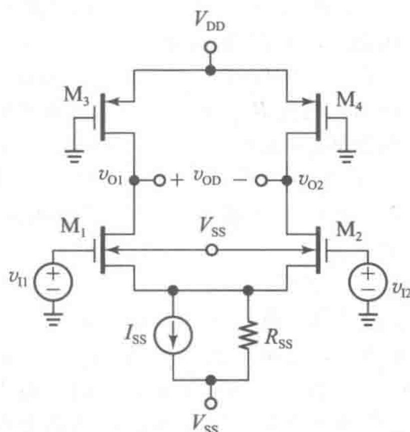
题 4.56 图

(a) 利用半边电路分析，求出单端和双端结构的 a_{dm}，a_{cm}，R_{id}，R_{ic}和 CMRR。

(b) 如果偏置 Q_2 的电流沉比标称值高 10%，CMRR(双端结构)将受到怎样的影响？

提示：求出一个与 $\Delta g_{m1}/g_{m1}$ 和 $\Delta g_{m2}/g_{m2}$ 相关的 $\Delta g_m/g_m$ 的表达式。

4.57 我们知道，在 MOS IC 设计技术中，电阻是不受欢迎的，因此题 4.57 图所示电路利用 M_3-M_4 对来代替电阻对 R_{D1}-R_{D2}。使 $V_{DD}=-V_{SS}=2.5V$ 及 $R_{SS}=100k\Omega$，且假设 I_{SS}被调整到直流平衡状态下每个场效应管抽取电流为 $100\mu A$。而且，使 $V_{tn}=-V_{tp}=1.0V$，$k'_n=2.5k'_p=100\mu A/V^2$，$\lambda_n=1/(10V)$，$\lambda_p=1/(20V)$，以及 $\chi_n=0.2$。



题 4.57 图

(a) 为 M_1-M_2 对指定 W_n/L_n 使得 $g_{mn}=1.25mA/V$，且为 M_3-M_4 对指定W_p/L_p 以便直流平衡态下，电路有 $V_{O1}=V_{O2}=0V$。

(b) 求出线性工作区的上限和下限 $v_{O(max)}$ 及 $v_{O(min)}$。

(c) 求出单端和双端结构的 a_{dm}，a_{cm} 及 CMRR。

(d) 对于一个双端结构，λ_p 10%的失配将怎样影响 CMRR?

提示：利用 $a_{cm}=(v_{o1}-v_{o2})/v_{ic}$

4.58 在题 4.52 图所示的电路中使 $I_{SS}=250\mu A$，及$R_{SS}=250k\Omega$，且使所有的场效应管有 $k_n=1mA/V^2$，$\lambda_n=1/(25V)$，$\chi_n=0.2$，$k_p=0.1\ mV/V^2$，及 $\lambda_p=1/(20V)$。

(a) 对于单端和双端结构，分别求出 a_{dm}，a_{cm}及 CMRR。

(b) 对于双端结构，g_{mn}一个$\pm10\%$的失配将怎样影响 CMRR?

(c) 对于 $g_{mp}\pm10\%$失配的情形，重复(b)问。

4.59 假设由于产品误差，题 4.47 图所示的场效应管极其不匹配，以致 $k_2 = 2k_1 = 1.6\text{mA/V}^2$。但是 V_t 匹配，且为了简化，假设 $\lambda=0$ 和 $\gamma=0$。如果 $R_{D1}=R_{D2}=10\text{k}\Omega$，$I_{SS}=0.3\text{mA}$，及 $R_{SS}=100\text{k}\Omega$，求出 $a_{dm}=(v_{o1}-v_{o2})/v_{id}$ 及 $a_{cm}=(v_{o1}-v_{o2})/v_{ic}$。因此，计算双端结构的 CMRR。

4.7 节

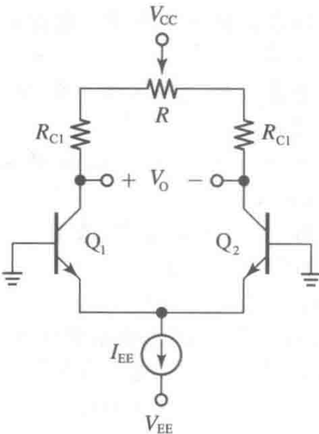
4.60 假设题 4.40 图所示的 pnp BJT 发射极面积不匹配以致 $A_{E1}=1.15A_{E2}$。另外，BJT 有 $\beta_{F1}=\beta_{F2}=100$。而且，$V_{CC}=-V_{EE}=5\text{V}$，$R_{C1}=R_{C2}=10\text{k}\Omega$，$I_{EE}=0.5\text{mA}$，以及 $R_{EE}=\infty$。

(a) 求出输入失调电压 V_{OS}，输入偏置电流 I_B（流入或流出 BJT?），和输入失调电流 I_{OS}。

(b) 如果 $\beta_{F1}=150$ 及 $\beta_{F2}=75$，重复上问。

4.61 在题 4.39 图所示电路中，如果 $V_{CC}=-V_{EE}=10\text{V}$，$R_{C1}=R_{C2}=10\text{k}\Omega$，$I_{EE}=1\text{mA}$，以及 $R_{EE}=\infty$。假设忽略基极电流以及 $V_{BE}=0.7\text{V}$，如果 Early 电压不匹配，以致 $V_{A1}=50\text{V}$ 及 $V_{A2}=80\text{V}$（除了这个参数不匹配，电路中其他参数均匹配），求出 V_{OS}。

4.62 题 4.62 图所示的是一个使失调电压清零的流行结构。由于两个半边电路匹配且滑片在中间，电路平衡，给出 $V_{C1}=V_{C2}$，从而 $V_O=0$。然而，移动滑片到左边或者右边将使电路不平衡，因此通过合适的方向选择及这种故意的不平衡程度，我们可以消除电路路固有的不平衡，从而使 V_O 清零，产生一个失调很小的电路。

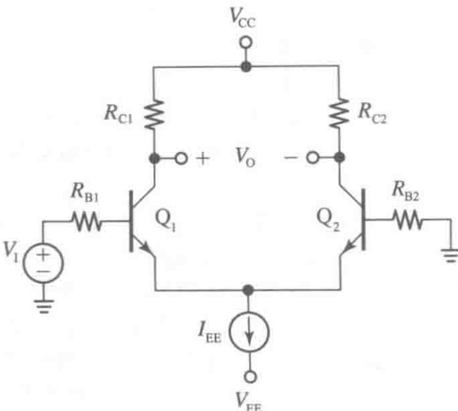


题 4.62 图

(a) 使 $V_{CC}=-V_{EE}=12\text{V}$，$I_{EE}=1\text{mA}$，及 $R_{EE}=\infty$。而且，假设 R_{C1} 和 R_{C2} 比预期的标称值 10kΩ 分别高 8% 和 5%，且假设 BJT 不匹配，以致 I_{s1} 比 I_{s2} 高 10.5%。如果 R 是一个 3kΩ 电位器，求出使 $V_O=0$ 的滑片设置（指定分配在 3kΩ 电阻滑片左边的部分，及右边的部分，例如，左边 2.5kΩ，右边 0.5kΩ）。

(b) 如果 R_C 互换，以致小的在左边，大的在右边，重复上问。

4.63 一个学生正在对题 4.63 图所示电路进行一系列简单的测量，来确定 BJT 参数的不匹配性。在每一步中学生调节 V_I 以便驱动 V_O 至 0V，从而使电路平衡，然后用电压表测量 V_I。该成分值为 $V_{CC}=-V_{EE}=6\text{V}$ 及 $R_{C1}=R_{C2}=10\text{k}\Omega$。



题 4.63 图

(a) 如果 $R_{B1}=R_{B2}=0$，学生首先调节 V_I 来平衡电路，然后调节 I_{EE} 使集电极电压正好在 1.0V。如果我们发现，$V_I=-2.5\text{mV}$，饱和电流比值 I_{s1}/I_{s2} 是多少？

(b) 如果 $R_{B1}=0$ 及 $R_{B2}=1.0\text{K}\Omega$，发现现在平衡需要 $V_I=-4.5\text{mV}$。I_{B2} 和 β_{F2} 是多少？

(c) 如果 $R_{B1}=1.0\text{k}\Omega$ 及 $R_{B2}=0$，发现现在平衡需要 $V_I=0\text{V}$。I_{B1} 和 β_{F1} 是多少？

(d) 如果 $R_{B1}=R_{B2}=1.0\text{k}\Omega$，预测 V_I。

(e) 输入失调电压 V_{OS} 是多少，输入偏置电流 I_B 和输入失调电流 I_{OS} 是多少？

4.64 在题 4.44 图所示的电路中 $R_{C1}=R_{C2}=10\text{k}\Omega$，$R_{E1}=R_{E2}=100\Omega$，及 $I_{EE}=1\text{mA}$。如果电阻有 ±2.5% 的容差，以及饱和电流 I_{s1} 和 I_{s2} 表现出 ±5% 的失配，求出最大的输入失调电压 $V_{OS(max)}$。

提示：如果假设 $v_{I2}=0$，那么 $V_{OS(max)}$ 是在最坏情况下驱动 v_{OD} 至零所需要的 v_{I1} 值。

4.65 在题 4.48 图所示的 pMOSFET 电路中 $I_{SS}=200\mu\text{A}$，$R_{SS}=\infty$，$R_{D1}=16\text{k}\Omega$，及 $R_{D2}=14\text{k}\Omega$，而且如果场效应管有 $k_1=0.9\text{ mA/V}^2$，$k_2=1.2\text{ mA/V}^2$，$V_{t1}=-495\text{mV}$，$V_{t2}=-503\text{mV}$。假设 $\lambda_1=\lambda_2=0$，估计 v_{OS}。

哪一个对 v_{OS} 起主要贡献?

4.66 在题 4.52 图所示的 CMOS 电路中使 $I_{SS}=200\mu A$，及 $R_{SS}=\infty$，且假使场效应管有 $k_n=1\ mA/V^2$ 及 $k_p=0.1\ mA/V^2$(为了简化假设 $\lambda_n=\lambda_p=0$ 和 $\gamma_n=0$)。

(a) 如果 k_n 和 k_p 受到 ±5% 的误差，最大的输入失调电压 $V_{OS(max)}$?

提示：如果假设 $v_{I2}=0$，那么 $V_{OS(max)}$ 是在最坏情况下驱动 v_{OD} 至零所需要的 v_{I1} 值。

(b) 如果 k_n 变为原来 4 倍，且容差与(a)问中相同，那么 $V_{OS(max)}$ 和 a_{dm} 将受到怎样的影响?

(c) 如果 k_p(而不是 k_n)现在变为原来 4 倍，且仍然是 ±5% 的容差，重复(b)问。

4.67 在题 4.57 图所示的 CMOS 电路中 $V_{DD}=-V_{SS}=2.5V$，$I_{SS}=300\mu A$ 及 $R_{SS}=\infty$。同样，使场效应管有 $V_{tn}=-V_{tp}=1.0V$，$k_n'=2.5k_p'=100\mu A/V^2$，$\lambda_n=1/[(7.5\pm2.5)V]$，$\lambda_p=1/[(22.5\pm4.5)V]$ 及 $\gamma_n=0$

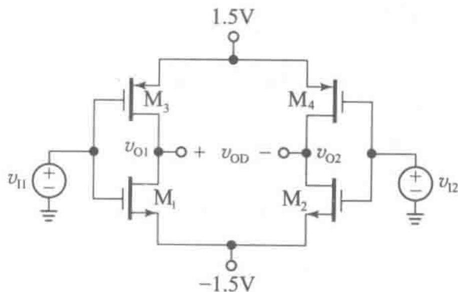
(a) 利用标称值 λ_n 和 λ_p，为 M_3-M_4 对指定 W_p/L_p 值，使得在直流平衡态下电路有 $V_{O1}=V_{O2}=0V$。而且，为 M_1-M_2 对指定 W_n/L_n，使得 $V_{OVn}=0.5V$。

(b) 假如上面的 λ_n 和 λ_p 可变，最大输入失调电压 $V_{OS(max)}$ 是多少?

提示：如果假设 $v_{I2}=0$，那么 $V_{OS(max)}$ 是最坏情形下驱动 V_{OD} 至零所需的 v_{I1} 值。

4.68 在题 4.68 图所示的 CMOS 电路中假设匹配的场效应管有 $V_{tn}=-V_{tp}=1.0V$，$k_n=k_p=1mA/V^2$，及 $\lambda_n=\lambda_p=1/(10V)$。如果三个参数对均受到 ±5% 的容差，估计最坏情况的 V_{OS} 值。

提示：一次研究电路的一半，然后利用电路的对称性归纳。



题 4.68 图

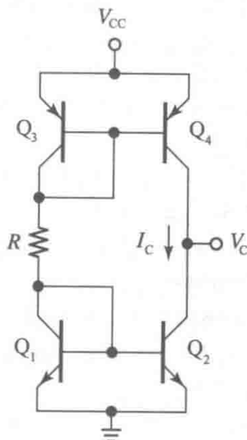
4.8 节

4.69 在题 4.69 图所示的电路中 $V_{CC}=10V$ 及 $R=8.6k\Omega$。而且，使 BJT 有 $I_{s3}=I_{s4}$，$I_{s1}=I_{s2}$，及 $V_{EBp}=V_{BEn}=0.7V$，其中下标 p 和 n 分别指的是 pnp 和 npn 对。

(a) 假设忽略基极电流，如果 $V_{Ap}=V_{An}=100V$，求出 I_C 和 V_C。

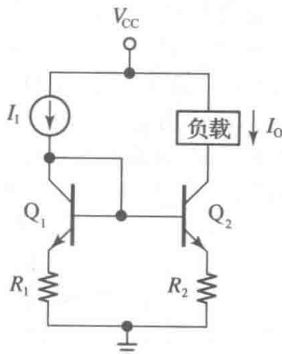
(b) 如果 $V_{Ap}=30V$ 和 $V_{An}=100V$，重复(a)问。

(c) 如果 $\beta_{Fp}=50$ 和 $\beta_{Fn}=250$，重复(a)问和(b)问。并在每一步中证明你的结果。



题 4.69 图

4.70 如果我们在发射极串联合适的电阻，将显著减小 BJT 的不匹配性，如题 4.70 图所示。忽略基极电流，并应用 KVL 我们得到，$R_1I_1+V_{BE1}=R_2I_O+V_{BE2}$，即 $R_2I_O=R_1I_1+\Delta V_{BE}$ 其中，$\Delta V_{BE}=V_{BE1}-V_{BE2}$。如果我们利用 $R_1I_1\gg\Delta V_{BE}$，那么我们得到 $R_2I_O\approx R_1I_1$ 即 $I_O\approx(R_1/R_2)I_1$，表明电流的比值由电阻产生。特别地，忽略两个 BJT 之间的失配，当电阻相同时，我们取得精确的镜像。这种技术，在不匹配的离散的器件中特别受欢迎，且仍然在电流 IC 设计中使用，只要电阻不要占用太大的芯片面积。如果需要，我们可以增加一个辅助 β 来进一步减少误差。



题 4.70 图

(a) 假使 BJT 极不匹配，以致 $I_{s2}=2I_{s1}$。假设 $V_A=\infty$，$V_{CE2(EOS)}=0.3V$，且忽略基极电流，如果 $I_1=1.0mA$ 及 $R_1=$

$R_2=0$ 求出基极电流。线性工作区的下限 $v_{C2(min)}$ 的值是多少？

(b) 如果 $R_1=R_2=100\Omega$，重复(a)问。

(c) 如果 $R_1=R_2=100\Omega$，重复(a)问。

(d) 求出使得输出电流误差为1%或更少的 R_1 和 $R_2(=R_1)$ 值。

4.71 (a) 利用测试的方法来证明图4.57b所示的辅助 β 电流镜中，从输入电流源看进去的小信号电阻为 $R_i\approx 2V_T/I_I$。

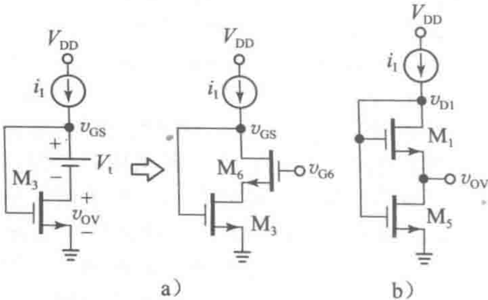
(b) 对于图4.61a所示的威尔逊电流镜重复上述过程。

4.72 (a) 假设 $r_\mu=\infty$，证明图4.59所示双极型情形的电流镜有 $R_o\approx(\beta_0/2)r_o$。

提示：用BJT小信号等效电路替代BJT，且利用测试的方法，注意到由于 Q_3 和 Q_4 的镜像行为，流出 Q_2 的发射极的小信号电流必须镜像与流出 Q_2 的基极的小信号电流。证明 $R_i\approx 2V_T/I_I$。

(b) 利用这个事实，共源共栅使外推的 i_O-v_O 曲线在 v_O 上的截距从 $-V_A$ 移动到 $-(\beta_0/2)V_A$，证明等式(4.136)。

4.73 图4.60b所示的Sooch电流镜利用题4.73图所示的模块来提供合适的电压驱动输出场效应管 M_2 和 M_4。



题4.73图

(a) M_3 的作用是在 $v_{DS}=v_{OV}$ 下合成所需的 v_{GS} 驱动来使 i_I 下降。这要求 $v_{D3}=v_{G3}-V_t$，这个目标由 M_6 实现。假设 $v_{OV}\leqslant V_t$ 求出 v_{g6} 以便 $v_{DS6}=V_t$。

(b) 对于二极管连接的场效应管，在其沟道中任意一点的电压将位于 v_S 和 $v_S+V_t+v_{OV}$。特别地，必须有一点电压为 v_S+v_{OV}。为了接近它，我们场效应管拆分成两个场效应管 M_1 和 M_5 的串联，如题4.73图b所示(想到两个场效应管串联仍然相当于单个场效应管)，证明为了使 $v_{DS5}=v_{OV}$，M_5 必须工作在晶体管区(而 M_1 饱和)且必须有 $k_5=k_1/3$(可以通过将 M_5 的 W/L 制造成 M_1 的1/3来实现)。产生的电压 v_{D1} 时多少？

(c) 证实一旦(b)电路在(a)电路之上，如图4.60b所示Sooch电路，M_6 的漏极将为 M_4 的栅极提供所要求的驱动，M_1 的漏极将为 M_2 及 M_6 的栅极提供所要求的驱动电压。求出 v_I。

(d) 假设某个应用要求利用题4.73b图所示的结构来产生电压 $2v_{OV}$(而不是 $1v_{OV}$)。在这种情况下，k_5 和 k_1 所要求的关系是什么？

4.74 对于图4.61a所示的Wilson电流镜，该电流镜依赖于匹配的 β 值，其误差项 $\epsilon=-2/\beta_F^2$ 可以由式(4.141)预测。这种匹配导致 $1/\beta_F$ 中的第一项相互消除。仅留下二阶项。

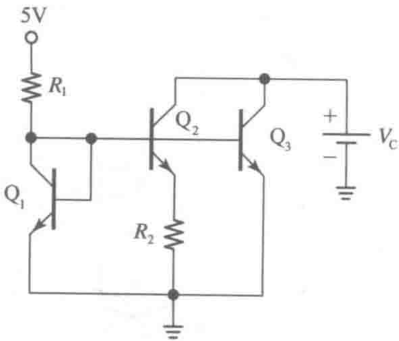
(a) 为了研究如果 β 值失配将会发生什么，为了简化，假设 $\beta_{F2}=\beta_{F1}$，但是 β_{F3} 任意。按照一种与图4.61b所描述的相似方式进行，证明：

$$\frac{i_O}{i_I}=1-\frac{2(\beta_{F1}-\beta_{F3})+2}{\beta_{F1}\beta_{F3}+2\beta_{F1}+2}\approx 1-2\frac{\beta_{F1}-\beta_{F3}+1}{\beta_{F1}\beta_{F3}}$$

(b) 假设 $\beta_{F2}=\beta_{F1}=100$，研究特殊情形下 $\beta_{F3}=100$，90，110，及101，并评论你的结果。

(c) 如果一个学生担心由于有限的 β 导致的误差，想用Darlington对来代替图4.61a所示的 Q_3，利用其高的等效 β，或甚至利用一个nMOSFET，其抽取的栅极电流为零。你将为学生提供哪个器件？

4.75 假设题4.75图所示的BJT发射面积为 $A_{E1}=A_{E2}=0.5A_{E3}$，三个BJT均有 $V_A=75V$。



题4.75图

(a) 假设忽略基极电流，为 R_1 和 R_2 指定合适的值，使得当 $V_C=0.7V$ 时电路有 $I_{C3}=1mA$ 及 $I_{C2}=20\mu A$。

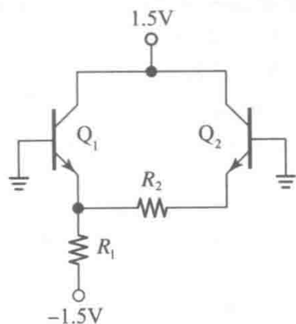
(b) 如果我们将 V_C 增加到0.7V以上，V_C 每增加1V，I_{C3} 和 I_{C2} 变化大的百分比是多少？

4.76　使题 4.76 图所示的 BJT 有 $I_s=0.1\text{fA}$。

(a) 假设 $V_A=\infty$ 且忽略基极电流，为 R_1 和 R_2 指定合适的值使得 $I_{C1}=1.0\text{mA}$ 及 $I_{C2}=0.2\text{mA}$。

(b) 如果 $R_1=1.0\text{k}\Omega$ 及 $R_2=3.0\text{K}\Omega$，求出 I_{C1} 和 I_{C2}。

提示：两个 BJT 均使用迭代。



题 4.76 图

4.77　在图 4.63b 所示的电路中，$I_1=0.25\text{mA}$。

(a) 假设忽略基极电流，如果 $R=100\Omega$，求出 I_O。

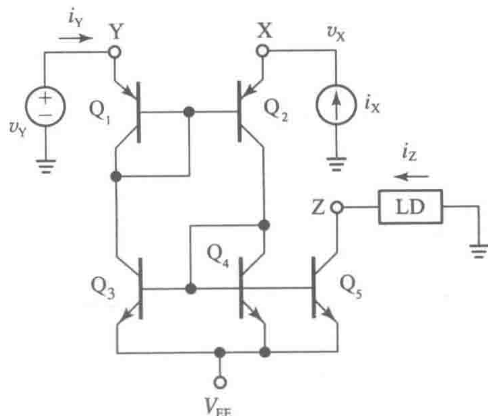
(b) 对于 $I_O=10\mu\text{A}$ 求出 R。

(c) 如果 BJT 有 $V_A=50\text{V}$，Q_2 的集电极电压每增加 1V，I_O 增加的百分比是多少?

4.78　(a) 参考图 4.63b 所示的峰值电流吸收器，证明 I_O 是 I_1 峰值函数且 $I_1=V_T/R$。I_O 峰值与 I_1 怎样相关有什么关系?

(b) 假设 $R=325\Omega$，求出 $I_{O(max)}$ 以及相应的 I_1。对于 $I_1=kV_T/R$，$k=0$，0.5，1，1.5，2，2.5，3，计算 I_O，且画出 I_O 关于 I_1 函数的曲线图。

4.79　题 4.79 图所示的电路，称为电流传输器，可应用于快速电流信号处理中。电路有两个输入端 X 和 Y 以及输出端 Z，它由原始的 pnp 电流镜 Q_1-Q_2 双输出电流镜 Q_3-Q_4-Q_5。

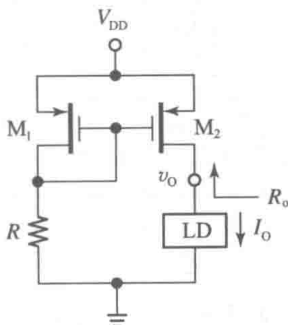


题 4.79 图

(a) 当电源 i_X 开启时描述电路的行为。从而，假设忽略基极电流，求出 v_X 与 v_Y 的函数关系，i_Y 和 i_Z 与 i_X 的函数关系。

(b) 求出从相应端看进去的小信号电阻 R_x，R_y，及 R_z 的表达式。

4.80　使题 4.80 图所示的 pMOSFET 电流镜中场效应管器件匹配，且有 $V_t=-0.5\text{V}$，$k=0.5\text{mA/V}^2$，及 $\lambda=1/(10\text{V})$。



题 4.80 图

(a) 如果 $V_{DD}=3\text{V}$，求出 R 以使直流平衡态下 $I_O=0.1\text{mA}$。R_o 是多少? 当 Q_2 仍然在饱和区时，求出 $v_{O(max)}$。

(b) 如果 $R=10\text{k}\Omega$，求出 I_O，R_o，及 $v_{O(max)}$。

4.81　使图 4.58a 所示的基本电流镜中，场效应管有 $k_2=4k_1=2\ \text{m/V}^2$，$V_{t0}=0.4\text{V}$ 及 $\lambda=1/(15\text{V})$。

(a) 如果 $i_1=50\mu\text{A}$，求出 i_O 关于 v_O 的函数关系表达式。从而，求出 v_1，R_i，R_o，以及线性输出的范围的下限 $v_{O(max)}$。在 $v_{O(max)}$ 以上 v_O 每变化 1V，i_O 变化的百分比是多少?

(b) 增加第二个场效应管对 M_3-M_4，使电路变为图 4.59b 所示类型的共源共栅电流镜。假设 $k_4=k_2=4k_3=4k_1=2\text{m}^2$，$\gamma=0.5\text{V}^{1/2}$，及 $|2\phi_p|=0.6\text{V}$。重复上述计算。与(a)问比较并评论。

4.82　考虑到图 4.5b 所示下面部分，包括电流镜 M_5-M_6 和二极管连接的晶体管 M_7，其为 M_5 产生偏置电流。假设工艺参数为 $k'=100\mu\text{A/V}^2$，$\lambda'=0.08\mu\text{m/V}$，及 $V_t=0.5\text{V}$ (为了简化，忽略 M_7 的衬底效应)。

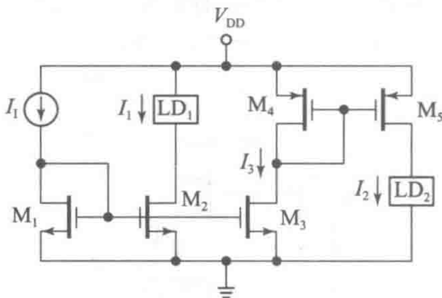
(a) 指定 M_6 和 L_6 使得 M_6 在 0.4V 过驱动电压下抽取的电流为 $100\mu\text{A}$，表现出一个 $250\text{k}\Omega$ 的输出电阻。

(b) 指定 W_5/L_5 比值以使 M_5 为 M_6 提供所需的栅极电压，同时抽取电流为 $25\mu\text{A}$。

(c) 指定 W_7/L_7 值，以使在 $V_{SS}=-2.5\text{V}$ 下，M_7 偏置 M_5 在 $25\mu\text{A}$。

4.83　题 4.83 图所示的电路利用 nMOSFET 电流镜 M_1-M_2 来吸收来自负载 LD_1 的电流 I_1，

而电流镜 M_4-M_5 为负载 LD_2 提供电流 I_2。nMOSFET 电流镜由输入源 I_1 偏置，且它包含一个额外的场效应管 M_3，产生所需的电流 I_3 来偏置 pMOSFET 电流镜。假设工艺参数为 $V_{tn}=-V_{tp}=0.5\text{V}$，$k_n'=2.5k_p'=100\mu\text{A/V}^2$，及 $\lambda_p'=\lambda_n'=0.05\text{V}^{-1}$。



题 4.83 图

(a) 如果 $I_1=50\mu\text{A}$，指定 M_1，M_2，M_3，及 M_4 的 W/L，使得 $I_3=I_1$ 及 $V_{OV4}=V_{OV1}=0.25\text{V}$。

(b) 指定 W_2 和 L_2，使得直流平衡状态下，M_2 吸收电流 $I_1=250\mu\text{A}$，且 $r_{o2}=100\text{k}\Omega$。

(c) 指定 W_5 和 L_5，使得直流平衡状态下，M_5 吸收电流 $I_5=100\mu\text{A}$，且 $r_{o5}=100\text{k}\Omega$。

4.9 节

4.84 (a) 证明等式(4.152)。

(b) 如果一个有源负载 CMOS 差分对采用 ±2.5－V 电压供电，且制造工艺为 $k_n'=2.5k_p'=100\mu\text{A/V}^2$，$V_{tn}=-V_{tp}=0.6\text{V}$，及 $\lambda_n'=2\lambda_p'=0.1\mu\text{m/V}$，为四个场效应管指定合适的 W 和 L，使得直流平衡态下，当 $I_{SS}=200\mu\text{A}$，及 $V_{OVn}=V_{OVp}=0.4\text{V}$ 时，电路有 $a_{dm}=-50\text{V/V}$。忽略衬底效应。

4.85 (a) 证明式(4.157)。

(b) 证明式(4.158)。

(c) 利用式(4.158)的简化表达式来估计 CMRR，与例 4.26 比较，并评论。

4.86 考虑图 4.67b 所示的有源 CMOS 放大器，但是输入均为交流地。假设 M_1-M_2 和 M_3-M_4 对分别匹配，M_1 和 M_2 的衬底效应可以忽略。

(a) 用晶体管的小信号模型替代每个晶体管，其中小信号模型由 $g_m v_{gs}$ 源和并联电阻 r_o 组成。从而应用一个测试电压 v 到 M_1 和 M_5 漏极的公共节点，求出流出测试源的电流 i，并证明：

$$\frac{v}{i}=\frac{r_{op}\ /\!/\ (2r_{on}+r_{op})}{1+g_{mp}r_{op}}$$

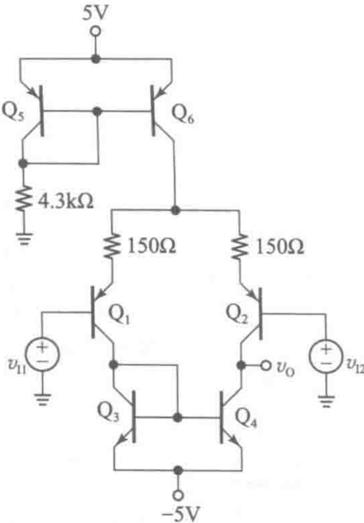
(b) 如果 $r_{on}=r_{op}=r_o$，v/i 如何简化？如果 $g_{mp}=1\text{mA/V}$ 及 $r_o=20\text{k}\Omega$，其值是多少？

4.87 在图 4.64a 所示的双极电路中，$V_{CC}=-V_{EE}=10\text{V}$ 及 $R=9.3\text{k}\Omega$，且使 BJT 有 $V_{BEn}=V_{EBp}=0.7\text{V}$ 及 $V_{CEn(EOS)}=v_{ECp(EOS)}=0.3\text{V}$。

(a) 如果 $\beta_{0n}=4\beta_{0p}=200$ 及 $V_{An}=1.5V_{Ap}=75\text{V}$，求出 R_{id}，R_o，a_{dm} 和 CMRR。

(b) 如果输入端连接在一起，且由一个公共电压 v_{IC} 驱动，对于 $v_{IC}=0\text{V}$，允许的输入电压范围是多少？对于 $v_{IC}=2\text{V}$ 呢？$v_{IC}=-2\text{V}$ 呢？

4.88 题 4.88 图所示的 pnp BJT Q_1-Q_2 通过发射极简并形成一个 EC 对，npn 镜 Q_3-Q_4 形成一个有源负载，且 pnp 镜 Q_5-Q_6 为 EC 对提供射极偏置。假使 BJT 有 $V_{BEn}=v_{EBp}=0.7\text{V}$，$V_{CEn(EOS)}=V_{ECp(EOS)}=0.3\text{V}$，$\beta_{0n}=4\beta_{0p}$，$=200$，及 $V_{An}=1.5V_{Ap}=75\text{V}$。



题 4.88 图

(a) 求出 R_{id}、R_o、a_{dm} 和 CMRR。

(b) 如果输入端接在一起，且由一个共模电压 v_{IC} 驱动，所允许的输入电压范围是多少？对于 $v_{IC}=0\text{V}$，所允许的输出电压范围是多少？

(c) 在这个电路中对于差动 pnp 对，利用射极简并的优点/缺点是什么？

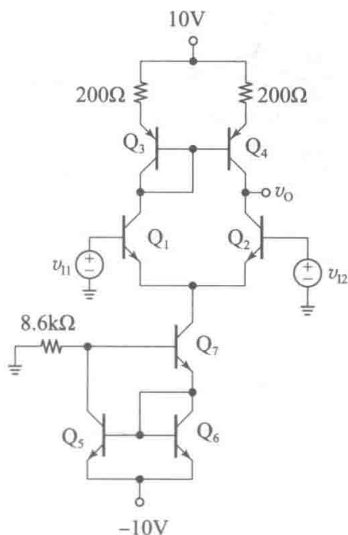
4.89 题 4.89 图所示的 Q_1-Q_2 对采用射极简并的电流镜 Q_3-Q_4 作有源负载，且由 Wilson 电流镜 Q_5-Q_6-Q_7 偏置。假使 BJT 有 $V_{BEn}=V_{EBp}=0.7\text{V}$，$V_{CEn(EOS)}=V_{ECp(EOS)}=0.3\text{V}$，$\beta_{0n}=5\beta_{0p}=250$，及 $V_{An}=2V_{Ap}=80\text{V}$。

(a) 求出 R_{id}，R_o，a_{dm} 及 CMRR。

(b) 如果输入端连接在一起且由一个共模电压 v_{IC} 驱动，求出 v_{IC} 允许的范围。如果 $v_{IC}=0\text{V}$，所允许的输出电压范围是

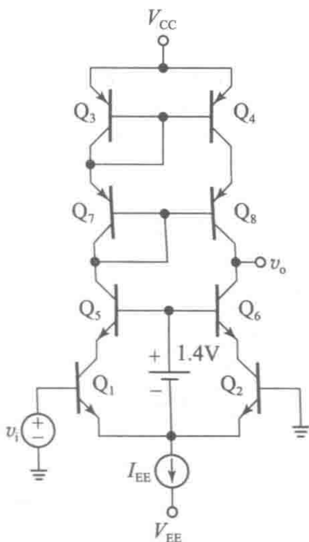
多少？

(c) 在有源负载中利用射极简并的优点/缺点是什么？通过一个 Wilson 电流镜而不是基本的电流镜偏置电路的优点/缺点又是什么？



题 4.89 图

4.90 在题 4.90 图所示电路中，差分对和有源负载级联在一起，用于提高输出电阻 R_o，从而提高无负载增益 a_{dm}。特别地，EC 对 Q_1-Q_2 通过 CB 对 Q_5-Q_6 级联，电流镜 Q_3-Q_4 通过 CB 对 Q_7-Q_8 级联(为了简化，1.4V 电压源的功能，其详细电路被省略，是用于偏置 Q_5-Q_6 对以便在整个共模输入范围内保持 Q_1 和 Q_2 工作在有源区)。



题 4.90 图

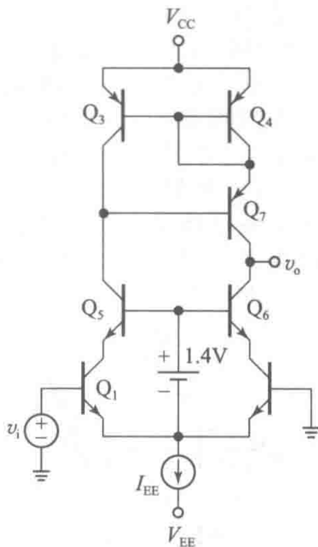
(a) 求出与 BJT 的 β 和 Early 电压相关的 a_{dm} 表达式(为了简化，假设 $r_\mu=\infty$)。从而证明如果所有的 BJT 有相同的 β 和 Early 电压，那么增益简化为 $a_{dm}=(\beta_0/3)\times(V_A/V_T)$。

(b) 如果 $I_{EE}=1.0\text{mA}$，$\beta_{0n}=3\beta_{0p}=150$，及 $V_{An}=(4/3)V_{Ap}=100\text{V}$，计算 R_o 和 a_{dm}。

(c) 估计由于有限 β_{Fp} 导致的系统输入失调电压(假设 $\beta_{Fp}=\beta_{0p}$)。

(d) 如果 $V_{CC}=10\text{V}$，$V_{BEn}=V_{EBp}=0.7\text{V}$，及 $V_{CEm(EOS)}=V_{ECp(EOS)}=0.3\text{V}$，允许的输出电压范围是多少？

4.91 在题 4.91 图所示差分对 Q_1-Q_2 通过 CB 对 Q_5-Q_6 级联，有源负载为一个 Wilson 类型电流镜，我们知道，共源共栅和 Wilson 配置均存在固有的高增益输出电阻，因此，我们期望 R_o 和 a_{dm} 有一个显著的增加。(为了简化，其详细电路被省略，1.4V 电压源的功能用于偏置 Q_5-Q_6 对，以便在整个共模输入范围内保持 Q_1 和 Q_2 工作在有源区)。



题 4.91 图

(a) 求出与 BJT 的 β 和 Early 电压相关的 a_{dm} 表达式(为了简化，假设 $r_\mu=\infty$)。从而证明如果所有的 BJT 有相同的 β 和 Early 电压，那么增益简化为 $a_{dm}=(\beta_0/3)(V_A/V_T)$.

(b) 如果 $I_{EE}=0.4\text{mA}$，$\beta_{0n}=100$，$\beta_{0p}=50$，$V_{Ap}=75\text{V}$，及 $V_{Ap}=30\text{V}$，计算 R_o 和 a_{dm}。

(c) 估计由于有限 β_{Fp} 导致的系统输入失调电压(假设 $\beta_{Fp}=\beta_{0p}$)

(d) 如果 $V_{CC}=9\text{V}$，$V_{BEn}=V_{EBp}=0.7\text{V}$，及 $V_{CEp(EOS)}=V_{ECp(EOS)}=0.3\text{V}$，允许的输出电压摆幅是多少？

4.92 (a) 假设 I_{sn} 失配 $\pm 4\%$，I_{sp} 失配 $\pm 5\%$，且 $\beta_{0p}=50$，求出题 4.90 图所示电路最坏情形下的输入失调电压。哪一个对 V_{OS} 起主要贡献？

提示：不是所有的晶体管影响失调误差，哪些影响哪些不影响？

(b) 对于题 4.91 图所示的电路，重复上面分析。

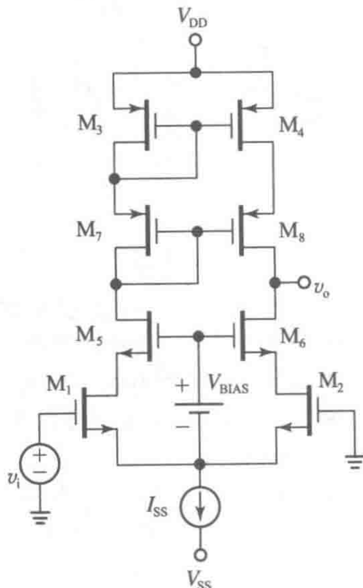
4.93 在图 4.64b 所示的 CMOS 电路中，$V_{DD}-V_{SS}=2.5\text{V}$，且使场效应管有 $V_{tn}=0.5\text{V}$，$V_{tp}=-0.4\text{V}$，$k_1=k_2=2\text{mA/V}^2$，$k_3=k_4=k_5=k_6=1\text{mA/V}^2$，$\lambda_n=1/(30\text{V})$，$\lambda_p=1/(25\text{V})$，且 $\chi_n=0.1$。

(a) 指定 R 使得 $a_{dm}=80\text{V/V}$。CMRR 的值是多少？

提示：写出 a_{dm} 关于 I_{SS} 的函数表达式。

(b) 如果输入端连接在一起且由一个共模电压 v_{IC} 驱动，允许的输入电压范围是多少？对于 $v_{IC}=0\text{V}$ 允许的输出电压范围是多少？

4.94 题 4.94 图所示的电路中差分对和有源负载级联在一起，为了提高输出电阻 R_o，从而提高无负载增益 a_{dm}。特别地，SC 对 M_1-M_2 通过 CG 对 M_5-M_6 级联，镜像对 M_3-M_4 通过 CG 对 M_7-M_8 级联。V_{BIAS} 源的功能，其详细电路超过了我们现在的范围，是用于偏置 M_5-M_6 对，以便在整个共模范围内保持 M_1 和 M_2 在饱和边缘(EOS)。



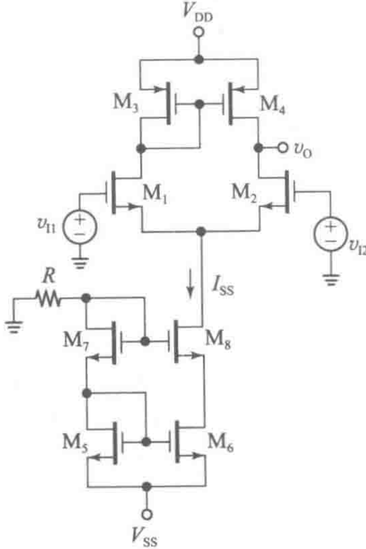
题 4.94 图

(a) 求出 a_{dm} 关于场效应管的 g_m 和 λ 的表达式。从而证明，如果所有的场效应管有相同的 k 和 λ，那么只要条件 $g_m r_o \gg 1$ 成立，假设 $\chi=0$，电路就给出 $a_{dm}\approx 2/(\lambda V_{OV})^2$，其中，$V_{OV}$ 是维持电流 $I_{SS}/2$ 所需的过驱动电压。

(b) 如果 $k=1\ \text{mA/V}^2$ 及 $\lambda=1/(20\text{V})$，且 $R_{SS}=80\text{k}\Omega$ 时，偏置网络吸收电流为 $I_{SS}=0.25\text{mA}$，计算 a_{dm} 和 CMRR。

(c) 如果 $V_t=0.4\text{V}$，为 V_{BIAS} 指定合适的值。

4.95 (a) 证明如果图 4.64b 所示电路中所有的场效应管有相同的 λ 和 k，那么，只要条件 $g_m r_o \gg 1$ 成立，电路就给出 $\text{CMRR}\approx 2/(\lambda V_{OV})^2$，其中，$V_{OV}$ 是维持电流 $I_{SS}/2$ 所需的过驱动电压，且为了简化假设 $\chi=0$。



题 4.95 图

(b) 证明：如果提供 I_{SS} 的镜像变为题 4.95 图所示的级联类型，那么 $\text{CMRR}\approx\sqrt{8}/(\lambda V_{OV})^3$。

(c) 如果 $k=2\ \text{mA/V}^2$，$\lambda=1/(15\text{V})$，及 $I_{SS}=0.18\text{mA}$，比较两个电路。

(d) 如果 I_{SS} 加倍，将会发生什么？减半又会怎样呢？

4.96 (a) 利用证明式(4.125)相似的步骤来证明式(4.161)。

提示：每一次考虑一种失配，然后将它们以均方根形式相加。

(b) 如果 $I_{SS}=0.25\text{mA}$，$k_n=(4\pm 10\%)\ \text{mA/V}^2$，$k_p=(2\pm 10\%)\text{mA/V}^2$，估计 V_{OS} 可能的值，且 V_{tn} 和 V_{tp} 均有 ± 10-mV 的误差。哪一个对 V_{OS} 起主要贡献？

4.97 (a) 假设图 4.71a 所示的折叠共源共栅 EC 对顶部的 I 电流源是基本的 pnp 电流镜，求出 V_{BIAS}，使得 $v_{O(\max)}$ 尽可能的

高，假设 $V_{CC}=-V_{EE}=10V$，$V_{EBp}=V_{BEn}=0.7V$，以及 $V_{ECp(EOS)}=V_{CEn(EOS)}=0.3V$。$v_{O(min)}$ 和 $v_{O(max)}$ 是多少？

(b) 如果 $I=1mA$，且所有 BJT 有 $\beta_{0n}=4\beta_{0p}=200$ 及 $V_{An}=2V_{Ap}=80V$，求出 R_{id}，R_o，及 a_{dm}。

4.98　(a) 假设图 4.71b 所示的折叠共源共栅 SC 对顶部的 I 电流源是 pMOSFET 电流镜，求出 V_{BIAS}，使得 $v_{O(max)}$ 尽可能的高，假设 $V_{DD}=-V_{SS}=3V$，$I=0.2mA$，且所有场效应管有 $k_n=5k_p=5\ mA/V^2$，$V_{tn}=-V_{tp}=0.3V\chi_P=0.15$，$\lambda_n=1/(15V)$，及 $\lambda_p=1/(10V)$。$v_{O(min)}$ 和 $v_{O(max)}$ 的值是多少？

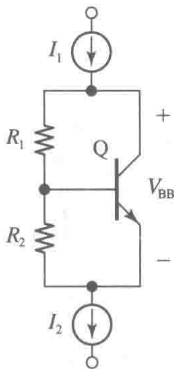
(b) 求出 R_o 和 a_{dm}。

4.10 节

4.99　(a) 参考图 4.74a 所示的 AB 类电路，假设电流 I_1 和 I_2 完全匹配，而 BJT 饱和电流 I_{s1}，I_{s2}，I_{s3}，及 I_{s4} 每个都受到一个 ±10% 的误差。求出最坏情形下，为了驱动 v_O 至零，需要在输入端所加电压 V_{OS}。

(b) 对于饱和电流完全匹配，而 I_1 和 I_2 受到 ±10% 误差的情形，重复上面计算。

4.100　题 4.100 图所示的电路，称为 V_{BE} 乘法器，提供一种可选择的，产生偏置推挽对 BJT 所需的电压降 V_{BB} 的方法。它的优点是通过改变 R_1/R_2 的比值，V_{BB} 可调节。



题 4.100 图

(a) 证明 $V_{BB}=(1+R_1/R_2)\times[V_{BE}+(R_1/\!/R_2)I_B]$ 通常基极电流足够小，满足 $(R_1/\!/R_2)I_B\ll V_{BE}$，在这种情形下，上面的表达式简化为 $V_{BB}=MV_{BE}$，且 $M=1+R_1/R_2$ 作为倍增项。

(b) 如果 $I_1=I_2=200\mu A$ 且 BJT 有 $\beta_F=250$ 及 $I_s=1fA$，为 R_1 和 R_2 指定合适的值，使得在约束条件 $I_C=150\mu A$ 下由 $V_{BB}=1\ 250mV$。

(c) 用 BJT 小信号模型替代 BJT，求出集电极和发射极节点间的动态电阻 R_{bb}。

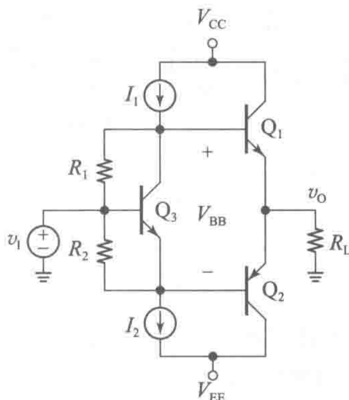
4.101　习题 4.100 图中的 V_{BE} 乘法器用于题 4.101 图所示的推挽电路中。

(a) 如果 $I_{s1}=I_{s2}=4I_{s3}$ 及 $I_1=I_2=I$，写出 Q_1-Q_2 对静态电流 I_Q 关于 I，I_{s3} 和 R_1/R_2 比值的函数表达式(为了简化分析，忽略所有基极电流及 I 流过 R_1-R_2 对的部分)。

(b) 如果 $I=200\mu A$ 及 $I_{s3}=1fA$，当 $I_Q=50\mu A$ 时，指定合适的 R_1/R_2 比值。

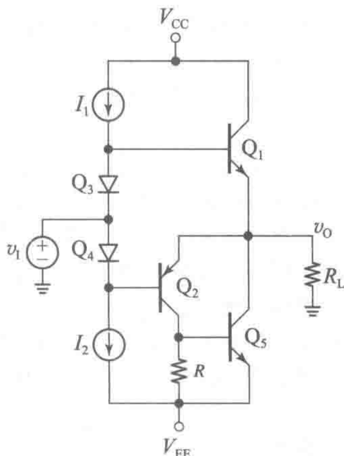
(c) 求出 v_I 使得 $v_O=0$。

(d) 已知 I_{s3} 是温度的强函数，求出使得 I_Q 与 I_{s3} 无关的 R_1/R_2 值。对于这个 R_1/R_2 值，新的 I_Q 值是多少？导致 $v_O=0$ 的 v_I 值为多少？



题 4.101 图

4.102　为了弥补通常特性较差的平面 pnp BJT，题 4.102 图所示的输出级利用了一个在图 4.34a 所示电路中讨论的类互补达林顿结构。



题 4.102 图

(a) 假设 $\beta_{Fn}=4\beta_{Fp}=120$，$I_{s1}=I_{s3}=I_{s4}=$

$I_{s5}=10\text{fA}$，$I_{s2}=1\text{fA}$，若有 $R=20\text{k}\Omega$，$I_1=I_2=200\mu\text{A}$，且 v_I 已被调整至使得 $v_O=0$，估算电路中所有的电流和电压。

(b) 所需的 v_I 值是多少？

(c) 求出在 $v_I=0$ 时，使得 $v_O=0$ 的 R 值。

4.103　题 4.103 图所示的电路对 Q_1 和 Q_2 采用了过负载保护。令 $V_{CC}=-V_{EE}=10\text{V}$，$I_1=I_2=0.25\text{mA}$，$R_1=R_2=50\Omega$。

题 4.103 图

(a) 假设基极电流可以忽略，$I_{s3}=I_{s4}=10\text{fA}$，在 $I_{s1}=I_{s2}$ 的限制条件下，求使得 $I_Q=0.1\text{mA}$ 的 I_{s1} 和 I_{s2}。

(b) 假设 $\beta_{Fn}=2\beta_{Fp}=200$，$V_{BEn(on)}=V_{EBp(on)}=0.7\text{V}$，在下列条件下估算所有集电极电流和 v_O，以及流入或流出 v_I 源的电流：

(i) $v_I=4\text{V}$ 和 $R_L=1\text{k}\Omega$；

(ii) $v_I=-5\text{V}$ 和 $R_L=2\text{k}\Omega$；

(iii) $v_I=5\text{V}$ 和 $R_L=100\Omega$；

(iv) $v_I=-6\text{V}$ 和 $R_L=75\Omega$；

(v) $v_I=-2\text{V}$ 和 $R_L=0\Omega$。

4.11 节

4.104　(a) 对于图 4.79a 所示的 CD 推挽级，求出静态电流 I_Q 关于 I_{D3}，I_{D4} 及器件跨导参数 k_1 到 k_4 的表达式(假设 $\lambda=0$)。

(b) 在理想电流镜的情况下，I_Q 的表达式如何简化？

(c) 对于图中标注的器件值，计算 I_Q。

4.105　(a) 对于图 4.79a 所示的 CD 推挽级，估算 $v_{O(max)}$(假设 $\lambda=0$)。相应的 v_I 值是多少？与图 4.79b 所示的电压转移曲线比较，并评论。

(b) 考虑体效应，假设所有 pMOSFET 的体都连接到 V_{DD}，nMOSFET 的体都连接到 V_{SS}，再利用 $\gamma=0.4\text{V}^{1/2}$ 和 $2|\phi|=0.6\text{V}$，重复(a)问。

4.106　(a) 求出图 4.80a 所示 CMOS 反相器的静态电流 I_Q(假设 $\lambda=0$)。其在待机情况下的输出电阻为多少？V_{DD} 和 V_{SS} 提供的功率为多少？

(b) 求出 $v_I=5\text{V}$ 时的 v_O 值。输出电阻为多少？电源提供的功率为多少？与(a)问比较，并评论。

4.107　题 4.107 图所示的电路由晶体管 M_3 到 M_8 构成，其设计用于将 CS 对 M_1-M_2 的静态电流设立在一个合适的水平，同时保持 CMOS 反相器内有的宽输出电压摆幅。假设所有的 MOSFET 都有 $V_t=0.75\text{V}$，并令 $V_{DD}=-V_{SS}=5\text{V}$。

题 4.107 图

(a) 假设 M_3 到 M_8 都有 $k=1.6\ \text{mA/V}^2$，求出使得 M_3 到 M_8 在 $v_I=0$ 时能抽取 $50\mu\text{A}$ 电流的偏置电压 V_{G6} 和 V_{G8} 值。

(b) 求出使得在待机状态下 $I_{D1}=I_{D2}=0.25\text{mA}$ 的 k_1 和 k_2 值。

(c) 若 $R_L=2\text{k}\Omega$，求出最大输出摆幅的上限 $v_{O(max)}$ 和下限 $v_{O(min)}$。相应的 v_I 值是多少？

(d) 求出在 $v_I=\pm1\text{V}$ 时的 v_O 值。

4.108　(a) 对于图 4.82a 所示的 CS 推挽级，求出使得 M_2 工作在导通边缘的电压 v_I 值(假设 $\lambda=0$)。相应的 v_O 值是多少？v_{G1} 和 v_{G2} 的值呢？

(b) 求出使得 M_1 工作在饱和边缘的电压 v_I 值。相应的 v_O，v_{G1} 和 v_{G2} 值是多少？

第5章 模拟集成电路

集成电路概念是由德州仪器公司的杰克·基尔比(Jack Kilby)于1958年提出的。1959年，仙童半导体公司的罗伯特·诺伊斯(Robert Noyce)也独自提出了这一概念，引发了强烈关注，促使了第一块模拟集成电路(IC)的开发，即μA702和μA709运放、μA710电压比较器，以及μA723稳压器。这些电路是在20世纪60年代初由罗伯特J. 维德拉(Robert J. Widlar，1937—1991)在仙童半导体公司设计的(他随后去了美国国家半导体公司工作，在那里他继续开发开创性的模拟产品)。维德拉设计了许多电路模块，例如维德拉电流源和带隙基准电压源，这些都成为工业标准，并至今被广泛应用。

1968年5月，仙童公司推出了第一款内部补偿的运放μA741。早期的运放需要额外的元件进行频率补偿。通过在芯片上整合这个功能，μA741让使用者不需去理解晦涩的频率补偿内容，对专家和新手开辟了一片广阔的市场。虽然从那以后许多其他的运放系列被开发出来，但是μA741仍然是最广泛的和值得铭记的运放，它包含了各种当今模拟IC通用的基本模块。因此，不管从历史的角度探讨，还是从教学的观点来看，有必要把学习这个器件作为本章的开始内容。

本章重点

着眼于运放最普遍的非理想性和局限性，对经典μA741运放进行详细分析之后，本章转向介绍当今使用最为广泛的两种CMOS运放结构，即两级和折叠式共源共栅运放(我们会在第6章再回顾这三种运放，研究它们的频率和时间响应，并且在第7章研究它们在负反馈电路中的稳定性)。

接着我们转向电压比较器，它是另一种常见的模拟IC。双极型和CMOS型都会进行讨论，包括迟滞比较器(它们的瞬态响应将在第6章研究)。

通常，每个IC都需要合适的电路在内部为它的晶体管提供偏置。此外，诸如各种仪表和测量都需要稳定且可预测的电流和电压基准。接下来就会讨论这种类型的电路，包括双极型和CMOS型的带隙基准电路。

非常有趣的是，工程师们习惯上倾向于操纵电压，但实际上操纵电流本质上是更快的物理过程。尽管由于技术的因素，它们的发展被延迟了，但是当今电流模式IC和电压模式IC一起被广泛使用。在本章中讨论的电路包括跨导器、电流传输器(CC)、跨导运放(OTA)、电流反馈放大器(CFA)和吉尔伯特(Gilbert)单元。

在当今的混合模式IC中，在高噪声的环境和低电源电压的条件下，敏感的模拟电路和数字电路是共存的，信号的处理和传输是在全差分的模式下进行的。本章研究了一些当今最常用的全差分运放。

为了在相同的芯片上实现模拟和数字的功能，需要使用CMOS开关和电容来实现一些传统的模拟功能，这些器件在当今流行的数字技术中是非常容易实现的。本章总结了开关电容技术在两个主要方面的应用，即自动调零和滤波技术。对开关电容积分器离散时间特性进行了简要讨论，阐明了其和连续时间特性的区别。

本章充分利用了PSpice，其既作为一个软件示波器来显示传输曲线和波形，又作为一个直流和交流运算的验证工具。

5.1 μA741运算放大器

μA741运放集成了许多巧妙的设计构思，这些设计构思在当今仍被广泛使用。同时，

也是记录介绍最多的模拟 IC 器件，它为学生提供多种资源，可以作为工具去学习其他一般的模拟设计技术。

图 5.1 所示的是由它的原始制造商（μA741 实际上已经被众多的模拟 IC 制造商所制造，所以你很可能在文献中发现细微差异）仙童公司提供的 μA741 运放的电路原理图。由于电路有二十几个 BJT，十几个电阻和一个电容，初学者可能会被吓到。然而，正确的方法不是试图立即理解整个电路，而是识别已经熟悉的子电路，并单独分析它们。只有理解它的局部电路后，我们才能期望理解整体电路。为了加快这一过程，可以方便地用简化的方式重新绘制电路，突出重点，将细节留作后续处理。这把我们引向图 5.2所示电路，鼓励读者在进一步学习之前，将图 5.2 所示电路和原始的图 5.1 所示电路进行比较。

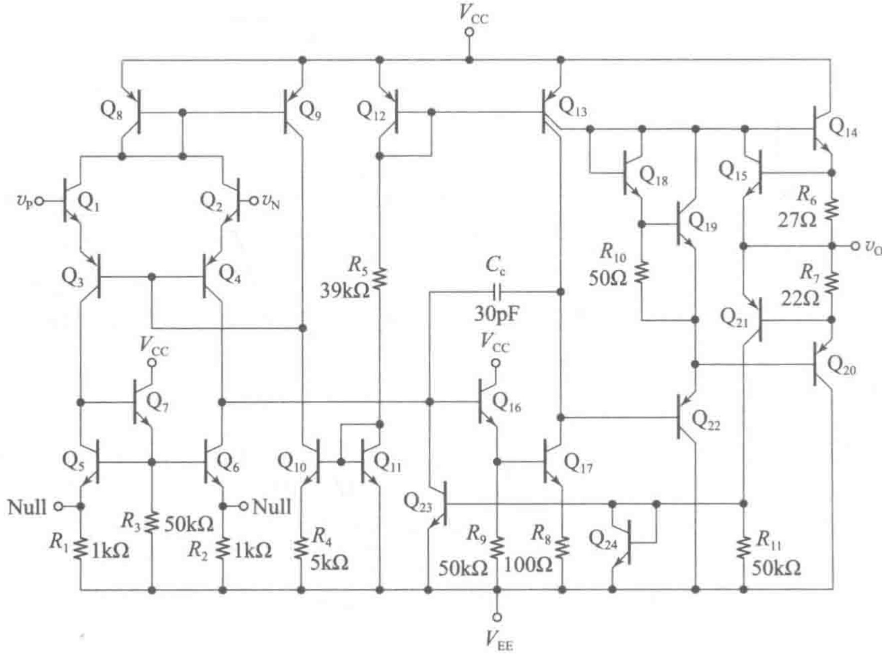


图 5.1　μA741 运算放大器电路图（由美国仙童公司提供）

μA741 运算放大器的一般概述

参考图 5.2 所示电路，我们做出以下观察。

- 从左下角开始，我们认为电流镜 Q_5-Q_6 为 CB pnp 对 Q_3-Q_4 提供有源负载。通常我们会想到，这种对管是 EC 型式的，但在这里不是如此，这是由于横向 pnp BJT 具有低 β 值。运放的输入端会流入小到可以忽略的电流，因此为了最小化这些电流，pnp 晶体管对 Q_3-Q_4 工作在 CB 模式下，并由 CC 对 v_P 与 v_N 输入进行缓冲。

因为双极型工艺在使用时优化了 npn BJT，Q_1 和 Q_2 获得比普通的 pnp BJT 更高的 β 值，所以得到更低的基极电流。因此，我们确定了第一个分支电路：由两个 CC-CB 半边以及电流镜负载构成的差分输入、单端输出放大器级。

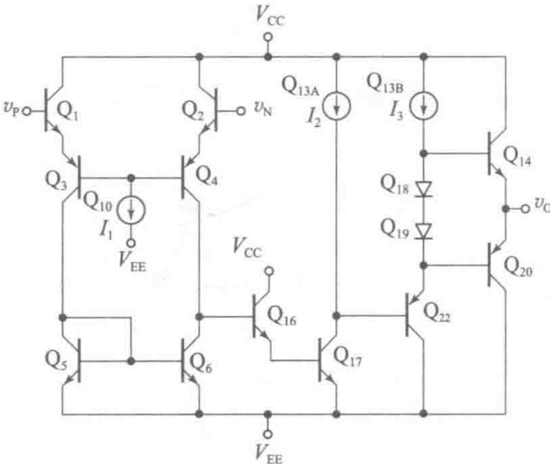


图 5.2　μA741 运放简化电路图

- 往右边看，我们看到了一个由 CC-CE

对 Q_{16}-Q_{17} 组成的达林顿型级。CE 放大器 Q_{17} 的功能是提供额外增益，而 CC 缓冲器 Q_{16} 的功能是提供高输入电阻值，从而避免第一级的负载过重(图 5.1 所示电路也显示这个级的输入和输出端之间的电容 C_c，它的功能是稳定运放，以防可能发生的振荡，这一节将会在第 7 章研究。本分析仅限于低频，其中 C_c 视为开路，因此可以忽略)。

- 再向右看，我们找到另一个 CC 缓冲级，即 Q_{22}，其功能是减小 Q_{17} 的负载。Q_{22} 的发射极网络包括 Q_{18}-Q_{19} 对，其提供了两个 pn 结的电压降，来偏置 AB 类推挽对 Q_{14}-Q_{20}，形成输出级。过载保护电路已被省略，因为在这里我们只要突出电路本质，其他细节后面再讨论。
- 可以把 μA741 运放看作由三级级联组成的，如图 5.3 所示的框图(事实上许多运放符合类似的三级式)。有必要进一步考虑：就功能而言，所有的有源晶体管必须工作在正向有源区，所以需要第四个子电路来进行适当偏置。在图 5.1 所示电路中，这个分支电路是由电流镜对 Q_8-Q_9，Q_{10}-Q_{11} 和 Q_{12}-Q_{13} 组成的。

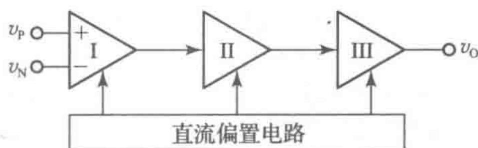


图 5.3 μA741 运放框图

本节的总体目标是计算出 μA741 运放的增益，以及它的小信号输入和输出阻抗。这些计算涉及诸如 g_m、r_π 及 r_o 参数，所有这些参数都是与直流偏置有关的。因此，我们在尝试任何交流分析之前，需要求出各关联晶体管的直流工作点。我们需要在电路的每一级都要这样做一次。当这个过程结束时，当初的担忧应该得到显著的缓解。

直流偏置网络

为了方便分析直流偏置子电路，重绘子电路如图 5.4 所示，我们观察到 Q_{11} 和 Q_{12} 是二极管接法，所以，

$$I_{REF} = \frac{(V_{CC} - V_{EB12(on)}) - (V_{EE} + V_{BE11(on)})}{R_5} \tag{5.1}$$

μA741 工作的标称电源电压被设计为 ±15V，但是它也可以在低电压值下工作，如 ±5V。在接下来的分析中，我们假定其工作在标称电压下，且 pn 结电压降为典型值 0.7V，式(5.1)给出 $I_{REF} = 733\mu A$。

Q_{10}-Q_{11} 对形成了一个维德拉电流沉。结合这种电流源，使用第 4 章介绍的迭代技术，我们可以得到：

$$I_1 = 19\mu A \tag{5.2}$$

Q_{12}-Q_{13} 对形成一个普通的电流镜，所不同的是 Q_{13} 有两个集电极，而不是一个，两个集电极通过使两个单独的 p 型扩散区扩散到 n 型基区制造而成。在本案中，两区域面积比为 3∶1，所以两者中面积较大的，汲取总的集电极电流 I_{C13} 的 3/4，而较小的电流为总电流的 1/4(或者，你可以认为 Q_{13} 由两独立的晶体管 Q_{13A} 和 Q_{13B} 组成，其发射极和基极两两捆绑在一起，而它们的电流是 3∶1。其缺点是，制造两个独立的 BJT 会比单一的配有两个集电极 BJT 占用更多的芯片面积)。考虑电流镜得到：$I_{C13} = I_{REF}(1 - 2/\beta_{F13}) = 733 \times (1 - 2/50)\mu A = 704\mu A$，此时假定 $\beta_{F13} = 50$，让 $I_2 = 3I_3 = 3/4 I_{C13}$，得到：

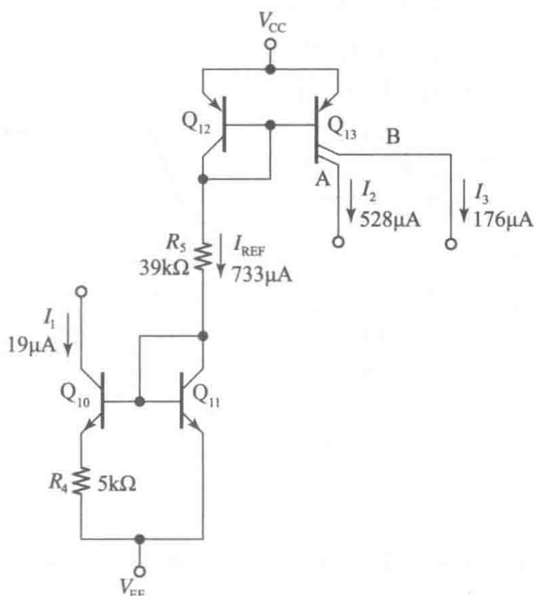


图 5.4 μA741 运放的直流偏置电路

$$I_2 = 528\mu A, \quad I_3 = 176\mu A \tag{5.3}$$

第一级或输入级

这一级的工作原理最好是在施加电源后对其进行考察，这样便于更好地理解。假定所有 BJT 仍截止，那首先产生的是图 5.4 所示的电流 I_{REF}，接着是 I_1 和 I_3。起初图 5.5 所示电路中 I_1 全部将从 Q_3 和 Q_4 的基极流出，导致其迅速导通。但是，由于 Q_3 和 Q_4 导通了，所以 Q_1 和 Q_2 也导通了，因为两者是串联的。Q_1 和 Q_2 从二极管连接的晶体管 Q_8 抽取它们的集电极电流，其电流由 Q_9 镜像返回整个过程的起点。电路中有一个负反馈存在，因此该电路将自动稳定在工作点，通过 Q_9 反馈产生的电流 I_{C9}，加上来自 Q_3 和 Q_4 的基极电流 $2I_B$，两者之和将等于 I_1。

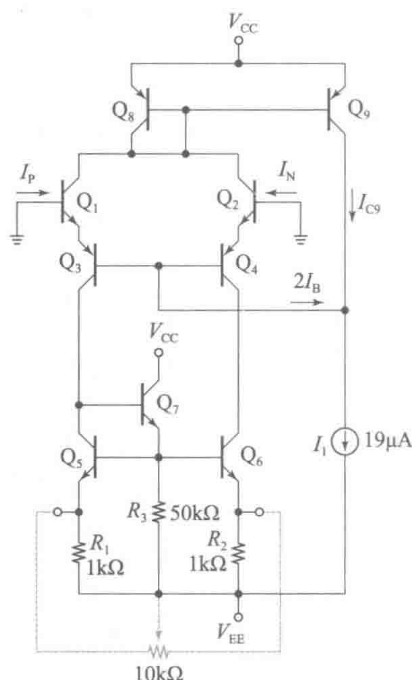


图 5.5　μA741 运放输入级直流分析电路

从第 4 章我们知道，通过 Q_9 反馈回的电流，相比于 Q_8，其产生了 $-2/\beta_{Fp}$ 的误差。这是不能忽略的，因为横向 pnp BJT β 值较大。然而，在这种结构中，该误差通过 Q_3 和 Q_4 本身的基极的返回电流 $2I_B$ 得以消除(这种误差消除方法与威尔逊电流镜中采用的类似)。因此，我们的结论是，每半边输入级的 BJT 携带 $I_1/2$ 的电流，则有：

$$\begin{aligned} I_{C1} &= I_{C2} = I_{C3} = I_{C4} \\ &= I_{C5} = I_{C6} = \frac{I_1}{2} = 9.5\mu\text{A} \end{aligned} \tag{5.4}$$

由 Q_1 和 Q_2 抽取的基极电流为：

$$I_P = I_N = \frac{I_1/2}{\beta_{Fn}} = 47.5\text{nA} \tag{5.5}$$

此处，假定 Q_1-Q_2 对的 $\beta_{Fn}=200$。一旦上电，运放将自动从周围电路中抽取这些电流。回顾图 5.1 所示电路，我们注意到，Q_5 和 Q_6 的集电极电压是比 V_{EE} 高两个 pn 结压降。因此，除了增大 β 值外，Q_7 还确保 Q_5 和 Q_6，以及 Q_3 和 Q_4 的集电极电压相等，从而使输入级的两个半电路完美匹配。

我们现在希望求出输入级的小信号增益和输入/输出阻抗。如果我们利用图 5.6a 所示的半电路概念，任务将简化很多。通过施加 $v_{id}/2$ 到 Q_1 及 $-v_{id}/2$ 到 Q_2，迫使 Q_3 和 Q_4 的公共基极节点保持在交流地，所以我们可以只用两个半电路中的一个来分析，比如说 Q_1 和 Q_3。它们的小信号发射极电阻 r_{e1} 和 r_{e3} 形成分压，故在它们共同发射极端的交流信号为 $(1/2)\times(v_{id}/2)=v_{id}/4$。因此，从 Q_3 集电极流出的交流电流为 $i_3=g_{m3}v_{id}/4$；根据对称性，流入 Q_4 集电极的交流电流为 $i_4=g_{m4}v_{id4}/4$。由 Q_5 和 Q_6 组成的电流镜镜像了 i_3，所以从输出节点灌入的净短路交流电流为：

$$i_{o1(sc)}=i_3+i_4=g_{m3}v_{id}/4+g_{m4}v_{id}/2=g_m v_{id}/2,$$

其中，由于两个 g_m 相同，省略了其下标。我们可以写出：

$$G_{m1} = \frac{i_{o1(sc)}}{v_{id}} = \frac{g_m}{2} = \frac{9.5\mu\text{A}}{2\times 26\text{mV}} = \frac{1}{5.47\text{k}\Omega} \tag{5.6}$$

式中：G_{m1} 第一级的跨导。从 Q_1 的基极看进去，我们通过观察发现，有：

$$R_{id}/2=r_{\pi1}+(\beta_{01}+1)r_{e3}\approx r_{\pi1}+(\beta_{01}+1)r_{e1}=2r_{\pi1}=2r_{\pi n}$$

这里用到了 $r_{e3}\approx r_{e1}$。因此，有：

$$R_{id} \approx 4r_{\pi n} = 2.19\text{M}\Omega \tag{5.7}$$

此处，我们再次假定了 Q_1-Q_2 对的 $\beta_{0n}=200$。最后，我们回到第一级的输出端，通过观察写出：

$$R_{o1} = R_{c4} \;/\!/\; R_{c6}[r_{o4}(1+g_{m4}r_{e2})] \;/\!/\; [r_{o6}(1+g_{m6}R_2)]$$

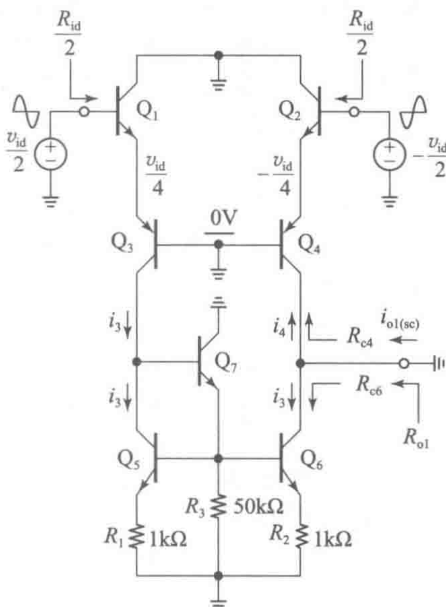
即

$$R_{o1} \approx 2r_{o4} /\!/ 1.37r_{o6} = 6.12\text{M}\Omega \tag{5.8}$$

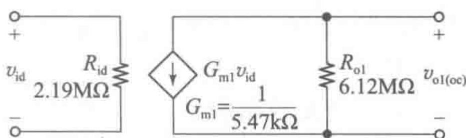
其中，假设 $V_{AN}=100\text{V}$ 和 $V_{AP}=50\text{V}$。这样就完成了第一级的分析，其小信号特性总结如图 5.6b 所示。

在结束输入级学习前，我们希望了解一些需要注意的额外参数，这些参数也会在制造商的数据手册中列出。

输入偏置电流 I_B**。**这是两个输入电流的平均值，即 $I_B=(1/2)\times(I_P+I_N)$。根据式(5.5)，I_B 在 50nA 的范围内，且受 β_{Fn} 值影响很大。Q_1 和 Q_2 的 β 的不匹配将导致一个输入失调电流 $I_{OS}=I_P-I_N$。可以到网上查找 μA741 的数据手册，数据手册中给出的典型值 $I_B=80\text{nA}$ 以及 $I_{OS}=20\text{nA}$。



a）输入级交流分析电路



b）输入级小信号等效电路

图　5.6

输入失调电压 V_{OS}**。**由于两个半电路的 BJT 的 V_{BE} 不匹配，这一级会表现出一些输入失调电压 V_{OS}。μA741 的数据手册给出的典型值 $V_{OS}=2\text{mV}$。

输入失调调零。μA741 提供了消除 V_{OS} 和 I_{OS} 的输入失调误差的功能。这是通过片外10kΩ变阻器与片内电阻 R_1 和 R_2 相结合来实现的，正如图 5.5 所示。当滑片处于中点时，Q_5 和 Q_6 的发射极偏置在高于 V_{EE} 约$[(1/\!/5)\text{k}\Omega](9.5\mu\text{A})=8\text{mV}$ 处。移动滑片远离其中心位置，使发射极更接近 V_{EE}，晶体管的导通得到加强，而同时另一晶体管的发射极仍然高于 V_{EE} 约 8mV。这种外部补偿由用户凭经验调整，直到它消除了任何内部失衡，以使其偏移很小。

输入电压范围(IVR)。在负反馈工作中，运放迫使 v_N 跟踪 v_P，所以共模输入电压 $v_{IC}=1/2(v_P+v_N)\approx v_P$。我们希望求出共模输入电压范围，即，$v_{IC}$ 的值在什么范围内输入级将正常工作，并且所有 BJT 工作在正向有源区，或至多在饱和边缘(EOS)。参照图 5.1 我们观察到，当 Q_1 被驱动到 EOS 时达到了上限，因此，我们利用 KVL，可以得到 $v_{P(max)}\approx V_{CC}-V_{EB8(on)}-V_{CE1(EOS)}+V_{BE1(on)}$。当 Q_3 被驱动到 EOS 时，达到下限，因此，$v_{P(min)}\approx V_{EE}+V_{BE(on)}+V_{BE7(on)}+V_{EC3(EOS)}+V_{BE1(on)}$。让 $v_P\to v_{IC}$，得到：

$$v_{IC(max)} \approx V_{CC}-V_{CE(EOS)}$$
$$v_{IC(min)} \approx V_{EE}+3V_{BE(on)}+V_{EC(EOS)} \tag{5.9}$$

上述估计忽略了 R_1，R_2 和 R_8 上小的压降，还假设了所有结压降相等。为了得出一个结果，如果假设结电压降为典型值 0.7V，EOS 压降是典型值 0.2V，上述估计得 $v_{IC(max)}\approx V_{CC}-0.2\text{V}$ 及 $v_{IC(min)}\approx V_{EE}+2.3\text{V}$。通过 15V 电压电源，因此得到 IVR 是 $-12.7\text{V}\leqslant v_{IC}\leqslant+14.8\text{V}$。使 V_{IC} 超出 IVR 将会导致故障。

第二级或中间级

参考图 5.7 所示电路，通过观察，我们得到 $I_{C17}=I_2$，则有：

$$I_{C17}=528\mu\text{A} \tag{5.10}$$

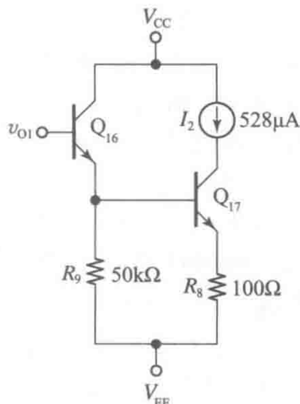


图 5.7　μA741 运放的中间级交流分析电路

而且我们有 $I_{C16}=\alpha_{F6}(I_{R_9}+I_{B17})$，可以近似得到：

$$I_{C16}\approx\frac{V_{BE17}+R_8I_2/\alpha_{F17}}{R_9}+\frac{I_2}{\beta_{F17}}\approx\frac{V_T\ln(I_2/I_{s17})+R_8I_2}{R_9}+\frac{I_2}{\beta_{F17}}\tag{5.11a}$$

假定 $I_{s17}=10\text{fA}$ 及 $\beta_{F17}=250$，我们得到：

$$I_{C16}=16\mu\text{A}\tag{5.11b}$$

这样就完成了交流分析。

对于小信号分析，参照图 5.8a 所示电路，其中，C_c已被省略，因为在这里我们只对低频的行为感兴趣。从左边到右边，我们通过观察，写出：

$$R_{i2}=r_{\pi16}+(\beta_{016}+1)\{R_9\ /\!/\ [r_{\pi17}+(\beta_{017}+1)R_8]\}\tag{5.12a}$$

假定 $\beta_{016}=200$ 及 $\beta_{017}=250$，我们得到：

$$R_{i2}=4.63\text{M}\Omega\tag{5.12b}$$

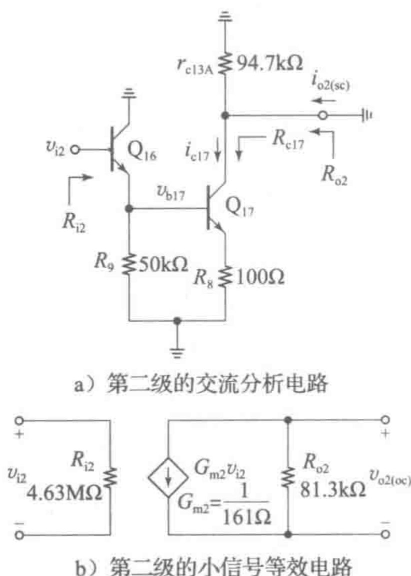
通过观察写出：

$$R_{o2}=r_{o13A}\ /\!/\ R_{c17}$$
$$\approx r_{o13A}\ /\!/\ [r_{o17}(1+g_{m17}R_8)]\tag{5.13a}$$

令 $r_{o13A}=(50\text{V})/(528\mu\text{A})=189.4\text{k}\Omega$，得到：

$$R_{o2}=81.3\text{k}\Omega\tag{5.13b}$$

最后，假设 Q_{16}工作在 CC 模式，Q_{17}工作在 CE-ED 模式，我们写出：



a）第二级的交流分析电路

b）第二级的小信号等效电路

图 5.8

$$G_{m2}=\frac{i_{o2(sc)}}{v_{i2}}=\frac{v_{b17}}{v_{i2}}\times\frac{i_{c17}}{v_{b17}}$$
$$=\frac{1}{1+\dfrac{r_{e16}}{R_9\ /\!/\ [r_{\pi17}+(\beta_{017}+1)R_8]}}\times\frac{g_{m17}}{1+g_{m17}R_8}=\frac{1}{161\Omega}\tag{5.14}$$

式中：G_{m2}是第二级的跨导。这一级的小信号特性总结在图 5.8 中，这样就完成了第二级的分析。

第三级或输出级

μA741 运放的输出级提供了一些有趣的设计解决方案，通过研究处于待机状态下的电路就可以很好地领会这些解决方案。此状态如图 5.9 所示，输入为 0V，且没有任何输出负载。偏置晶体管 Q_{18} 和 Q_{19} 都采用最小尺寸器件，而推挽晶体管 Q_{14} 和 Q_{20} 均选用较大的发射区域(通常是 4 倍大)，以保持良好的电流增益以及高的负载电流。如果 Q_{14} 和 Q_{19} 采用第 4.10 节的二极管连接方式，那么 Q_{14} 和 Q_{20} 将抽取大约二极管电流 4 倍大的待机电流。为使该电流降低到可接受的水平，Q_{18} 可以适当地欠压偏置，下面的例子将解释得很清楚。值得一提的是，由于 Q_{18} 和 Q_{19} 拥有公共的集电极，因此它们制造在同一隔离区里面，可节省宝贵的芯片面积。

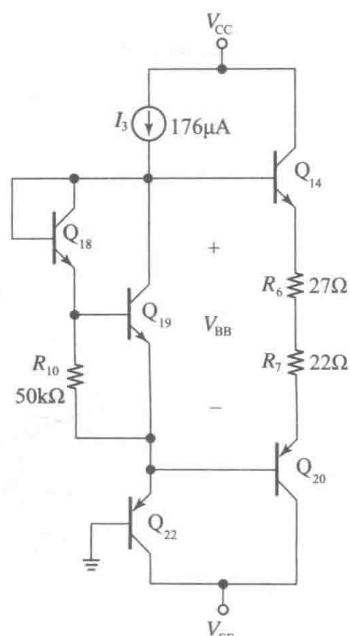


图 5.9 待机状态下 μA741 输出级直流分析

例 5.1 图 5.9 所示电路，令 $I_{s18}=I_{s19}=2\text{fA}$ 及 $I_{s14}=I_{s20}=8\text{fA}$(4 倍大)。同时忽略所有 BJT 的基极电流。

(a) 使用迭代法估算集电极电流 I_{C18} 和 I_{C19}，从而求出 V_{BB}，单位 mV。

(b) 假设 $R_6=R_7=0$，估算 I_{C14} 和 I_{C20}。

(c) 当 R_6 和 R_7 的值为如图 5.9 所示时，重复(b)问部分，评价你的结果。

解：

(a) 由于 $V_{BE19}=0.7V$，所以 $I_{C18}\approx V_{BE19}/R_{10}\approx(0.7/50)\mu A=14\mu A$。通过 KCL 得，$I_{C19}=I_3-I_{C18}\approx(176-14)\mu A=162\mu A$。由 BJT 等式有，$V_{BE19}=V_T\ln(I_{C19}/I_{s19})=0.026\times\ln[(162\times10^{-6})/(2\times10^{-15})]V=0.653V$。使用这个值更精确地估算出 $I_{C18}\approx(0.653/50)\mu A\approx 13\mu A$。考虑到，$Q_{19}$ 的基极电流为 $1\mu A$，我们最终得到：

$$I_{C18}\approx 14\mu A,\quad I_{C19}\approx 162\mu A \tag{5.15}$$

不需要进一步的迭代。再次运用 BJT 等式，且 $I_{s18}=I_{s19}=2fA$，我们得到：

$$V_{BB}=V_{BE18}=V_{BE19}=(589.4+653.1)mV\approx 1\,242mV$$

(b) 在待机状态，我们有 $I_{C14}=I_{C20}$。而且，由于 $I_{s14}=I_{s20}$，我们也有 $V_{BE14}=V_{BE20}=V_{BB}/2$，因此

$$I_{C14}=I_{C20}=8\times10^{-15}\exp(1\,242/52)A\approx 190\mu A$$

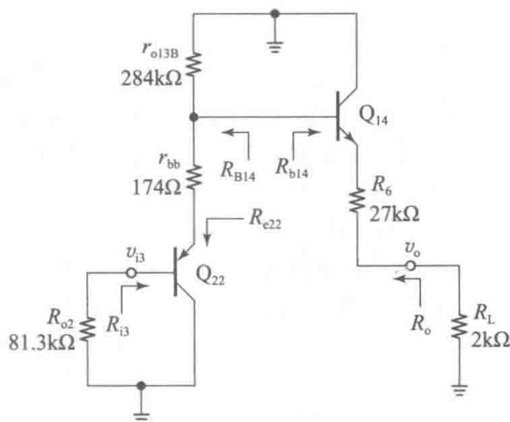
虽然 Q_{14} 和 Q_{20} 为大面积器件，它们传导的待机电流 I_3 差不多大。

(c) 当 R_6 和 R_7 存在时，组合结 Q_{14} 和 Q_{20} 上的电压降将减小 $\Delta V=(R_6+R_7)I_Q$，其中 I_Q 为一新的值，是 Q_{14} 和 Q_{20} 的静态电流。估算 I_Q 初始电流为 $190\mu A$，我们得出 $V=(27+22)\times190\times10^{-6}V\approx9.3mV$，因此我们得到

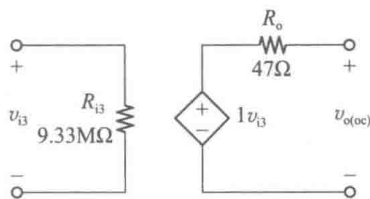
$$I_Q=8\times10^{-15}\exp[(1\,242-9.3)/52]A\approx 160\mu A \tag{5.16}$$

由于 R_6 和 R_7 上的电压降，这个值比先前的估计值要低。◀

在实际应用中，输出级不太可能处在待机状态，因此，为更实际地进行交流分析，我们考虑带有 2kΩ 负载，驱动电压为 $V_O=5V$ 的典型情况。在这些条件下，所述推挽级的下半部分将被关闭，保留 Q_{14} 到源极的电流 $I_L=5/2=2.5mA$ 到负载。交流等效输出级的简化如图 5.10a 所示，其中 Q_{13B} 用电阻 $r_{o13B}=(50V)/(176\mu A)=284k\Omega$ 代替，从而偏置网络由 Q_{18}、Q_{19} 和 R_{10} 以及单个的小信号电阻 $r_{bb}\approx174\Omega$ 组成(见练习 5.1)。



a) 输出级交流分析电路



b) 输出级小信号等效电路

图　5.10

练习 5.1

画出图 5.9 所示偏置网络的小信号等效电路，由 Q_{18}、Q_{19} 和电阻 R_{10} 构成，并将整个网络等效为单个电阻，即

$$r_{bb}=\frac{r_{d18}+(R_{10}\,/\!/\,r_{\pi19})}{1+g_{m19}(R_{10}\,/\!/\,r_{\pi19})}=174\Omega \tag{5.17}$$

式中：$r_{d18}=V_T/I_{C18}$ 是二极管连接的 Q_{18} 的交流小信号电阻；$g_{m19}=I_{C19}/V_T$ 和 $r_{\pi19}=\beta_{019}/g_{m19}$ 是 Q_{19} 的小信号参数。假定电流为例 5.1 中电流且 $\beta_{019}=200$。

再次参考图 5.10a 所示电路，来求出输出级的小信号特性。考虑到有两个通过小电阻 r_{bb} 耦合的电压跟随器，可以近似有：

$$v_o\approx1\times v_{i3} \tag{5.18}$$

通过观察，我们有：

$$R_{i3}=r_{\pi22}+(\beta_{022}+1)[r_{bb}+(r_{o13B}\,/\!/\,R_{b14})] \tag{5.19a}$$

式中：R_{b14} 是从 Q_{14} 的基极看进去的交流电阻，

$$R_{b14}=r_{\pi14}+(\beta_{014}+1)(R_6+R_L)$$

假定 $I_{C14}=2.5\text{mA}$ 及 $\beta_{014}=250$，我们得到 $R_{b14}\approx 511\text{k}\Omega$。代入式(5.19a)，并假设 $\beta_{022}=50$，我们最终得到：

$$R_{i3}=9.33\text{M}\Omega \tag{5.19b}$$

再次通过观察，可写出：

$$R_o=R_6+\frac{R_{B14}+r_{\pi 14}}{\beta_{014}+1} \tag{5.20a}$$

式中：R_{B14}为 Q_{14}基极上游电路(输出)的交流电阻，

$$R_{B14}=r_{o13B}\ /\!/\ (r_{bb}+R_{e22}) \tag{5.20b}$$

R_{e22}是从 Q_{22}发射级看进去的交流电阻，

$$R_{e22}=\frac{R_{o2}+r_{\pi 22}}{\beta_{022}+1}=\frac{81.3+50\times(26/0.176)}{50+1}\text{k}\Omega=1.74\text{k}\Omega$$

代入式(5.20b)得 $R_{B14}=1.9\text{k}\Omega$。再代入式(5.20a)，我们最终得到：

$$R_o=47\Omega \tag{5.20c}$$

输出级的小信号特性汇总于图 5.10b 所示电路中。在结束这一级(输出级)学习之前，我们希望了解一些需要注意的额外参数，这些参数也会在制造商的数据手册中列出。

输出电压摆幅(OVS)。这是输出级能正常工作的输出电压 v_O值的范围，在该范围内所有 BJT 工作在正向有源区，或者至多工作在饱和边缘(EOS)。观察图 5.1所示电路，当 Q_{13B}被驱动到 EOS 时，v_O达到上限，并且当 Q_{17}被驱动到 EOS 时，v_O达到下限。利用 KVL，有 $v_{O(max)}\approx V_{CC}-V_{EC13(EOS)}-V_{BE14(on)}$，及 $v_{O(min)}\approx V_{EE}+V_{CE17(EOS)}+V_{EB22(on)}+V_{EB20(on)}$。简化为：

$$v_{O(max)}\approx V_{CC}-V_{EC(EOS)}-V_{BE(on)},\quad v_{O(min)}\approx V_{EE}+V_{CE(EOS)}+2V_{EB(on)} \tag{5.21}$$

上述估计假设 BJT 的结电压降相等，且输出负载很小，以至可以忽略 R_6和 R_7上的压降。为了得到结论，假设结电压降为典型值 0.7V，EOS 压降是典型值 0.2V，上述估计给出 $v_{O(max)}\approx V_{CC}-0.9\text{V}$，及 $v_{O(min)}\approx V_{EE}+1.6\text{V}$。通过±15V 电源，输出电压摆幅为 $-13.4\text{V}\leqslant v_O\leqslant +14.1\text{V}$。

μA741 运算放大器的小信号特性

现在使用图 5.11 所示的三级级联结构，通过观察，得到整体小信号增益 a 为：

$$\begin{aligned}a=\frac{v_o}{v_{id}}&\approx(-G_{m1})(R_{o1}\ /\!/\ R_{i2})(-G_{m2})(R_{o2}\ /\!/\ R_{i3})\\&=(-482)\times(-501)\text{V/V}=241\times 10^3\text{V/V}\end{aligned} \tag{5.22}$$

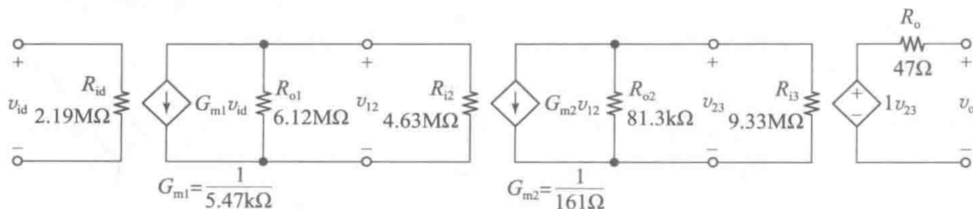
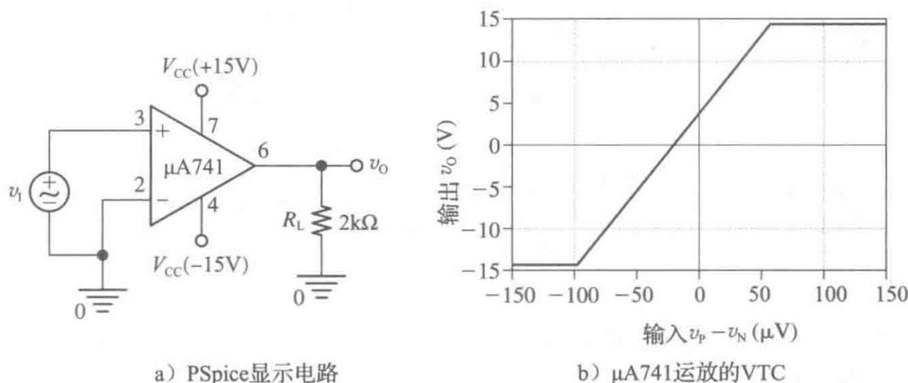


图 5.11 μA741 运放小信号模型

这表明前两级各自贡献了 500V/V 的增益，μA741 数据手册中给出的典型值为$R_{id}=2\text{M}\Omega$，$a=200\times 10^3\text{V/V}$，以及 $R_o=75\Omega$。我们的计算受到 β 和厄利电压假设值的影响，而这两者都依赖于关键工艺参数，如基区宽度。其次，假设厄利电压无限大，以简化直流计算，可能会低估直流电流多达 20%～30%，特别是在 pnp BJT 的情况。最后，R_o 取决于 Q_{14}的工作电流，我们将其粗略地假设为 2.5mA。所以，计算值和数据手册值之间有差异是不足为奇的。然而，估算这些参数是对我们心智的训练过程，这无疑是相当具有启发性的，它有利于消除我们最初对于电路的恐惧。

μA741 运算放大器的 PSpice 仿真

为了便于模拟运放的应用环境，制造商通常提供了器件的 SPICE 宏模型(见附录 5A)。图 5.12a 所示的 PSpice 电路利用 PSpice 库中可得到的 μA741 宏模型的 VTC 显示波形，并计算出交流增益 a 以及输入和输出电阻 r_i 和 r_o。结果如下。



a）PSpice显示电路　　b）μA741运放的VTC

图　5.12

```
V(OUT)/VI = 1.992E+05
INPUT RESISTANCE AT VI = 9.963E+05
OUTPUT RESISTANCE AT V(OUT) = 1.517E+02
```

图 5.12b 所示的 VTC 证实，在电源电压附近，输出达到饱和。它也显示了(系统的)输入失调电压约为 20μV。在以后的章节中，将用该宏模型去研究其他方面的行为特性，如频率和瞬态响应特性，以及 μA741 电路的稳定性。

5.2　两级 CMOS 运算放大器

经典的 CMOS 运放拓扑结构(以及它们的变形)经常用于混合模式的 IC 中。图 5.13 画出了它的基本形式，它包括两个增益级和一个直流偏置电路，具体如下。

第一级或输入级。由 p 沟道差分对 M_1-M_2 和 n 沟道电流镜负载 M_3-M_4 构成。我们知道，其电压增益为：

$$a_1 = -g_{m1}(r_{o2} \mathbin{/\!/} r_{o4}) \tag{5.23}$$

第二级或输出级。包括 CS 放大器 M_5 和有源负载 M_6(图中还有一个 R_c-C_c 网络，其功能是防止放大器在负反馈状态下可能产生的振荡，振荡将在第 7 章中解决，这里的分析被限定在低频条件下，其中，C_c 认为是开路的，所以 R_c-C_c 网络将被忽略)。此级的低频电压增益是：

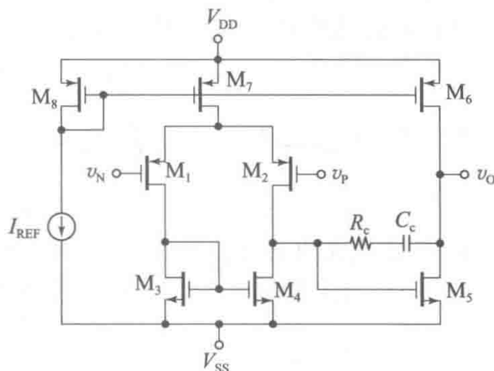


图 5.13　两级 CMOS 运放

$$a_2 = -g_{m5}(r_{o5} \mathbin{/\!/} r_{o6}) \tag{5.24}$$

直流偏置电路。由双输出端的电流镜 M_6-M_7-M_8，以及 I_{REF} 电流基准构成。为简单起见，该基准的细节被省略了，但是，它(I_{REF} 电流基准)通常在同一芯片上不同的运放之间是共享的。它产生一个基准电流 I_{REF}，然后将其通过多输出电流镜像复制到其他各个片上运放上。在图 5.13 所示电路中，I_{REF} 由 M_7 复制去偏置 M_1-M_2 对，并通过 M_6 复制去偏置负载 CS 级 M_5。

所幸 M_5 的栅极呈现无穷大电阻，没有级间负载，所以整体增益简化为单级增益的乘积，即

$$a = \frac{v_o}{v_p - v_n} = a_1 \times a_2 = g_{m1}(r_{o2} \mathbin{/\!/} r_{o4}) g_{m5}(r_{o5} \mathbin{/\!/} r_{o6}) \tag{5.25a}$$

将式(4.152)代入这种情况中，我们用另一种更深入的形式表达增益：

$$a = \frac{2}{V_{OV1}(\lambda_2 + \lambda_4)} \times \frac{2}{V_{OV5}(\lambda_5 + \lambda_6)} \tag{5.25b}$$

如果运放用 MOSFET 实现，且具有相同的沟道长度 L 和过驱动电压 V_{OV}，那么增益的简洁形式为：

$$a = \left[\frac{2L}{V_{OV}(\lambda'_n + \lambda'_p)}\right]^2 \tag{5.25c}$$

式中：λ'_n和 λ'_p是工艺参数，分别表征 nMOSFET 和 pMOSFET 中的沟道调制效应因子。显然，L 越长和 V_{OV}越低，增益越高。两个输入端之间以及输出端和地之间的交流阻抗分别是：

$$R_i = \infty, \quad R_o = r_{o5} \mathbin{/\!/} r_{o6} \tag{5.26}$$

我们注意到图 5.13 所示的 CMOS 级与图 5.2 所示 μA741 运放的第一和第二级非常相似。事实上，由于栅级呈现的电阻无穷大，CMOS 级更加简单。我们还注意到，电路中没有一个输出级，尽管 R_o 可以是相当高的。通常情况下，图 5.13 所示类型的运放可能是驱动其他片内 CMOS 电路的，应该也呈现无限大的输入电阻值(尽管不一定是零电容)，因此不需要专用的输出级。只有当驱动非片内电阻负载时，需要在两级的运放上加入第三级。这一级即是在 4.1 节中所讨论类型的输出级。

输入失调电压的考虑

重要的是，要意识到 M_5和 M_6的 W/L 比率不能任意指定，其必须满足特定的条件以避免引入总的输入失调电压误差。为了求出这个约束条件，注意，由于 $V_{SG6} = V_{SG7}$，I_{D6}和 I_{D7}必须与它们的 W/L 比率相等，即

$$\frac{I_{D6}}{I_{D7}} = \frac{W_6/L_6}{W_7/L_7} \tag{5.27a}$$

还注意到，直流平衡状态下，我们有 $V_{DS4} = V_{DS3}$。因此，$V_{GS5} = V_{DS4} = V_{DS3} = V_{GS3}$，表明 I_{D5}和 I_{D3}的比率必须与其 W/L 的比率相等，即

$$\frac{I_{D5}}{I_{D3}} = \frac{W_5/L_5}{W_3/L_3} \tag{5.27b}$$

但是，$I_{D5} = I_{D6}$和 $I_{D3} = I_{D7}/2$。代入式(5.27)，并化简，得到了重要的限制条件：

$$\frac{W_5/L_5}{W_3/L_3} = 2\,\frac{W_6/L_6}{W_7/L_7} \tag{5.28}$$

一旦满足了这约束条件，任何 M_1-M_2和 M_3-M_4对中 k 和 V_t的失配，将导致第一级呈现出式(4.161)类型的输入失调电压。本例中，我们有：

$$V_{OS(1st\ stage)} \approx \frac{V_{OVp}}{2}\sqrt{\left(\frac{\Delta k_p}{k_p}\right)^2 + \left(\frac{\Delta k_n}{k_n}\right)^2 + \left(\frac{\Delta V_{tp}}{0.5V_{OVp}}\right)^2 + \left(\frac{\Delta V_{tn}}{0.5V_{OVp}}\right)^2} \tag{5.29}$$

式中：下标 p 和 n 分别指 M_1-M_2 和 M_3-M_4 对。即使 M_1-M_2 和 M_3-M_4 对完美匹配，使 $v_P = v_N = 0$，但是由于 M_5 和 M_6的失配，也可能导致 $v_O \neq 0$。反映到输入端，这种失衡的影响将等效于一个产生 V_{OS} 的额外分量(这个问题在本章末的习题中进一步进行了探讨)。

输入电压范围(IVR)

在负反馈工作下，运放迫使 v_N跟踪 v_P，所以共模输入电压 $V_{IC} = (1/2) \times (v_P + v_N) \approx v_P$。我们希望求出共模输入电压范围，即输入级正常工作的 V_{IC} 值的范围，此时所有的 MOSFET 工作在饱和区或至多工作在饱和区边缘(EOS)。当 M_7被驱动到 EOS 时，达到上限值，此时 $V_{SD7} = V_{OV7}$。由 KVL，我们写出 $V_{IC(max)} = V_{DD} - V_{OV7} - V_{SG1}$，即

$$v_{IC(max)} = V_{DD} - V_{OV7} - V_{OV1} - |V_{t1}| \tag{5.30a}$$

类似地，当 M_1 被驱动到 EOS 时，v_{IC} 达到下限，此时 $V_{SD1}=V_{OV1}$。由 KVL，我们写出 $V_{IC(min)}=V_{SS}-V_{GS3}-V_{SD1}-V_{SG1}$。但是，$V_{SD1}-V_{SG1}=V_{OV1}-(V_{OV1}+|V_{t1}|)=-|V_{t1}|$，所以，

$$v_{IC(min)} = v_{SS} + V_{OV3} + V_{t3} - |V_{t1}| \tag{5.30b}$$

很明显，对于此电路 $V_{IC(max)}$ 比 $V_{IC(min)}$ 更严格。

输出电压摆幅(OVS)

它表示当 M_5 和 M_6 工作在饱和区或工作在 EOS 时，V_O 值的范围。通过观察，我们很容易求出：

$$v_{O(max)} = V_{DD} - V_{OV6}, \quad v_{O(min)} = V_{SS} + V_{OV5} \tag{5.31}$$

总之，V_O 可以在电源轨的上或下 V_{OV} 电压降范围内摆动。

例 5.2 (a) 假设图 5.13 所示的两级 CMOS 运放采用同一工艺制造，表征为 $k_n'=2.5k_p'=100\mu A/V^2$，$V_{tn}=-V_{tp}=0.75V$，$\lambda_n'=0.1\mu m$，且被设计工作在 $V_{OV}=0.25V$。假设电路在 ±2.5V 电压下工作，利用 $I_{REF}=100\mu A$，指定合适的 $W_1 \sim W_8$ 值，使每一级偏置在 $100\mu A$(为了简化直流计算，假设 $\lambda_n=\lambda_p$)。

(b) 求出各级增益，总增益，输出电阻，输入电压范围，输出电压摆幅。

(c) 用 PSpice 检查并比较计算值和仿真值之间的差别。

解：

(a) M_6，M_7 和 M_8 都必须工作在饱和区，有：

$$100\mu A = \frac{40\mu A}{2} \frac{W}{1\mu m} \times 0.25^2$$

式中：给定 $W=80\mu m$。因此，$W_6=W_7=W_8=80\mu m$。M_1 和 M_2 都抽取 M_7 一半的电流，且拥有相同的过驱动电压，因此 $W_1=W_2=W_7/2=40\mu m$，M_3 和 M_4 必须满足饱和条件，即

$$50\mu A = \frac{100\mu A}{2} \frac{W}{1\mu m} \times 0.25^2$$

式中：给定 $W_3=W_4=16\mu m$。通过式(5.28)，$(W_5/1)/(16/1)=2\times(80/1)/(80/1)$，且 $W_5=32\mu m$。综上，

$$W_1 = W_2 = 40\mu m, \quad W_3 = W_4 = 16\mu m, \quad W_5 = 32\mu m, \quad W_6 = W_7 = W_8 = 80\mu m$$

(b) 通过式(5.25c)，我们有：

$$a = \left[\frac{2\times 1}{0.25\times(0.1+0.05)}\right]^2 V/V = 53.3^2 V/V = 2844 V/V$$

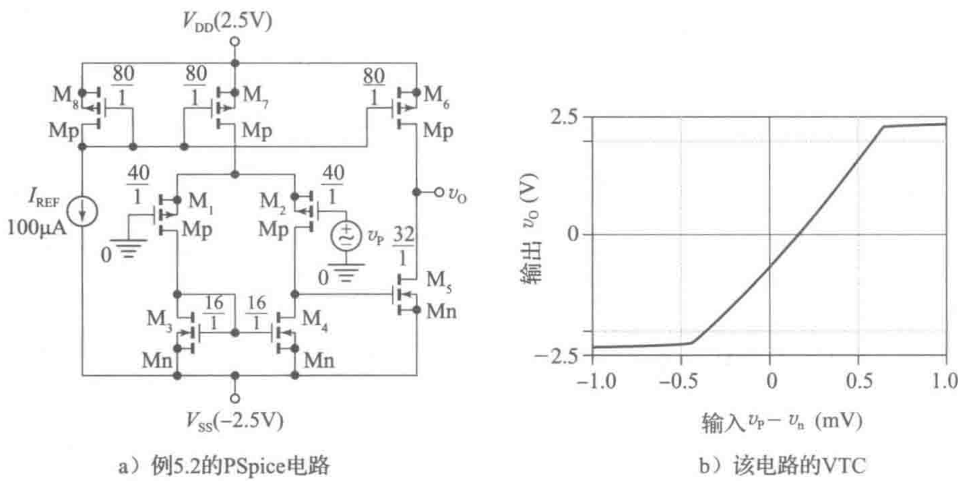
因此 $a_1=a_2=-53.3V/V$，同时 $\lambda_n=\lambda_n'/1=0.1V^{-1}$ 及 $\lambda_p=\lambda_p'/1=0.05V^{-1}$，因此 $r_{o5}=(1/(0.1\times100\times10^{-6}))\Omega=100k\Omega$，$r_{o6}=(1/(0.05\times100\times10^{-6}))\Omega=200k\Omega$，以及

$$R_o = (100 \mathbin{/\!/} 200)k\Omega = 66.7k\Omega$$

最后，由式(5.30)和式(5.31)，给出：

$$v_{IC(max)} = (2.5 - 2\times 0.25 - 0.75)V = 1.25V$$
$$v_{IC(min)} = v_{O(min)} = (-2.5+0.25)V = -2.25V$$
$$v_{O(max)} = 2.25V$$

(c) 利用图 5.14a 所示的电路，PSpice 仿真给出了图 5.14b 所示的 VTC，有 $166\mu V$ 的(系统的)输入失调，输出在 ±2.5V 上下 V_{OV} 的范围内(通过为交流输入源 v_p 指定一个 $-166\mu V$ 直流分量，失调能够得到补偿)。用 PSpice 进行小信号分析(.TF)，我们得到 $a=v_o/v_p=4\,271V/V$ 及 $R_o=75k\Omega$。计算和模拟值之间的差异主要源自假设 $\lambda=0$，特别是，在计算跨导 g_{m1} 和 g_{m5} 时，为了得到更准确的结果，我们必须用计算的 g_{m1} 乘以 $(1+\lambda V_{SD1})\approx(1+0.05\times2.5)=1.125$，并用 g_{m5} 乘以 $(1+\lambda V_{SD5})\approx(1+0.1\times2.5)=1.25$。通过这些校正我们得到 $a_1=-53.3\times1.125V/V=-60V/V$，$a_2=-53.3\times1.25V/V=-66.7\,V/V$。以及 $a=-4\,000V/V$，与 PSpice 仿真大致相似。 ◀



a）例5.2的PSpice电路　　b）该电路的VTC

图 5.14　MOSFET 的参数如下：$k_n'=2.5k_p'=100\mu A/V^2$，$V_{tn}=V_{tp}=0.75V$，以及$\lambda_n=2\lambda_p=0.1V^{-1}$

共模抑制比(CMRR)

我们用式(4.158)估算本电路中的参数，即

$$\mathrm{CMRR}=\frac{1+g_{m3}r_{o3}}{1+r_{o3}/r_{o1}}[1+2(g_{m1}+g_{mb1})r_{o7}] \tag{5.32}$$

如果需要，通过提高 M_7 的输出电阻，如采用共源共栅技术，可以提高共模抑制比。代价是减小了 $v_{IC(max)}$ 的值。

电源抑制比(PSRR)

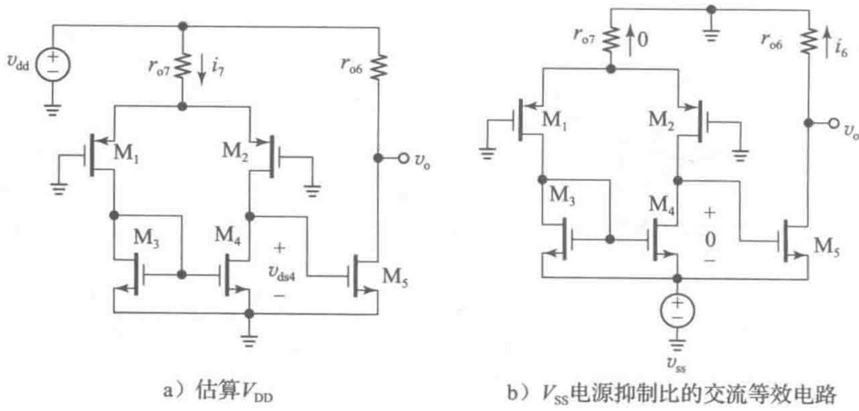
放大器的输出应不受其电源电压的任何变化影响，如纹波和相邻电路产生的电源噪声。然而，现实生活中的放大器对这些变化有些敏感(除了已经很熟悉的共模输入电压)，所以，带分立电源的运放的小信号输出采用更一般的形式表示：

$$v_o=a_{dm}v_{id}+a_{cm}v_{ic}+a_{dd}v_{dd}+a_{ss}v_{ss} \tag{5.33}$$

式中：v_{dd}和 v_{ss}分别是电源电压 V_{DD}和 V_{SS}的变化；a_{dd}和 a_{ss}是该放大器对这些变化的放大增益，即 $a_{dd}=v_o/v_{dd}$和 $a_{ss}=v_o/v_{ss}$。理想情况下，a_{dd}和 a_{ss}都应该是零(就像 a_{cm}应该是 0)。我们用一个称为电源抑制比(PSRR)的品质因数，来描述放大器对电源变化的不敏感性。在分立电源的情况下，可以采用单独的形式：

$$\mathrm{CMRR}_{dd}=\left|\frac{a_{dm}}{a_{dd}}\right|,\quad \mathrm{CMRR}_{ss}=\left|\frac{a_{dm}}{a_{ss}}\right| \tag{5.34}$$

式中：a_{dm} 是大家熟悉的差模增益。为了估计双级 CMOS 运放的 PSRR，参见图 5.15 所示的交流等效电路，我们得出如下结论。



a）估算V_{DD}　　b）V_{SS}电源抑制比的交流等效电路

图 5.15

- 由于 M_1-M_2 对的基极接(交流)地，因此通过 r_{o7} 对 M_1-M_2 对的发射极施加 v_{dd}，具有用 $-v_{dd}$ 的共模电压驱动 M_1-M_2 对的基极相同的效果，此时 r_{o7} 的上端保持在交流地。从而，我们能使用式(4.157c)中的共模增益代入本电路。为了简单起见，忽略衬底的影响，我们有：

$$v_{ds4}=a_{cm(MOS)}(-v_{dd})\approx\frac{v_{dd}}{2g_{m4}r_{o7}}$$

在节点 v_o 处运用 KCL，可得：

$$\frac{v_{dd}-v_o}{r_{o6}}=g_{m5}\frac{v_{dd}}{2g_{m4}r_{o7}}+\frac{v_o}{r_{o5}}$$

由于 $V_{OV5}=V_{OV4}$ 及 $V_{OV6}=V_{OV7}$，即有 $r_{o6}/r_{o7}=2g_{m4}/g_{m5}$，因此，上面的表达式简化为：

$$v_o(1/r_{o6}+1/r_{o5})=v_{dd}(1/r_{o6}-1/r_{o7})=0$$

这仅当 $v_o=0$ 时可能成立，因此，

$$a_{dd}=\frac{v_o}{v_{dd}}=\frac{0}{v_{dd}}=0\text{V/V}\tag{5.35a}$$

及

$$\text{PSRR}_{dd}=\infty\tag{5.35b}$$

有趣的是，v_{dd} 到 v_o 的影响被 r_{o6} 和 r_{o7} 相互抵消了。但是，由于进行了各种近似，PSRR_{dd} 在实践中却不是无限大的，尽管我们希望它是相当高的。

- 参见图 5.15b，我们观察到，在输入级的平衡状态是未受 v_{ss} 扰动的，所以我们有 $v_{ds4}=v_{ds3}=0$。M_5 的内部源现在不起作用，所以我们使用电压分压规则写出：

$$a_{ss}=\frac{v_o}{v_{ss}}=\frac{r_{o6}}{r_{o5}+r_{o6}}\tag{5.36a}$$

代入式(5.34)，a_{dm} 由式(5.25a)给出，我们最终得到：

$$\text{PSRR}_{ss}=g_{m1}(r_{o2}\ /\!/\ r_{o4})g_{m5}r_{o5}\tag{5.36b}$$

例 5.3 估算例 5.2 中 CMOS 运放的 CMRR，PSRR_{dd} 和 PSRR_{ss}(忽略 M_1 和 M_2 的体效应)。与 PSpice 的结果比较，并分析。

解：

利用 $g_{m1}=g_{m3}=(2\times50\times10^{-6}/0.25)\times1.125\text{V/V}=0.45\text{mA/V}$，以及 $g_{m5}=(2\times100\times10^{-6}/0.25)\times1.125\text{A/V}=1\text{mA/V}$，通过式(5.32)，式(5.32b)以及式(5.36)，我们有：

$$\text{CMRR}=\frac{1+0.45\times200}{1+200/400}\times[1+2\times(0.45+0)\times200]=10\,981=80.8\text{dB}$$

$$\text{PSRR}_{dd}=\infty,\quad \text{PSRR}_{ss}=0.45\times(400\ /\!/\ 200)\times1\times100=6\,000=75.6\text{dB}$$

为了通过 PSpice 求出共模抑制比，再次使用图 5.14 所示的电路，但令输入都连接到公共的交流源 v_{ic}。小信号分析(.TF)给出 $a_{cm}=v_o/v_{ic}=0.421\,4\text{V/V}$，所以 $\text{CMRR}=a_{dm}/a_{cm}=4\,271/0.421\,4=10\,135=80.1\text{dB}$，与计算值较吻合。

为了求出 PSRR_{dd}，令输入接地，并插入一个交流电源 v_{dd} 与 V_{DD} 并联(或者，用具有 2.5V 直流分量的交流电源实现 V_{DD})。小信号分析(.TF)给出了 $a_{dd}=v_o/v_{dd}=-0.041\,58\text{V/V}$。虽然通过计算没有得到预测的零点，但 a_{dd} 相当小，给出 $\text{PSRR}_{dd}=|a_{dm}/a_{dd}|=4\,271/0.041\,58=102\,718=100\text{dB}$，这虽然不是无限大的，但仍然是相当高的。同样地，使用交流源 v_{ss} 串联一个 V_{SS} 给出 $a_{ss}=v_o/v_{ss}=0.620\,2\text{V/V}$，所以 $\text{PSRR}_{ss}=|a_{dm}/a_{ss}|=4\,271/0.620\,2=6\,886=76.8\text{dB}$，与所计算出的值吻合。◀

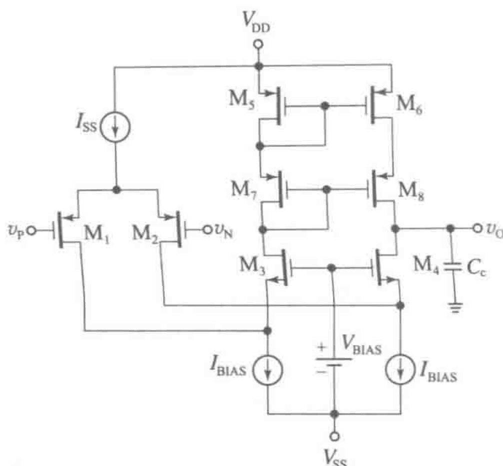
重写式(5.33)，有：

$$\begin{aligned}v_o&=a_{dm}\left(v_{id}+\frac{a_{cm}}{a_{dm}}v_{ic}+\frac{a_{dd}}{a_{dm}}v_{dd}+\frac{a_{ss}}{a_{dm}}v_{ss}\right)\\&=a_{dm}\left(v_{id}+\frac{v_{ic}}{\text{CMRR}}+\frac{v_{dd}}{\text{PSRR}_{dd}}+\frac{v_{ss}}{\text{PSRR}_{ss}}\right)\end{aligned}\tag{5.37}$$

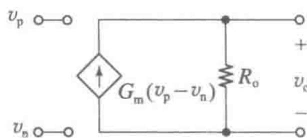
结果为抑制比提供了一个合理的解释：(a)电压 v_{ic}，v_{dd} 和 v_{ss} 折算到输入端的值，等于它们除以相应的抑制比；(b)由于折算到输入端的电压与 v_{id} 串联，因此它们作为独立的输入失调电压分量。显然，抑制比越高，对应的输入失调项更小。

5.3 折叠式共源共栅 CMOS 运算放大器

刚刚研究的两级运放实现的电压增益表达式为 $a=(G_{m1}R_{o1})\times(G_{m2}R_{o2})$，也就是说，其增益是每级各自增益的乘积。重新组合为 $a=G_{m1}(R_{o1}G_{m2}R_{o2})$，这表明另一种实现方式，即，利用一个具有很高输出电阻($R_o=R_{o1}G_{m2}R_{o2}$)的单级(G_{m1})放大器实现高增益。我们先用有源负载的差分对来实现 G_{m1}，然后我们对差动对和负载采用共源共栅技术来提高输出电阻。为了避免直接共源共栅带来的糟糕的电压摆幅限制，我们使用 4.9 节最后介绍的折叠共源共栅结构。得到图 5.16 所示常用的 CMOS 运放的结构，对此我们要注意以下几点。



a) 折叠共源共栅的CMOS运放



b) 其诺顿等效的简化框图

图 5.16

- 该电路核心是 p 沟道差分对 M_1-M_2，继而由 n 沟道的 CG 对 M_3-M_4 的级联。我们知道，在折叠结构中的 CG 对需要单独的偏置，这里由两个 I_{BIAS} 电流沉提供需要的偏置。
- 有源负载的共源共栅电流镜由 M_5-M_6 和 M_7-M_8 对组成(电容 C_c 用来稳定放大器，抑制负反馈工作可能发生的振荡，这将在第 7 章中进行详细的讨论)。
- 直流偏置电路包括电流源 I_{SS}，I_{BIAS} 和 V_{BIAS}。如果 M_1-M_2 对过驱动，它们中的一个 MOSFET 就会断开。为了防止对应负载的半边电路截止，以及消除过驱动状态需要延迟才能重新开启的情况，通常规定 $I_{BIAS}>I_{SS}$，如 $I_{BIAS}\approx1.25I_{SS}$。图 5.17 所示的是直流偏置电路可能的实现方式：M_9 和 M_{10} 抽取 I_{BIAS} 电流源，M_{11} 提供电流 I_{SS}，M_{12} 通过 M_{16} 提供适当的偏置电压去偏置 M_{11}，同时偏置 M_3-M_4 和 M_9-M_{10} 对。

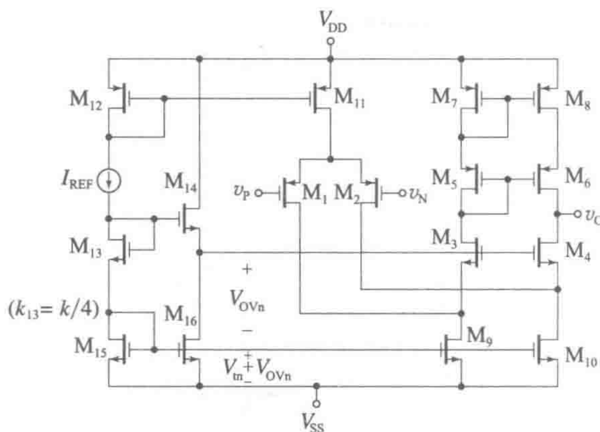


图 5.17 折叠式共源共栅 CMOS 运放的详细结构

我们现在希望求出图 5.16b 所示诺顿等效的变量值 G_m 和 R_o。为了求出 G_m，我们需要求出 $i_{o(sc)}$，这可以用图 5.18 所示的半电路概念来解决。差分对响应输入不平衡电压 $v_{id}=v_p-v_n$ 对应的漏电流为：

$$i_1=g_{m1}\frac{v_{id}}{2},\quad i_2=g_{m2}\frac{v_{id}}{2}$$

因为 $g_{m2}=g_{m1}$，所以 $i_2=i_1$。一旦 i_2 到达 M_4 的源极，它就会被从 M_4 的源级看到的电阻和

从 M_{10} 的漏极看到的电阻进行分流，前者是 $R_{s4}=[1/((g_{m4}+g_{mb4})]//R_{o4}$，后者是 $R_{d10}=r_{o10}$。因为 $R_{s4} \ll R_{d10}$，实际上几乎所有的 i_2 流入 M_4，并由此到输出交流地，如图 5.18 所示。类似的考虑适用于 i_1 在 M_3 的源极处分流。实际上几乎所有的 i_1 都将来自 M_3，并因此将被镜像到输出交流短路，如图 5.18 所示。由 KCL，有：

$$i_{o(sc)}=i_1+i_2=2\times(g_{m1}v_{id}/2)=g_{m1}v_{id}$$

因此，

$$G_m=\frac{i_{o(sc)}}{v_p-v_n}=g_{m1} \qquad (5.38)$$

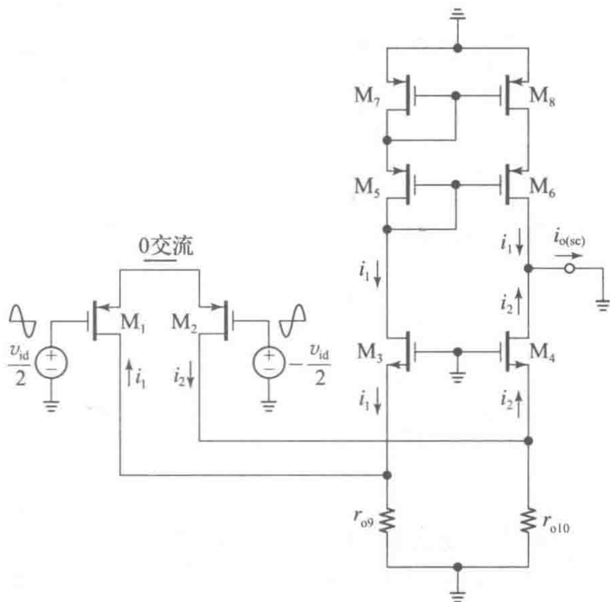


图 5.18 用于求出短路输出电流 $i_{o(sc)}$ 的交流模型

为了求出小信号输出电阻 R_o，将输入信号源置零，加入测试电压 V，求出测试源电流 i，并令 $R_o=v/i$。该试验方法如图 5.19 所示，这里我们观察到 i 由如下三部分组成。

- 分量 $i_6=v/R_{d6}$，其中，R_{d6} 是从 M_6 的漏极看进去的电阻。将式(4.41)代入到本电路，我们有：

$$i_6=\frac{v}{r_{o6}+r_{o8}+(g_{m6}+g_{mb6})r_{o6}r_{o8}} \approx \frac{v}{(g_{m6}+g_{mb6})r_{o6}r_{o8}}$$

- 分量 $i_4=v/R_{d4}$，其中，R_{d4} 是从 M_4 的漏极看进去的电阻。再次代入到本电路，我们得到：

$$i_4=\frac{v}{r_{o4}+(2r_{o2}\ //\ r_{o10})+(g_{m4}+g_{mb4})r_{o4}(2r_{o2}\ //\ r_{o10})}$$

$$\approx \frac{v}{(g_{m4}+g_{mb4})r_{o4}(2r_{o2}\ //\ r_{o10})}$$

式中：$2r_{o2}$ 是从 M_2 的漏极看进去的电阻。

- i_4 流出 M_4 被 $2r_{o2}$ 和 r_{o10} 分流，按分流规则有：

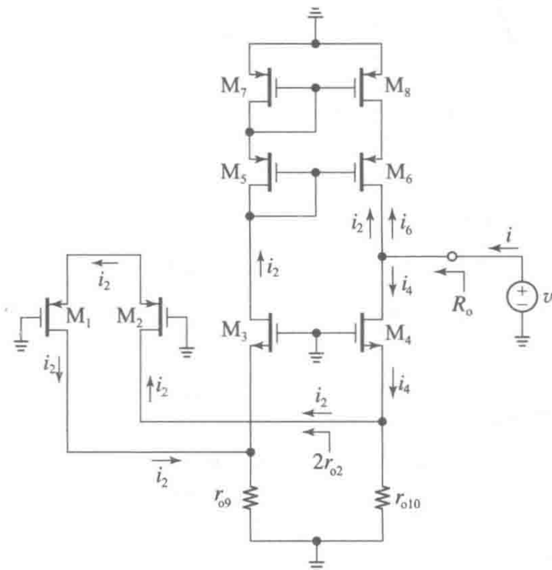


图 5.19 求出输出电阻 R_o 的交流模型

$$i_2 = \frac{r_{o10}}{2r_{o2} + r_{o10}} i_4 = \frac{2r_{o2} /\!/ r_{o10}}{2r_{o2}} i_4 \approx \frac{v}{(g_{m4} + g_{mb4})2r_{o2}r_{o4}}$$

这个电流继续通过 M_1 至 M_3 的源极，再通过 M_3 到电流镜（这里忽略了 r_{o9} 的分流），然后（电流镜）在测试源处复制了它，如图 5.19 所示。

我们现在运用 KCL 写出：

$$i \approx \frac{v}{(g_{m6} + g_{mb6})r_{o6}r_{o8}} + \frac{v}{(g_{m4} + g_{mb4})r_{o4}(2r_{o2} /\!/ r_{o10})} + \frac{v}{(g_{m4} + g_{mb4})2r_{o2}r_{o4}}$$

合并最后两项并化简，我们写出：

$$i \approx \frac{v}{(g_{m6} + g_{mb6})r_{o6}r_{o8}} + \frac{v}{(g_{m4} + g_{mb4})r_{o4}(r_{o2} /\!/ r_{o10})} = \frac{v}{R_o}$$

式中：

$$R_o \approx [(g_{m6} + g_{mb6})r_{o6}r_{o8}] /\!/ [(g_{m4} + g_{mb4})r_{o4}(r_{o2} /\!/ r_{o10})] \tag{5.39}$$

最后，空载电压增益为：

$$a = \frac{v_o}{v_p - v_n} = g_{m1}R_o \tag{5.40}$$

输入电压范围和输出电压摆幅

为了使电路正常工作，所有的 MOSFET 必须工作在饱和或至多在饱和区边缘（EOS）。共模输入电压 v_{IC} 值的允许范围决定了输入电压范围（IVR）。利用图 5.17 所示的电路，通过观察和 KVL，我们很容易求出：

$$v_{IC(max)} = V_{DD} - V_{OV11} - V_{OV1} - |V_{t1}|, \quad v_{IC(min)} = V_{SS} + V_{OV9} - |V_{t1}| \tag{5.41}$$

同样地，输出摆幅（OVS）的限制为：

$$v_{O(max)} = V_{DD} - |V_{t8}| - V_{OV8} - V_{OV6}, \quad v_{O(min)} = V_{SS} + V_{OV10} + V_{OV4} \tag{5.42}$$

我们可以使用一个宽摆幅共源共栅电流镜，如在第 4.8 节中讨论过的 p 沟道苏奇（Sooch）镜，来消除 $v_{o(max)}$ 中的 $|V_{t8}|$ 项。

例 5.4 假设图 5.17 所示折叠共源共栅运放的制作工艺为 $k'_n = 2.5$，$k'_p = 100\mu A/V^2$，$V_{tn} = -V_{tp} = 0.75V$，$\lambda'_n = 0.1\mu m/V$ 和 $\lambda'_p = 0.05\mu m/V$。此外，所有的 MOSFET 被制造成 $L = 1\mu m$，及工作在 $V_{OV} = 0.25V$。如果电路用 2.5V 的电源供电，$I_{REF} = 100\mu A$，当 $I_{SS} = 100\mu A$ 和 $I_{BIAS} = 125\mu A$ 时，为 W_1 至 W_{16} 指定合适的值（为简单起见假定 $\lambda = 0$ 并忽略在直流计算过程中的体效应）。

(b) 假设 $\chi = 0.1$，求出 R_o，a，输入电压范围和输出电压摆幅。

解：

(a) 每个 MOSFET（除了 M_{13}）必须满足饱和区条件：

$$I_D = \frac{k'}{2}\frac{W}{1\mu m}0.25^2$$

这使得我们可以进行以下的计算。

- 在上面的表达式中，令 $I_D = 100\mu A$ 及 $k' = 40\mu A/V^2$，给出 $W_{11} = W_{12} = 80\mu m$。
- 由于 M_1 和 M_2 各抽取 M_{11} 直流电流的一半，我们有 $W_1 = W_2 = W_{11}/2 = (80/2)\mu m = 40\mu m$。
- 令 $I_D = 100\mu A$ 及 $k' = 100\mu A$，给出 $W_{14} = W_{15} = W_{16} = 32\mu m$，也有 $W_{13} = (32/4)\mu m = 8\mu m$。
- 由于 M_9 和 M_{10} 获取 $125\mu A (= 1.25 \times 100\mu A)$，它们的宽必须是 M_{15} 的 1.25 倍，因此 $W_9 = W_{10} = 1.25W_{15} = 1.25 \times 32\mu m = 40\mu m$。
- 在交流平衡时，M_3 和 M_4 每个获得电流 $(125-50)\mu A = 75\mu A$，或 $3/4 I_{D15}$。因此 $W_3 = W_4 = (3/4)W_{15} = (3/4) \times 32\mu m = 24\mu m$。
- M_5 到 M_8 获得 $75\mu A$，或者是 $(3/4)I_{D11}$，所以 $W_5 = W_6 = W_7 = W_8 = (3/4)W_{11} = (3/4) \times 80\mu m = 60\mu m$。信号处理的场效应管的宽度为

$$W_1 = W_2 = W_9 = W_{10} = 40\mu\text{m},\quad W_3 = W_4 = 24\mu\text{m}$$
$$W_5 = W_6 = W_7 = W_8 = 60\mu\text{m},\quad W_{11} = 80\mu\text{m}$$

(b) 接下来，我们求出：

$$g_{m1} = 2\frac{I_{D1}}{V_{OV1}} = 2\times\frac{50\times10^{-6}}{0.25}\text{A/V} = 0.4\text{mA/V}$$

$$g_{m4} = g_{m6} = 2\times\frac{75\times10^{-6}}{0.25}\text{A/V} = 0.6\text{mA/V}$$

$$r_{o2} = \frac{1}{\lambda_2 I_{D2}} = \frac{1}{0.05\times50\times10^{-6}}\Omega = 400\text{k}\Omega$$

$$r_{o4} = \frac{1}{0.1\times75\times10^{-6}}\Omega = 133\text{k}\Omega$$

$$r_{o6} = r_{o8} = \frac{1}{0.05\times75\times10^{-6}}\Omega = 267\text{k}\Omega$$

$$r_{o10} = \frac{1}{0.1\times125\times10^{-6}}\Omega = 80\text{k}\Omega$$

代入式(5.32)及式(5.33)，我们得到：

$$R_o \approx ([0.6\times(1+0.1)\times267\times267] \mathbin{/\!/} [0.6\times(1+0.1)\times133\times(400 \mathbin{/\!/} 80)])\text{k}\Omega$$
$$\approx (49\,050 \mathbin{/\!/} 5\,867)\text{k}\Omega = 5.22\text{M}\Omega$$
$$a \approx 0.4\times10^{-3}\times5.22\times10^{6}\text{V/V} = 2\,088\text{V/V}$$

最后，利用式(5.41)和式(5.42)得到：

$$v_{IC(max)} = 1.25\text{V},\quad v_{IC(min)} = -3.0\text{V}$$
$$v_{O(max)} = 1.25\text{V},\quad v_{O(min)} = -2\text{V}$$

◀

两级和折叠共源共栅拓扑结构及其变形，在当今被广泛使用。正如提到的，虽然通过不同的方法，这两种拓扑达到的总增益近似为$(g_m r_o)^2$。然而，折叠共源共栅需要更多的晶体管，而且其输出电压摆幅较为有限，所以与两级型相比，你可能想知道它的优点。要回答这个问题，需要研究第7章中的稳定性和频率补偿。在那里会看到，在负反馈工作下，折叠共源共栅更容易稳定以防止不期望的振荡，而负反馈是运放最佳的工作模式。单单这个优势就值得用更多的晶体管去实现它！

5.4　电压比较器

运放之后，电压比较器可能是最常用的高增益放大器。它的功能是比较两个模拟输入的v_P和v_N，并产生一个二进制值输出，如，

$$v_O = V_{OL},\quad v_P < v_N \tag{5.43a}$$
$$v_O = V_{OH},\quad v_P > v_N \tag{5.43b}$$

式中：V_{OL}和V_{OH}是规定的逻辑电平。如大家熟悉的TTL/CMOS兼容的电压$V_{OL}=0\text{V}$和$V_{OH}=5\text{V}$。比较器也可以看作是一个1位A/D转换器，故也称作判决电路。图5.20a画出了比较器的电路图形符号，而图5.20b画出了式(5.43)表示的电压传输曲线(VTC)。正如我们所知，VTC的斜率代表增益，所以图5.20b所示的VTC暗示放大器具有无限增益，且在V_{OL}和V_{OH}时处于饱和。

无限增益在物理上是不可能的，所以现实生活中的比较器的VTC更可能是图5.20c所示的，此时我们估计电压增益为：

$$a \approx \frac{V_{OH}-V_{OL}}{V_{IH}-V_{IL}} \tag{5.44}$$

同时V_{IL}和V_{IH}表示$a=1\text{V/V}$时v_I的值。相应地，式(5.43)变为：

$$v_O = V_{OL},\quad v_P < (v_N + V_{IL}) \tag{5.45a}$$
$$v_O = V_{OH},\quad v_P > (v_N + V_{IH}) \tag{5.45b}$$

而且，我们有：

$$v_O = a(v_P - v_N),\quad (v_N + V_{IL}) < v_P < (v_N + V_{IH}) \tag{5.45c}$$

很明显，图 5.20c 所示 VTC 中实际的 VTC 只是 5.20b 所示理想 VTC 的一个近似值。然而，V_{IL}和 V_{IH}互相越接近，增益越高，VTC 越接近理想值。

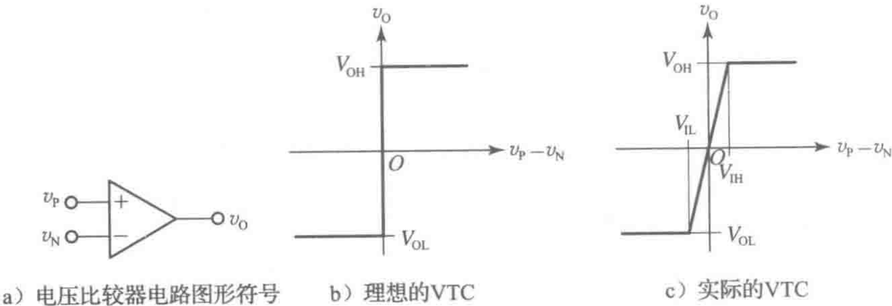


图 5.20

作为一个高增益放大器，电压比较器与运放有很强的相似性(事实上，它们使用两个相同的电路图形符号)。然而，它们的区别在两个重要的方面：

- 运放以负反馈方式工作，而比较器并不是。在第 7 章中我们将会看到，为了避免可能发生的振荡，运放配备了频率补偿网络，其最简单的形式仅仅由一个电容构成，如图 5.1，图 5.13 和图 5.16 所示的 C_c。在第 6 章中，我们将看到 C_c 显著地稳定了运放的动态特性。另一方面，比较器不需要进行频率补偿，因为电压比较不涉及负反馈(事实上，补偿电容只会不必要地减慢比较器速度)。不需采用补偿，使得比较器可以工作在全速状态(电压比较器动态性能在第 6 章中研究)。
- 运放的输出饱和电压与数字不兼容(例如，μA741 运放采用 15V 电源供电，饱和时约 13V，与逻辑电平 TTL/CMOS 相去甚远)。反之，电压比较器输出级的设计是要考虑这种类型的兼容性。

如果不考虑速度和逻辑兼容性，则运放确实可以用作电压比较器。然而，大多数比较器需要应用在专用的电路中，这些电路为特定应用做了相应优化。想要切身体会，我们可以了解一些典型的双极型和 CMOS 电压比较器的实现方式。

LM339 电压比较器

这种常见的双极型比较器，采用四列扁平封装，大多数模拟 IC 制造商都有出售，其简化形式如图 5.21 所示。我们可得到下列模块。

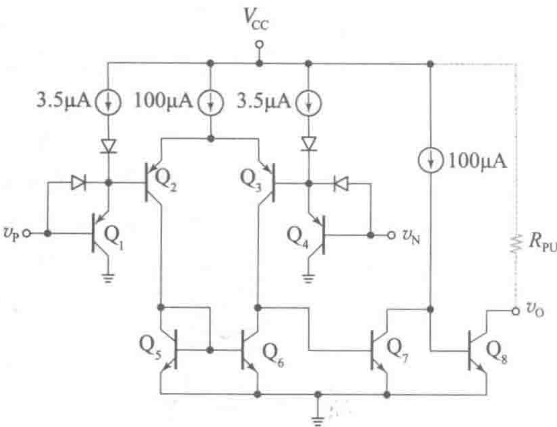


图 5.21　LM339 电压比较器简化电路图

- 第一级或输入级由 EC 对 Q_2-Q_3 和有源负载 Q_5-Q_6 构成。Q_2 和 Q_3 由电压跟随器 Q_1 和 Q_4 缓冲，以实现非常低的输入偏置电流(根据数据手册是 25nA)。此外，由于每个缓冲器引入的额外 V_{EB} 压降，输入电压范围一直延伸下降至地电位(事实上，v_P 和 v_N 可以驱动低于地电位以下十分之几伏，而不会导致故障)。二极管的作用是提供保护，防止过度反向偏置，同时更快地关断 Q_2 和 Q_3。运用半电路分析，我们很容易地求出该级的增益(带负载)为：

$$a_1 = \frac{v_{b7}}{v_p - v_n} = \frac{r_{\pi 2}}{r_{e1} + r_{\pi 2}} g_{m3}(r_{o3} /\!/ r_{o6} /\!/ r_{\pi 7}) \approx g_{m3} r_{\pi 7} \tag{5.46}$$

- 第二级或中间级包括 CE 放大器 Q_7。它的功能是提供额外电压增益，估算得：

$$a_2 = -\frac{v_{b8}}{v_{b7}} \approx -g_{m7} r_{\pi 8} \tag{5.47}$$

- 第三级或中间级包括所谓的开路集电极 CE 晶体管 Q_8。留下集电极悬空的原因是，用户可以从外部对其进行配置，从而使输出端得到所期望的逻辑电平。最简单的形式是使用上拉电阻 R_{PU}，在这种情况下，当 Q_8 被驱动在饱和状态时，电路输出 $V_{OL}=V_{CE8(sat)}\approx 0.2V$，$Q_8$ 被驱动到截止时，$V_{OH}=V_{CC}$。当 $V_{CC}=5V$ 时，电路输出大约为 0V 和 5V 的 TTL/CMOS 逻辑电平。这一级的增益估计为：

$$a_3 = -\frac{v_o}{v_{b8}} \approx -g_{m8} R_{PU} \tag{5.48}$$

- 图 5.22 所示的直流偏置电路，由多输出电流镜 Q_9 至 Q_{12} 以及稳定的基准电流 I_{REF} 构成，该基准电流在芯片上的所有四个比较器之间是共享的。Q_{10} 复制电流 I_{REF} 并偏置 Q_2-Q_3 对，通过 Q_{11} 复制电流 I_{REF}，提供给有源负载 Q_7。此外，Q_{12} 形成 $7\mu A$ 的维德拉电流源，随后被两个集电极分流，分别为 Q_1 和 Q_4 缓冲器提供了 $3.5\mu A$ 的偏置电流。

图 5.22 LM339 电压比较器的直流偏置电路

例 5.5 (a) 假设 $\beta_p=150$，$\beta_n=20$，$V_{CC}=5V$，以及 $R_{PU}=2.4k\Omega$，估计 LM339 比较器输出 v_O 为 V_{OH} 和 V_{OL} 一半时的增益。

(b) 估计输入偏置电流以及差值 $V_{IH}-V_{IL}$。

(c) 用 Pspice 检验并评价你的结果。

解：

(a) 由于 $v_o=1/2(V_{OH}+V_{OL})=(1/2)\times(5+0.2)V=2.6V$，我们有 $I_{C8}=((5-2.6)/2.4)mA=1mA$。利用式(5.46)至式(5.48)，得：

$$a_1 \approx \frac{0.05}{26}\beta_7 \frac{26}{0.1} = \frac{\beta_7}{2} = 100V/V$$

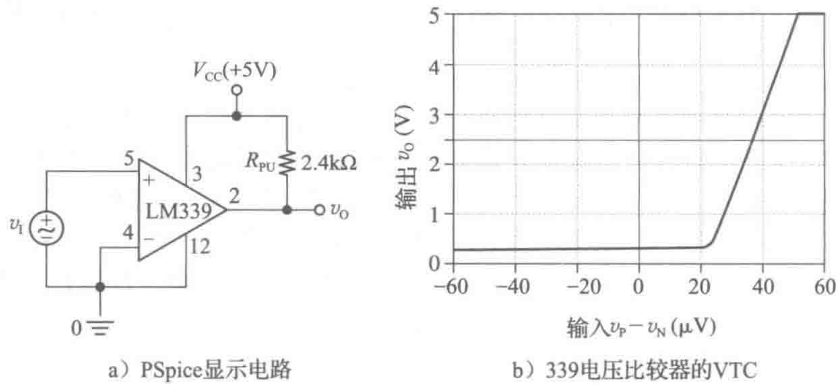
$$a_2 \approx -\frac{0.1}{26}\beta_8 \frac{26}{1} = -\frac{\beta_8}{10} = -20V/V$$

$$a_3 \approx -\frac{R_{PU}}{26\Omega} = -92.3V/V$$

总的增益为 $a=a_1\times a_2\times a_3=(100\times 20\times 92.3)V/V\approx 185V/mV$

(b) $I_B=I_{B1}=I_{E1}(\beta_1+1)=(3.5\mu A+I_{B2})/(\beta_1+1)=[3.5\mu A+(50\mu A)/(\beta_2+1)]/(\beta_1+1)=25.4nA$。通过式(5.44)，$V_{IH}-V_{IL}=(V_{OH}-V_{OL})/a=((5-0.2)/(185\times 10^3))A\approx 26\mu A$。

(c) 图 5.23a 所示的电路利用 LM339 的宏观模型来显示 VTC(见附录 5A)。从图 5.23b 我们发现，$V_{IL}\approx 23\mu V$，$V_{IH}\approx 52\mu V$，$V_{OL}\approx 0.25V$，以及 $V_{OH}=5V$。按式(5.44)，增益为 $a\approx((5-0.25)/[(52-23)\times 10^{-6}])V/V\approx 183V/mV$ 的。我们还观察到，仿真的 VTC 向右偏移大约 $37\mu V$。这代表了 LM339 宏观模型在假设 R_{PU} 值下的输入失调电压为 V_{OS}。这主要是由于它的输入级的两个半边之间失配，实际的 LM339 很可能会表现出高得多的 V_{OS}。我们可以轻松地在网上搜索到 LM339 数据手册，其中列出了以下在室温下的典型值：$a=200V/mV$ 时，$V_{OS}=2mV$，$I_B=25nA$，以及 $I_{OS}=5nA$。上述计算结果表明，I_B 严重地依赖于 β_p，a_1 依赖 β_n，a_2 依赖 R_{PU}。 ◀



a) PSpice显示电路　　b) 339电压比较器的VTC

图 5.23

CMOS 电压比较器

图 5.24 所示的电路是图 5.13 所示 CMOS 放大器的另一种版本，其没有补偿网络 R_c-C_c，因为这对电压比较是不必要的。该电路还配备了一个输出反相器，以提高增益，以及提供轨到轨输出摆幅，或者写为 $V_{OL}=V_{SS}$ 和 $V_{OH}=V_{DD}$。如果需要的话，沟道宽度 W_9 和 W_{10} 可适当地大，以提高输出电流驱动能力。

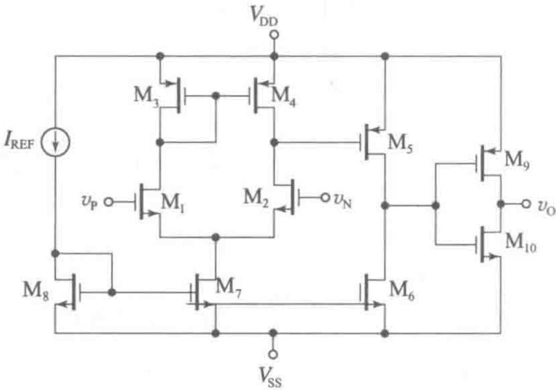
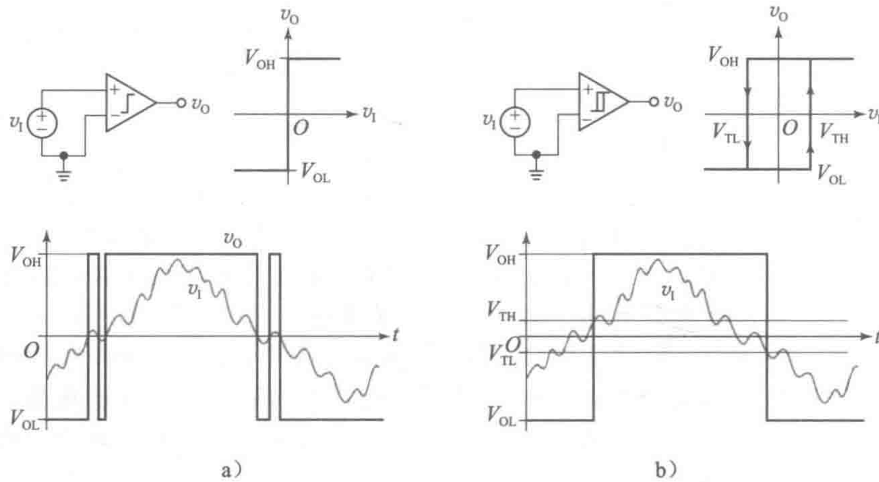


图 5.24 CMOS 电压比较器

迟滞比较器

高增益和高速度，这是电压比较器通常想拥有的，但可能会由于输入噪声达不到预期目标。为了说明，考虑图 5.25a 所示电路，它使用比较器对含有噪声的缓慢变化的信号 V_i进行过零计数。当 V_i在 0V 附近时，这个噪声会导致比较器多次翻转，从而导致错误的计数(你可能会发现噪声被夸大了，但请记住，当具有非常高的增益时，可能只需要几十微伏的噪声，就涵盖 V_{IL}至 V_{IH}的范围，反之亦然，所以图 5.25a 所示的演示一直被夸大，以方便观察)。



a)　　b)

图 5.25 说明 a)比较器抖动，以及 b)通过迟滞消除抖动

这也称为抖动，如果我们引入如图 5.25b 所示的滞后，不想要的输出翻转能够被消除。这里，根据输出状态，比较器呈现两种 VTC：当 $v_O=V_{OL}$，V_I上升到 V_{TH}时比较器触

发，并且当 $v_O=V_{OH}$，v_i下降到V_{TL}时比较器触发。如果电压差$V_{TH}-V_{TL}$(称为迟滞宽度)超过输入噪声的最大峰峰值幅度，那么抖动将被消除，如图 5.25b 所示。迟滞是通过正反馈引入的，或者是由用户从外部引入的，抑或 IC 设计者从内部引入的。这里我们对后者感兴趣。

图 5.26 显示了一个具有迟滞比较概念的常见 CMOS 结构。暂时忽略 M_5 和 M_6，我们观察到了 M_4-M_7 电流镜引导 i_{D2} 到输出节点 v_O，而 M_3-M_8 和 M_9-M_{10} 电流镜使 i_{D1} 远离节点 v_O。因此，该电路作为差分放大器的小信号增益 $a=v_o/(v_P-v_N)=g_{m1}(r_{o7}/\!/r_{o10})$，且有图 5.20c 所示类型的 VTC（也见图 4.66）。

图 5.26　迟滞 CMOS 比较器

现在考虑 M_5 和 M_6 的影响。将它们看作两个交叉耦合的反相器，这些晶体管引入了触发器行为，保持由 M_1 和 M_2看到的负载不平衡。正是这种不平衡导致滞后。为了弄清原理，参考图 5.27 所示的简化形式，其中假设所述交叉耦合 MOSFET M_5 和 M_6 的 W/L 比率是二极管连接 MOSFET M_3 和 M_4 的 m 倍($m>1$)。我们给出以下观察结果。

图 5.27　图 5.26 所示电路主要部分在 a)$V_I\ll 0$，b)$V_I\gg 0$ 下的不同情况

- 当 v_I足够负时，如图 5.27a 所示，M_1是关闭的，所以 M_3 和 M_5 也关闭。所有的 I_{SS}流经 M_2，导致 v_{o2}很低，这迫使 M_5工作在电阻区，因此 v_{O1} 被拉至 V_{DD}。随着 $v_{SG6}=0$，M_6也关闭，导致 $i_{D4}=i_{D2}=I_{SS}$。
- 提高 v_I将会逐渐导通 M_1，代价是，M_2导通程度下降了。由于 M_1将 M_5的(小)欧姆电阻看做负载，v_{O1}将会下降一些。
- 对于 $v_I=0$，I_{SS}在 M_1和 M_2之间相等分流。然而，由于 $k_5=m_{k4}$，$m>1$，显然 v_{O1} 比 v_{O2}高。换言之，该电路是不平衡的，因为 M_5仍然在晶体管区，而 M_4是饱和的。
- 为了使电路跳变，我们需要提高 v_I到值 $V_{IH}(V_{IH}>0)$，这会将 M_5拉出晶体管区并使其进入饱和状态。这个值是通过 KVL 和熟悉的 MOSFET 公式得到的：

$$V_{IH}=V_{GS1}-V_{GS2}=V_{OV1}-V_{OV2}\approx\sqrt{2I_{D1}/k_1}-\sqrt{2I_{D2}/k_2}$$
$$=\sqrt{2/k_1}\left(\sqrt{I_{D1}}-\sqrt{I_{D2}}\right)$$

为简单起见所有的 MOSFET 被假定为有 $\lambda=0$，代入 $I_{D1}=I_{D5}=mI_{D4}=mI_{D2}$，再有 $I_{D1}+I_{D2}=I_{SS}$，经适当的计算后我们最终得到：

$$V_{IH} \approx \sqrt{\frac{2I_{SS}}{(m+1)k_1}} \times (\sqrt{m}-1) \tag{5.49}$$

- 如图 5.27b 所示，若 v_I 足够正，各 MOSFET 对的角色互换，所以我们根据电路的对称性，为了使它朝相反方向跳变，我们现在需要降低 v_I 的值到 $V_{IL}(V_{IL}<0)$，使得：

$$V_{IL} = -V_{IH} \tag{5.50}$$

例 5.6 (a) 假定 $k_n' = 2.5k_p' = 100\mu A/V^2$，且图 5.27 中所有 MOSFET 的 $L=1\mu m$，如果 $I_{SS}=25\mu A$，且除 M_3 和 M_4 之外的所有 MOSFET 的 $W=10\mu m$，$W_3=W_4=6\mu m$，估计 V_{IH} 和 V_{IL}。当 $v_I=V_{IH}$ 时，求 I_{D1} 和 I_{D2} 的值，当 $v_I=V_{IL}$ 时呢？

(b) 通过 PSpice 验证图 5.27 所示电路。假设电源电压为 2.5V，同时 $V_{tn}=-V_{tp}=0.75V$ 且 $\lambda_n'=\lambda_p'=0.05\mu m/V$。并与计算的值比较，且作出评价。

解：

(a) 运用式(5.39)和式(5.50)，以及 $m=10/6$，我们有：

$$V_{IH} \approx \sqrt{\frac{2\times 25}{(10/6+1)\times(10/1)\times 100}} \times (\sqrt{10/6}-1)V \approx 40mV = -V_{IL}$$

利用 $I_{D1}=(10/6)I_{D2}$ 及 $I_{D1}+I_{D2}=25\mu A$ 我们容易得到，当 $v_I=V_{IH}$ 时，$I_{D1}\approx 15.6\mu A$ 及 $I_{D2}\approx 9.4\mu A$。当 $v_I=V_{IL}$ 时，两者颠倒，因此 $I_{D1}\approx 9.4\mu A$ 及 $I_{D2}\approx 15.6\mu A$。

(b) 使用图 5.28 所示的 PSpice 电路，我们很容易得到图 5.29 所示的曲线，从中我们发现 $V_{IH}=-V_{IL}=35.7mV$。该值不等于 40mV，这是因为手工计算是基于 $\lambda=0$ 的。图 5.29b 所示提供了当 v_I 上升到 V_{IH} 时得到的扩展视图。一旦 M_1 将 M_5 拉出晶体管区，v_{O1} 下降得更快，直到 M_6 开启。此时 M_6 很快地将 v_{O2} 拉升到 V_{DD}。反过来，这将关闭 M_5，引起 v_{O1} 急速下降。显然，因为 M_5 和 M_6 形成了触发器行为，v_{O1} 和 v_{O2} 只会以互补形式共存(一个为高，另一个就为低，反之亦然)。 ◀

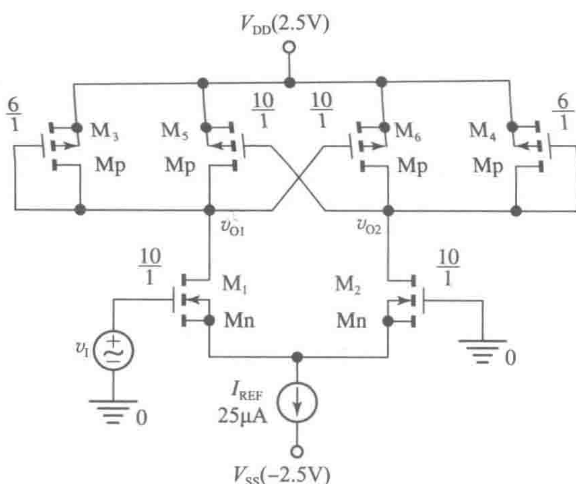
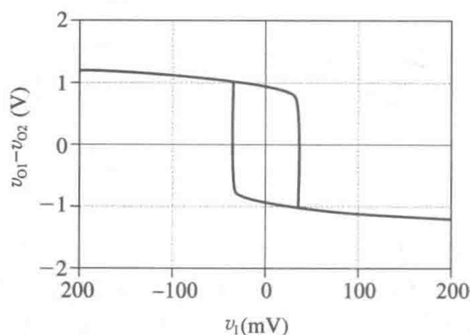
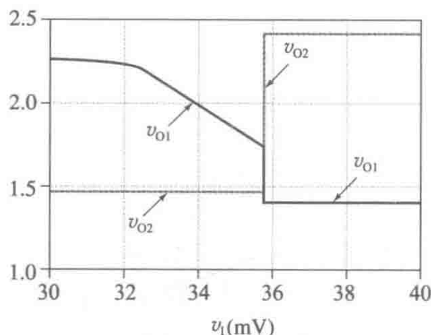


图 5.28 研究例 5.6 中比较器迟滞的 PSpice 电路



a) 迟滞特性



b) 详细说明

图 5.29 图 5.28 所示比较器转移特性

5.5 电流和电压基准

很显然，模拟电路无论是单晶体管放大器/缓冲器，还是一个多晶体管电路，如级联

形成的运放和比较器，它们都必须适当地偏置，才能正常工作。由于直流偏置条件影响小信号的参数，所以需要使得偏置电流与电源电压变化无关。迄今为止许多电路的研究都假定了一个稳定的电流 I_{REF} 的存在。我们现在仔细研究产生这种电流的方法。

基于电压电源的电流基准

最简单的电流基准可能就是一个电流镜，其由电源通过一个简单电阻 R 来进行偏置，如图 5.30a 和 b 所示。在本节中，除非有额外说明，我们均假设基极电流可忽略，并忽略 MOSFET 的基极宽度和沟道长度调制效应，以及体效应)。通过电流镜镜和欧姆定律，对于这两个电路，我们有：

$$I_{REF(BJT)} = I_{BIAS} = \frac{V_{CC} - V_{BE}}{R}, \quad I_{REF(MOS)} = I_{BIAS} = \frac{V_{DD} - V_{GS}}{R} \tag{5.51}$$

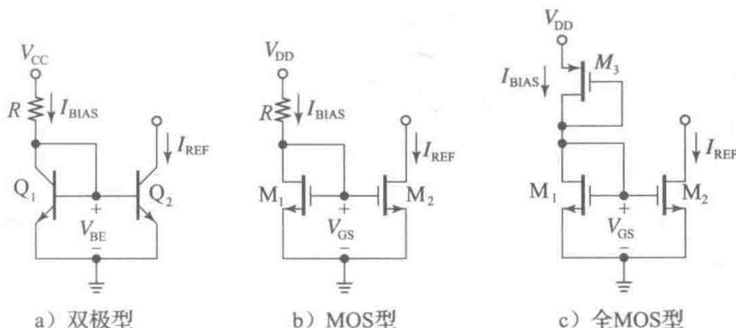


图 5.30　基于电压电源的电流基准

在 CMOS 的情况下，电阻实际上可以用一个二极管连接的 MOSFET M_3 代替，如图 5.30c所示(见习题 5.28)。

例 5.7 (a) 假设 $V_{CC}=5V$，且图 5.30a 所示所有的晶体管都匹配，当 $I_{REF}=0.25mA$ 时指定 R 的值。

(b) 如果 V_{CC} 从 5V 提高到 6V，估计 I_{REF} 变化的百分比，并作出评价。

解：

(a) 假设 $V_{BE}=0.7V$，利用欧姆定律计算得 $R=((5-0.7)/0.25)k\Omega=17.2k\Omega$

(b) 当 $V_{CC}=6V$ 时我们得到 $I_{REF}=I_{BIAS}\approx((6-0.7)/17.2)mA=0.308mA$，表明增长的百分比为 $100\times(0.308-0.25)/0.25\approx23\%$，变化很大。◀

例 5.8 (a) 使图 5.30b 所示所有晶体管有 $V_t=0.75V$，且 $k'=125\mu A/V^2$. 假设 $V_{DD}=5V$，指定 R 和 W/L，以便所有的 MOSFET 抽取电流 $100\mu A$ 同时 $V_{OV}=0.25V$。

(b) 如果 V_{DD} 从 5V 提高到 6V，估算 I_{REF} 变化的百分比。

解：

(a) 由于 $V_{GS}=(0.75+0.25)V=1V$，欧姆定律给出 $R=((5-1)/0.1)k\Omega=40k\Omega$。再利用 $0.1=(0.125/2)\times(W/L)\times0.25^2$，给出 $W/L=25.6$。

(b) 从(a)中我们有 $k=k'(W/L)=0.125\times25.6mA/V^2=3.2mA/V^2$。利用

$$I_{BIAS} = \frac{6 - 0.75 - \sqrt{2I_{BIAS}/(3.2\times10^{-3})}}{40\times10^3}$$

且通过迭代求解，得到 $I_{REF}=I_{BIAS}\approx124\mu A$，表明有一个 24% 的增长，变化很大！◀

上述例子表明 I_{REF} 对电源电压有相当强的依赖性。作为一个例子，给出了图 5.4 所示 μA741 运放的偏置方案，当用 15V 电源供电时，$I_{REF}=((30-1.4)/39)mA=733\mu A$。但是，如果用户选择了 9V 电源电压，$I_{REF}$ 将下降到 $((18-1.4)/39)mA=426\mu A$，从而导致大多数小信号参数明显变化。在下面，我们将研究如何减少 I_{REF} 对电源的依赖性。

基于 V_{BE} 和 V_{GS} 的电流基准

图 5.31 所示的电路可以看作改进的威尔逊电流镜，由电流控制的电阻 R 替代二极管连接的晶体管，忽略基极电流，对于 BJT，有：

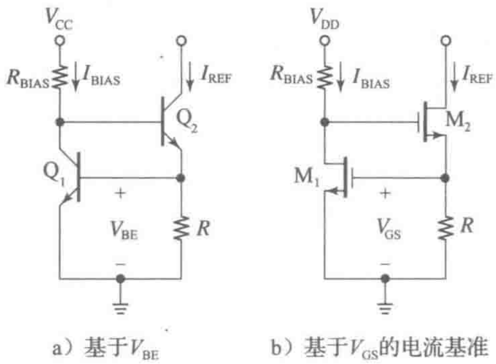
$$I_{REF(BJT)} = \frac{V_{BE}}{R} = \frac{V_T \ln(I_{BIAS}/I_s)}{R} \tag{5.52a}$$

式中：$I_{BIAS} = (V_{CC} - V_{BE2} - V_{BE})/R_{BIAS}$。

同样地，对于 MOS 管，有

$$I_{REF(MOS)} = \frac{V_{GS}}{R} = \frac{V_t + \sqrt{2I_{BIAS}/k}}{R} \tag{5.52b}$$

式中，$I_{BIAS} = (V_{DD} - V_{GS2} - V_{GS})/R_{BIAS}$。



a）基于 V_{BE}　　b）基于 V_{GS} 的电流基准

图　5.31

在这两种情况下，I_{BIAS} 仍然很强地依赖于电源电压。然而，它对 I_{REF} 影响大大减弱了，这是因为在 BJT 情况下，I_{BIAS} 出现在对数中，而在 MOSFET 情况下出现在平方根中。我们知道，即使 V_{CC} 明显变化，V_{BE} 仍能保持相当接近 0.7V。此外，如果 MOSFET 被制造为拥有足够大的 W/L 比，以至与 V_t 相比，平方根项的变化可忽略不计，这样 V_{GS} 也将在 V_t 附近保持相对恒定。

例 5.9 (a) 假设 $V_{CC}=5V$，$I_s=1fA$，而且可以忽略基极电流，请指定图 5.31a 所示电路中 R_{BIAS} 和 R 的值，以使 $I_{REF}=2I_{BIAS}=250\mu A$。如果 V_{CC} 从 5V 提高到 6V，估算 I_{REF} 变化的百分比，并与例 5.7 中变化相比较和分析。

(b) 假设 $V_{DD}=5V$，$V_t=0.75V$，且 $k=3.2mA/V^2$，指定图 5.31b 所示电路中 R_{BIAS} 和 R 的值，以使 $I_{REF}=I_{BIAS}=100\mu A$。如果 V_{DD} 从 5V 提高到 6V，估算 I_{REF} 变化的百分比，并与例 5.8 中变化相比较和分析。

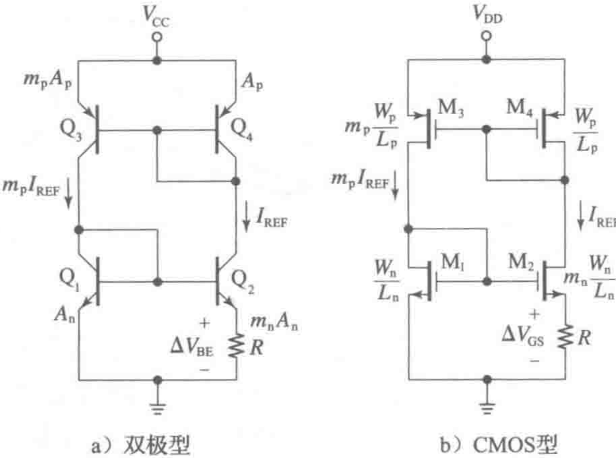
解：

(a) 我们有，$V_{BE}=0.026\times\ln(125^{-6}/10^{-15})V=0.664V$，所以 $R=(0.664/0.25)k\Omega=2.66k\Omega$。通过 18mV 经验法则，$V_{BE}+18mV=0.682V$。因此，$R_{BIAS}=((5-0.682-0.664)/(0.25/2))k\Omega=29.2k\Omega$。同时 $V_{CC}=6V$，我们得到 $I_{BIAS}\approx([6-2]/29.2)mA=159\mu A$，$V_{BE}=(0.026\times\ln(159^{-6}/10^{-15}))V=0.670V$，且 $I_{REF}=(0.670/2.66)mA=252.5\mu A$。这表示 I_{REF} 增加 $100\times(252.5-250)/250\approx1\%$，与例 5.7 中增加 23% 相比大幅改善。

(b) 从例 5.8 我们有，$V_{GS}=(0.75+0.25)V=1V$，所以 $R=(1/0.1)k\Omega=10k\Omega$ 且 $R_{BIAS}=((5-1-1)/0.1)k\Omega=30k\Omega$。当我们将 V_{DD} 从 5V 提高到 6V 时，我们希望与 V_{DD} 变化相比，V_{GS2} 的变化可以忽略，因此我们写出 $I_{BIAS}[6-0.75-(2I_{BIAS}/3.2)^{1/2}-1]/30$。通过迭代法求得 $I_{BIAS}=0.132mA$。因此，$V_{GS}=(0.75+(2\times0.132/3.2)^{1/2})V=1.037V$ 及 $I_{REF}=(1.037/10)mA=103.7\mu A$，表明 I_{REF} 有一个 3.7% 的增长，与例 5.8 中 24% 有相当的改善！◀

基于失衡的电流基准

在器件的尺寸或是直流偏置间有意引入失衡，或两者同时存在，就能很简洁地实现与电源电压之间的独立。图 5.32 所示电路中 Q_1-Q_2 和 M_1-M_2 对可以看作有失衡的改进维德拉电流镜。



a）双极型　　b）CMOS型

图 5.32　基于失衡的电流基准

具体地讲，Q_2制造的发射极面积是Q_1发射极面积A_n的$m_n(\geqslant 1)$倍，所以它们的饱和电流的关系如下$I_{S2}=m_n I_{s1}$。同样，M_2的W/L比是M_1的m_n倍，因此它们的器件跨导参数的关系为$k_2=m_n k_1$。电流镜Q_3-Q_4和M_3-M_4也是不平衡的，同样地，$I_{s3}=m_p I_{s4}$和$k_3=m_p k_4$。这些不平衡迫使左分支电流为右分支电流的m_p倍，如图 5.32 所示。

- 首先观察图 5.32a 所示的双极型电流基准，我们得到，由于Q_2比Q_1具有更大发射极面积，这将需要一个较小的V_{BE}驱动来维持一个为Q_1电流m_p分之一的电流。因此，我们写出：

$$\Delta V_{BE}=V_{BE1}-V_{BE2}=V_T\ln\frac{m_p I_{REF}}{I_{s1}}-V_T\ln\frac{I_{REF}}{m_n I_{s1}}=V_T\ln(m_p m_n) \quad (5.53)$$

式中：$V_T=kT/q$是熟悉的热电压。注意，V_{BE}是与热力学温度成正比的，或简称 PTAT。我们使用的正是这个电压差，以建立基准电流为$I_{REF}=\Delta V_{BE}/R$，或

$$I_{REF(BJT)}=\frac{V_T\ln(m_p m_n)}{R} \quad (5.54)$$

- 接着，参见图 5.32b 所示的 MOSFET 电流基准，我们也观察到，因为M_2比M_1具有更大的W/L，这将需要一个较小的V_{GS}驱动，以维持一个为M_1电流m_p分之一的电流。忽视M_2的衬底偏置效应，可以写出：

$$\Delta V_{GS}=V_{GS1}-V_{GS2}=\left(V_t+\sqrt{\frac{2m_p I_{REF}}{k_1}}\right)-\left(V_t+\sqrt{\frac{2I_{REF}}{m_n k_1}}\right)$$
$$=\sqrt{\frac{2I_{REF}}{k_1}}\left(\sqrt{m_p}-\frac{1}{\sqrt{m_n}}\right) \quad (5.55)$$

我们使用精确的电压差去产生基准电流为$I_{REF}=\Delta V_{GS}/R$。消除V_{GS}并化简，得到：

$$I_{REF(MOS)}=\frac{2}{k_1 R^2}\left(\sqrt{m_p}-\frac{1}{\sqrt{m_n}}\right)^2 \quad (5.56)$$

我们可以为图 5.32 所示电路中m_p和m_n指定各种值。

- 在特殊的情形$m_p=1$，及$m_n>1$下，在维德拉电流镜中有意制造晶体管的失配来得到电压ΔV_{BE}和ΔV_{GS}。
- 在特殊的情形$m_n=1$及$m_p>1$下，若维德拉晶体管匹配，则通过有意加入失衡的电流驱动来产生ΔV_{BE}和ΔV_{GS}。

例 5.10 (a) 假设图 5.32a 所示电路，$m_p=2$，当室温下$V_{BE}=75\text{mV}$，$I_{REF}=0.25\text{mA}$时，指定m_n和R。

(b) 假设图 5.32b 所示电路，$m_p=1$及$k_1=1.25\text{mA/V}^2$，当$V_{GS}=0.3\text{V}$，$I_{REF}=0.1\text{mA}$时，指定m_n和R的值。

解：

(a) 利用式(5.53)，令$75=26\ln(2m_n)$。其中给出$m_n\approx 9$。而且，$R=(75/0.25)\Omega=300\Omega$。

利用式(5.55)，令$0.3=\sqrt{2\times 0.1/1.25}(1-1/\sqrt{m_n})$。这样$m_n=16$且$R=(0.3/0.1)\text{k}\Omega=3\text{k}\Omega$。◀

式(5.54)和式(5.56)意味着与电源电压无关的I_{REF}。实际上，由于 BJT 的基极宽度调制和 MOSFET 的沟道长度调制效应，I_{REF}将在某种程度上依赖电源电压。为了得到结论，参照图 5.33 所示的小信号等效电路，并且使用测试方法求出电源电压变化v所导致的I_{REF}的变化i。在这里，二极管连接的晶体管Q_1/M_1和Q_4/M_4由它们的(小)交流电阻$R_1=1/g_{m1}$、$r_4=1/g_{m4}$代替，电流镜晶体管Q_3/M_3由受控源$m_p i$与并联电阻r_{o3}代替，简并电阻

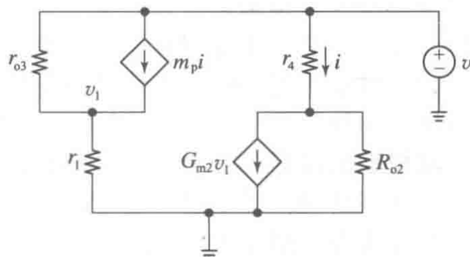


图 5.33 基于不匹配的电流基准的电源依赖性小型号模型

R 被纳入到晶体管 Q_2/M_2 中，有：

$$G_{m2} \approx g_{m2}/(1+g_{m2}R), \quad R_{o2} \approx r_{o2}(1+g_{m2}R)$$

为简单起见，我们忽略 M_2 衬底的效应。使用节点分析与 KVL，我们得到：

$$\frac{v-v_1}{r_{o3}} + m_p i = \frac{v_1}{r_1}, \quad i = G_{m2}v_1 + \frac{v-r_4 i}{R_{o2}}$$

通常 $r_{o3} \gg r_1$ 以及 $r_4/R_{o2} \ll 1$，因此上面的表达式简化为：

$$\frac{v}{r_{o3}} + m_p i \approx \frac{v_1}{r_1} \approx g_{m1}v_1, \quad i \approx G_{m2}v_1 + \frac{v}{R_{o2}}$$

消除 v_1，联立并化简，我们得到：

$$\frac{i}{v} = \frac{1+(g_{m2}/g_{m1})\times(r_{o2}/r_{o3})}{R_{o2}(1-m_p G_{m2}/g_{m1})} \tag{5.57}$$

很明显，R_{O2} 越大，电流对电源电压依赖越小。如果需要的话，我们可以使 Q_2 和 M_2 采用共源共栅结构，进一步减少这种依赖。

练习 5.2

对于式(5.57)，可证明在双极型的情况下其可以表示为：

$$\frac{i}{v} = \frac{(1+V_{An}/V_{Ap})\times[1+1/(g_{m2}R)]}{R_{o2}}$$

式中：V_{An} 和 V_{Ap} 分别是 npn 和 pnpBJT 的厄利(Early)电压。

例 5.11 (a) 如果例 5.10 所有的 BJT 都有 $V_A=50V$，估计 V_{CC} 变化 1V 引起的 I_{REF} 百分比变化。

(b) 如果例 5.10(b)问的所有 MOSFET 都有 $\lambda=1/(20V)$，估计 V_{DD} 变化 1V 引起的 I_{REF} 百分比变化。

解：

(a) 我们有 $g_{m2}=I_{REF}/V_T=(0.25/26)\Omega^{-1}=1/(104\Omega)$，$r_{o2}=V_A/I_{REF}=(50/0.25)k\Omega=200k\Omega$ 和 $r_{o2}=200\times(1+300/104)k\Omega=777k\Omega$，利用练习 5.2 的表达式，

$$\frac{i}{v} = \frac{(1+50/50)\times[1+1/(300/104)]}{777}k\Omega^{-1} = \frac{1}{288k\Omega}$$

令 $I_{REF}=(1V)/(288k\Omega)=3.47\mu A$，表明电压变化为 $100\times(3.47/250)\approx1.4\%$。

(b) 我们有 $g_{m1}=(2\times1.25\times0.1)^{1/2}mA/V=0.5mA/V$，$g_{m2}=(2\times16\times1.25\times0.1)^{1/2}mA/V=2mA/V=4g_{m1}$，$r_{o2}=r_{o3}=(20/0.1)k\Omega=200k\Omega$，$G_{m2}=(2/(1+2\times3))k\Omega^{-1}=1/(3.5k\Omega)$，以及 $R_{o2}=(200\times(1+2\times3))k\Omega=1.4M\Omega$。通过式(5.57)，

$$\frac{i}{v} = \frac{1+4\times1}{1\,400\times[1-1\times(1/3.5)/0.5)]}k\Omega^{-1} = \frac{1}{120\ k\Omega}$$

令 $I_{REF}=(1V)/(120k\Omega)=8.3\mu A$ 表明电压变化为 8.3%。◀

启动电路

通常称图 5.32 所示的电路是自偏置或自举的，因为每个电流镜都产生偏置，反过来也由其他电流镜偏置。特别是，如果其中一个电流镜不能打开，另外一个电流镜，以及电路将停留在这个不希望得到的状态。因此，我们需要一种机制，即一旦电路上电，将至少导通电流镜中的一个，迫使电路朝所期望的状态发展，并且保持在那种状态。这称为启动电路，一种最简单的形式是，用一个大阻抗 $R_{startup}$ 向电流镜中注入启动电流，图 5.34 显示了双极型的情形(显然，为了避免引入不能容忍的误差，这样的电流必须比 I_{REF} 更小)。

更好的做法是，仅当基准处于不希望的状态下，启动电路才生效，并且一旦基准已到达所需状态，则停止工作。在图 5.34b 所示的 CMOS 例子中，二极管连接的晶体管 M_7 和 M_8 构成的分压器为 M_9 提供合适的栅极偏压。若 M_1 关闭，V_{GS9} 应被设计成足够高，以导通 M_9，从而迫使两个电流镜不再处于截止状态。一旦 M_1 充分导通，V_{GS9} 应被设计成低于

V_{t9}，以便关闭 M_9，从而使电路的其余部分不受干扰。

由于电流 I_{REF}是在内部使用的，必须将其复制到外部。在图 5.34 所示电路中，当稳定电流被用于外部负载时，这一功能由 Q_5/M_5提供，而当它从外部负载流入时，通过 Q_6/M_6实现。

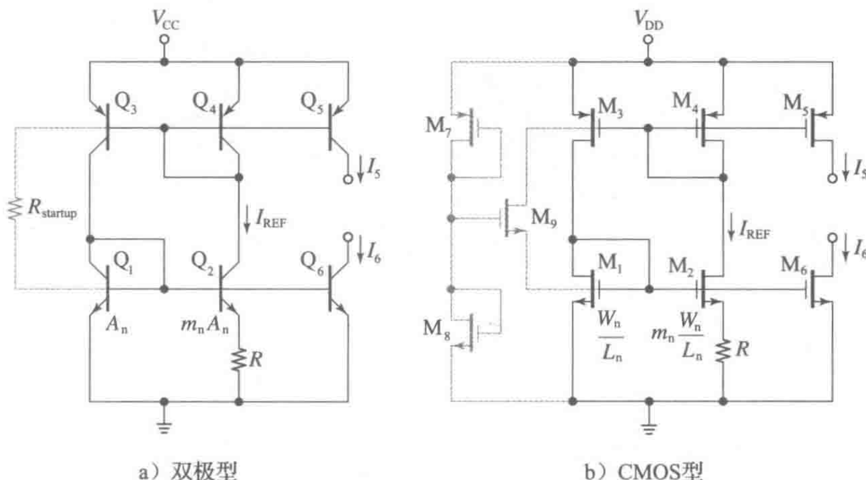


图 5.34　带启动电路的基于不匹配的电流基准例子

最后还需注意一点，即图 5.34 所示的电路中包含了正反馈，如果环路增益大于 1(详见第 7 章)，这种情况可能会导致不稳定。参考图 5.33 所示电路，我们观察到，电流首先由 Q_3放大到 m_pi，然后由 Q_1将其转换为 $v_1 \approx r_1 m_p i \approx m_p i/g_{m1}$，最后它经由 Q_2回到$G_{m2}v_1 \approx (m_pG_{m2}/g_{m1})$，因此电流 i 在整个环路经历了放大，这称为环路增益 T，$T=m_pG_{m2}/g_{m1}$。为了避免不稳定，我们必须确保 $T<1$(实际中，在例 5.11(a)间有 $T=0.257$A/A，例 5.11(b)间有 $T=0.571$A/A。)

带隙电压基准

电子仪器、测量，以及数据转换对基准的需求，不仅需要与电源电压无关，而且是热稳定的。我们给出如下观察结果。

- 图 5.31a 所示的基准是基于 V_{BE}得的，它是随温度升高而降低的(回想熟悉的经验法则)。运用式(1.66)，V_{BE}的温度系数表示为：

$$TC(V_{BE}) = \frac{\partial V_{BE}}{\partial T} = \frac{V_{BE}-(4+m)V_T-V_{G0}}{T} \approx -2\text{mV/℃} \tag{5.58}$$

- 图 5.31a 所示的基准是基于差值 $\Delta V_{BE}=V_T\ln(m_pm_n)$的，其反而随温度增加而增加，因为 $V_T=kT/q$(回忆一下，ΔV_{BE}是 PTAT)。V_T的温度系数是：

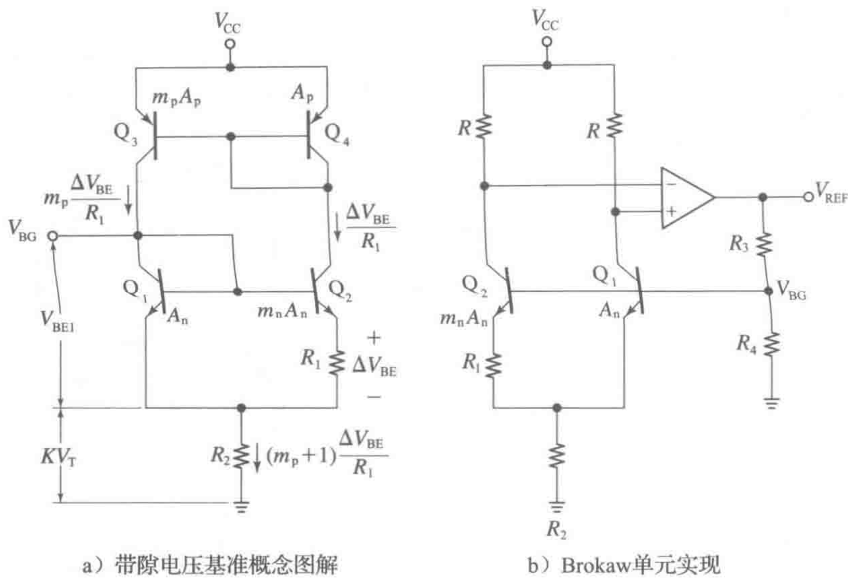
$$TC(V_T) = \frac{\partial V_T}{\partial T} = \frac{k}{q} = \frac{1.381\times10^{-23}}{1.602\times10^{-19}}\text{V/℃} \approx +85\mu\text{V/℃} \tag{5.59}$$

- 现在，如果我们可以产生一个电压值 KV_T，其中，

$$K = \left|\frac{TC(V_{BE})}{TC(V_T)}\right|$$

或 $K(2\text{mV/℃})/(85\mu\text{V/℃})=23.5$，且我们将它和 V_{BE}相加得到合成电压 $V_{BG}=KV_T+V_{BE}$，这样 V_{BG}将会与温度无关，因为它有两项温度系数大小相等而符号不同的部分组成。这一概念如图 5.35 所示，这是从图 5.32 所示电路得到的，修改处仅仅是使电路不再直接接地，而是插入了一个额外的串联电阻。

为了研究电路行为，注意到，通过 R_2的电流是通过 Q_1和 Q_2的电流之和，即$(m_p+1)(\Delta V_{BE}/R_1)$。由欧姆定律得，$R_2$上压降为 $R_2(m_p+1)(\Delta V_{BE}/R_1)$，由式(5.53)，其可以表示为$(m_p+1)\times(R_2/R_1)\times\ln(m_pm_n)V_T=KV_T$(见图 5.35a)。恰恰是将这个电压加给了 V_{BE1}，从而得到了一个热稳定的电压 V_{BG}。为了实现这一目标，我们必须利用



a）带隙电压基准概念图解　　b）Brokaw单元实现

图 5.35

$$K=(m_p+1)\frac{R_2}{R_1}\ln(m_pm_n)=\frac{-TC(V_{BE1})}{TC(V_T)}=\frac{V_{G0}+(4+m)V_T-V_{BE1}}{T(k/q)}$$

即

$$K=\frac{V_{G0}-V_{BE1}}{V_T}+4+m \tag{5.60}$$

当上述条件满足时，期望电压为：

$$V_{BG}=KV_T+V_{BE1}=\left(\frac{V_{G0}-V_{BF1}}{V_T}+4+m\right)V_T+V_{BE1} \tag{5.61}$$
$$=V_{G0}+(4+m)V_T$$

这只比带隙电压 V_{G0}（=1.205V）略高。这就是将其命名为带隙基准电压源的原因。注意到，式(5.61)中消去了两个电阻，它们本身就是温度的函数。比例常数 K 只取决于它们的比率，由于 IC 有热跟踪的优点，这可以保持相当稳定。

带隙的概念已被各种电路形式实现。一个常用的版本是图 5.35b 所示的布罗卡单元，它的发明者是保罗·布罗卡(Paul Brokaw)。这种结构使用一个运放来增强一些性能。首先，运放采用负反馈，以保证集电极与 V_{CC}保持在相近的电势内，从而保证电源抑制程度高(由于集电极阻抗是恒定的，我们现在有 $m_p=1$，所以 $I_{C1}=I_{C2}$)。其次，通过设定电阻 R_3和 R_4，运放可将 V_{BG}放大到一个更容易处理的值，如 $V_{REF}=2.50$，5.0V 等等。实际上，相对于 V_{BG}，运放是一个调幅放大器，由式(1.11)给出：

$$V_{REF}=(1+R_3/R_4)V_{BG}$$

最后，运放提供了低的输出阻抗，从而防止该单元受外部负载影响。布罗卡单元的另一个优点是，R_2两端的电压可以用作一个 PTAT 温度传感器。

例 5.12 假设图 5.35b 所示的布罗卡单元被制造为 $m_n=8$。假设 $m=-1.5$，$I_{S2}=2\text{fA}$，$V_T=26\text{mV}$，给出合适的电阻值，以实现 $V_{REF}=5.0\text{V}$，同时集电极电流为 0.1mA，集电极电阻 R 的电压降为 1V。

解：

$\Delta V_{BE}=V_T\ln(m_p\times m_n)=26\times\ln(1\times8)\text{mV}=54\text{mV}$，$R_1=\Delta V_{BE}/I_{E2}\approx(54/0.1)\Omega=0.54\text{k}\Omega$，以及 $R=(1/0.1)\text{k}\Omega=10\text{k}\Omega$。$V_{BE1}=V_T\ \ln[(0.1\times10^{-3})/(2\times10^{-15})]=640.5\text{mV}$。利用式(5.60)使

$$(1+1)\frac{R_2}{0.54}\ln(1\times 8)=\frac{1\,205-640.5}{26}+4-1.5$$

得到 $R_2=3.14\text{k}\Omega$。通过式(5.61)我们有 $V_{BG}=(1.205+(4-1.5)\times 0.026)\text{V}=1.27\text{V}$。最后，利用式(5.62)使 $5.0=(1+R_3/R_4)\times 1.27$ 可得 $R_3/R_4=2.94$。其中用到了 $R_4=10\text{k}\Omega$ 及 $R_3=29.4\text{k}\Omega$。◀

最后还有一个现象。式(5.60)提供了在特定的温度 T_0（通常是室温）所需的 K 值，以达到 $TC(V_{BG})=0$。由于 K 取决于 V_{BE1} 和 V_T，它们自身又是温度函数，$TC(V_{BG})$的零点将会远离温度 T_0 处。图 5.36 所示，V_{BG}的曲线为 T 的函数，表现为曲线相对于标准值发生了弯曲（鼓励学生查阅文献[1]-[3]，已获得有关补偿高阶效应的曲线校正技术）。

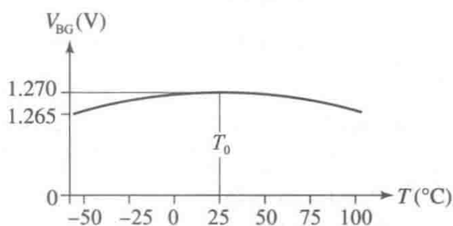
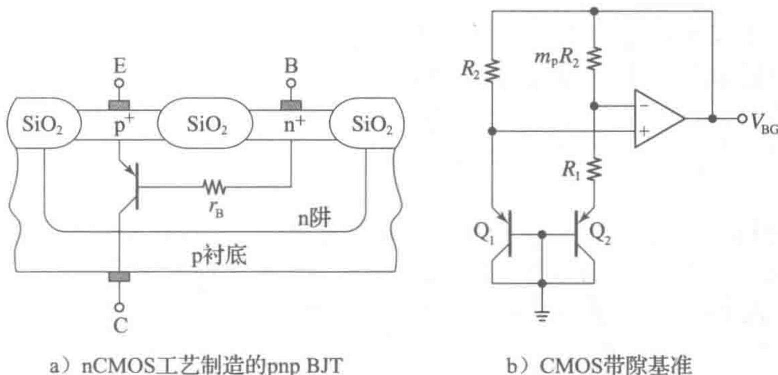


图 5.36　带隙基准的热变化

CMOS 带隙基准

图 5.35 所示的带隙单元是无法用 MOS 形式复制的，因为式(5.55)的电压 V_{GS}不是 PTAT 的。我们需要 BJT 产生 V_{BE}和 ΔV_{BE}。幸运的是，图 3.2 所示的 MOS 结构适合于制造所谓的阱双极结型晶体管。图 5.37a 显示了 n 阱，通常用于制造 pMOSFET，仅仅通过使用一个 p^+ 源/漏注入作为发射极，n^- 阱本身作为基区，p^- 衬底作为集电极，就可变成一个 pnp 型晶体管。我们知道，p^- 型衬底必须连接到最负的电压(MNV)，以防止共用同一 p 衬底 nMOSFET 中的衬-源结会正向偏置。因此，图 5.35 所示的带隙结构必须进行修改，以满足 MNV 条件。常用的解决方案如图 5.37b 所示。



a）nCMOS工艺制造的pnp BJT　　b）CMOS带隙基准

图 5.37

通常这两个 BJT 在制造时发射结面积相等，所以为了产生 ΔV_{BE}，需要用不相等的电阻来偏置 BJT。通过负反馈，运放保持其自身输入端的电位相同，所以 Q_2的工作电流只有 Q_1的 m_p分之一。运用式(5.53)，我们有 $\Delta V_{EB}=V_T\ln(m_p)$，因此，通过 Q_2的电流为 $\Delta V_{EB}/R_1$，通过 Q_1的电流为 $m_p\Delta V_{EB}/R_1$。最后，由 KVL 给出，$V_{BG}=V_{EB1}+R_2m_p\Delta V_{EB}/R_1$，即

$$V_{BG}=V_{EB1}+KV_T,\quad K=m_p\frac{R_2}{R_1}\ln(m_p) \tag{5.62}$$

阱双极结型晶体管在长的轻掺杂基区上通常有高的体电阻 r_B，因此，为了最大限度地降低 r_B上的压降，习惯上用适当较低的电流偏置阱双极结型晶体管。

例 5.13 假设图 5.36b 所示电阻均有 $m_p=10$。假设 $m=-1.5$，$I_{S1}=1\text{fA}$，以及 $V_T=26\text{mV}$，给出合适的电阻值使通过 Q_1电流为 $100\mu\text{A}$。

解：

我们有 $\Delta V_{EB}=26\ \ln(10\times 1)\text{mV}=59.9\text{mV}$，$R_1=\Delta V_{EB}/I_{E2}=\Delta V_{EB}/(I_{E1}/10)=((59.9\times 10^{-3})/(10\times 10^{-6}))\Omega=5.99\text{k}\Omega$，及 $V_{EB1}=V_T\ln[(100\times 10^{-6})/10^{-15}]=658.5\text{mV}$。对 K 的计算

得到：

$$(10+1)\times\frac{R_2}{5.99}\ln(10\times 1)=\frac{1\ 205-658.5}{26}+4-1.5$$

得出 $R_2=5.56\text{k}\Omega$ 以及 $m_pR_2=55.6\text{k}\Omega$。◀

5.6 电流模集成电路

线性电路中的电压和电流在数学上是等效的，因为控制电压的定理对应着控制电流的定理，反之亦然(常见的对偶定理有基尔霍夫电压/电流定律，节点/环路方法，以及戴维南/诺顿定理)。然而，当今电子设备的基本器件晶体管是非线性器件，其对电压和电流的处理是不同的。具体地说，BJT 的指数特性和 MOSFET 的二次特征表明，电流相比电压有着更宽的动态范围：例如，在 MOSFET 过驱动电压中，10 至 1(20dB)的变化会导致沟道电流 100 到 1(40dB)的变化。在物理电路中，它也证明电流的处理本质上比电压的处理要快：这是因为阻止环路电流快速变化的杂散电感，要比抑制节点电压快速变化的寄生电容，所产生的影响要小得多(这些方面将在第 6 章进行详细的研究)。这些范围和速度方面的优势为电流模式电路提供了有力的助力，即电路会更强调处理电流而非电压(有趣的是，工程领域传统上有偏向电压的观点，主要源于电压模式电路在工业上已很成熟和普遍(这要领先电流模电路)的事实。一个典型的例子是运放，其是电压输入/电压输出模块。电流型模拟 IC 发展的延迟也有技术的原因，如制作同等品质的 pnp BJT 及其对应 npn 的能力还不够先进)。在本节中，我们研究电流模电路，如跨导器、电流传输器(CCS)、运算跨导放大器(OTA)、电流反馈放大器(CFA)和吉尔伯特单元。

跨导器

跨导器是一个电压输入/电流输出的电路。为了防止负载效应，一个跨导应该在输入端和输出端表现出足够高的(最好是无限的)电阻。最简单的跨导是晶体管本身。但是，晶体管工作时 i_C-v_{BE}或 i_D-v_{GS}特性只存在于一个象限。为了解决这个问题，我们将晶体管偏置在有源区的某个特定工作点，这一点可以正向或负向变化，这样就实现了四象限的工作模式。但是，我们需要保持这些变化适当小，以保证电路近似线性工作，这是小信号模型的基础。

如果设法使得(a)工作点正好建立在 i-v 特性原点，(b)满足小信号条件，那么电路可以更加通用和灵活。图 5.38 画出了一个同时满足以上要求的电路(虽然双极型的，但只需用 MOSFET 替代 BJT 就可得到 CMOS 的版本)。我们给出以下观察结果。

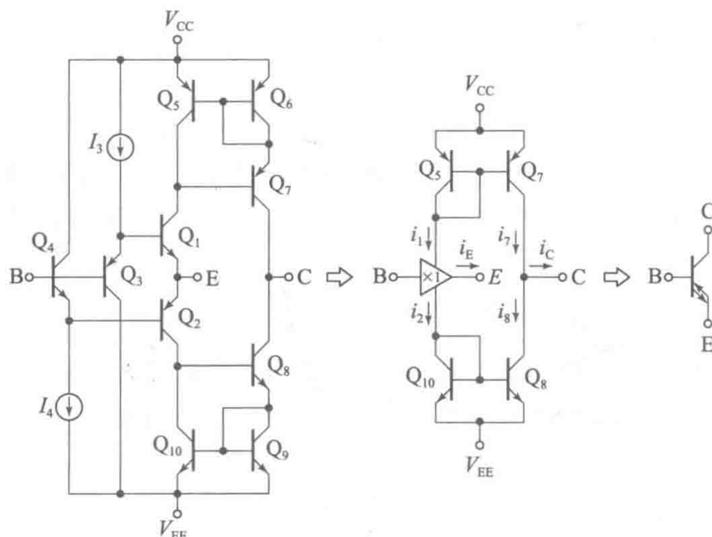


图 5.38 双极型跨导器，简化电路表示，以及会用到的电路符号

- 为了处理不同极性的发射极电流，利用甲乙类对 Q_1-Q_2，在电路到节点 E 之间，Q_1

提供电流，而 Q_2 抽取电流(这类似于第 4 章的推挽输出级)。

- 射极跟随器 Q_3-Q_4 产生一对结电压，用来偏置甲乙类工作状态的 Q_1-Q_2 对。它们还提供了一个达林顿效应作用，以提高输入电阻并降低节点 B 的输入偏置电流，显然 Q_1 到 Q_4 构成一个单位增益的电压缓冲器，如右边简化的等效电路所述。假设匹配压降为 $V_{EB3}=V_{BE1}$ 和 $V_{BE4}=V_{EB2}$，因此，我们有：

$$v_E = v_B \tag{5.63}$$

- 威尔逊电流镜 Q_5-Q_6-Q_7 及 Q_{10}-Q_9-Q_8 分别复制了 Q_1 和 Q_2 的集电极电流，并将它们传输到输出节点 C，此时电流相减得到输出电流 $i_C=i_7-i_8=i_1-i_2$。
在电压缓冲器的超节点处应用 KCL，并假定可忽略基极电流，可以得到 $i_1=i_2+i_E$，或 $i_1-i_2=i_E$。消除差值 i_1-i_2 得到：

$$i_C = i_E \tag{5.64}$$

最后，节点 C 的输出电阻是威尔逊电流镜电阻并联 $R_{c7}\approx(\beta_{o7}/2)r_{o7}$ 及 $R_{c8}\approx(\beta_{o8}/2)r_{o8}$。像之前一样使用下标 n 和 p 表示，我们写出：

$$R_c \approx \left(\frac{\beta_{on}}{2}r_{on}\right) /\!/ \left(\frac{\beta_{op}}{2}r_{op}\right) \tag{5.65}$$

显而易见，跨导器可以视为一种理想化的晶体管形式，具有如下特点：(a)零 BE 电压降，(b)比普通晶体管高得多的输入和输出电阻(这要得益于输入端的达林顿电路和输出端的威尔逊电路)，(c)全四象限工作状态(例如，如果我们在节点 E 和地之间加入电阻性负载，当 $v_B<0$ 时，i_C 和 i_E 流出跨导器，但 $v_B>0$ 时，将流入跨导器)。跨导器也称为宏观晶体管，钻石晶体管或是电流传输器 II+，它可采用 CC，CB 和 CE 结构来使用，或作为其他电流模式 IC 设计组成模块。

电流反馈运算放大器(CFA)

将图 5.38 所示跨导器的节点 C 接上另一个电压缓冲器会得到图 5.39 所示的形式，变成了一个电压输出电路。该电路称为电流反馈放大器(CFA)，它在某些高速应用下代替了常规运放。为了研究这个电路，参照图 5.4a 所示的简化等效电路，这里明确标明了节点 C 到地之间的净电阻 R_{eq}。参考图 5.39，我们通过观察，得出：

$$R_{eq} = R_{c7} /\!/ R_{c8} /\!/ R_{b13} /\!/ R_{b14} \tag{5.66}$$

式中：R_c 和 R_b 分别为从集电极和基极看进去的电阻。再通过观察，有：

$$v_O = R_{eq} i_N \tag{5.67}$$

接下来考虑图 5.40b 所示典型的反馈连接，我们将流入节点 v_N 的电流相加，可得：

$$i_N + \frac{0-v_N}{R_1} + \frac{v_O-v_N}{R_2} = 0$$

令 $v_N=v_P=v_I$，求解 i_N，并代入式(5.67)，得到闭环增益为：

$$A = \frac{v_O}{v_I} = \left(1+\frac{R_2}{R_1}\right)\frac{1}{1+R_2/R_{eq}} \tag{5.68}$$

在设计良好的电路中，R_2 为 $10^3\,\Omega$ 数量级，而 R_{eq} 是 $10^5\sim10^6\,\Omega$ 数量级，所以 $R_2\ll R_{eq}$。在这种条件下，A 趋向于非常熟悉的运放表达式，即

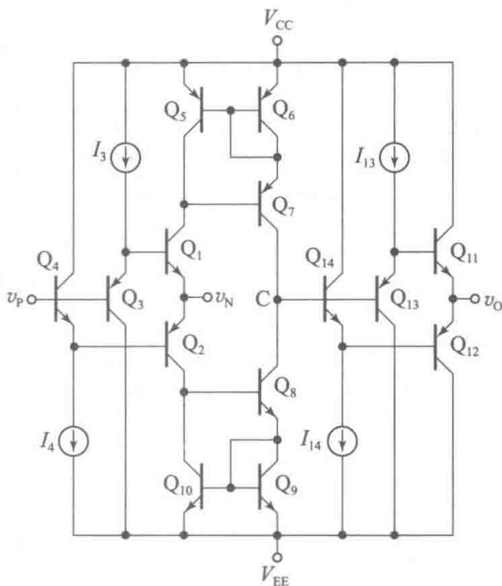
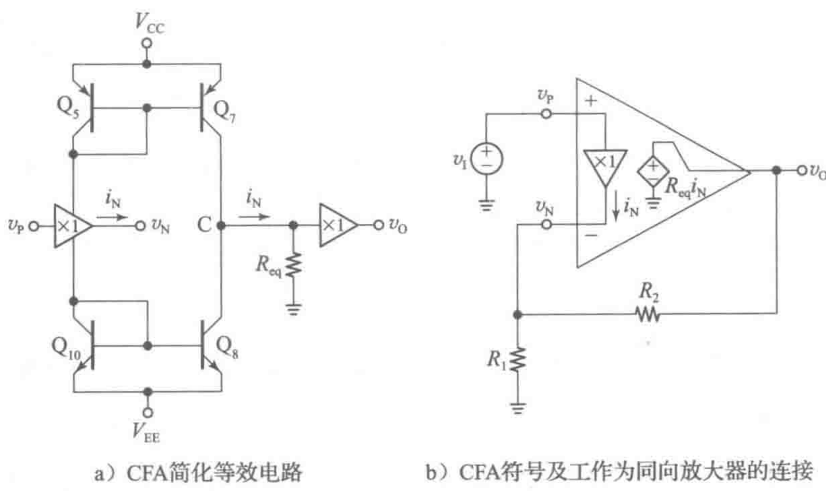


图 5.39　电流反馈放大器

$$A \approx 1+\frac{R_2}{R_1} \tag{5.69}$$

相比普通的运放，CFA 的独特优势(也称为电压反馈放大器或 VFA)是具有快速动态响应。

这些优点，不能立即从目前的讨论中显而易见，需要从电流模式工作来讨论，这将在第 6 章中得到阐释。



a）CFA简化等效电路　　　　b）CFA符号及工作为同向放大器的连接

图　5.40

CFA 衍生出的电压反馈放大器

图 5.38 所示跨导器另一个重要应用是，作为高速电压反馈型放大器(VFA)的组成模块。图 5.41 所示的 VFA 来自图 5.39 所示的 CFA，只是加入了第三级电压缓冲器(Q_{15}-Q_{16}-Q_{17}-Q_{18})，将节点 V_N变为高阻输入，并在第一级缓冲器输出端和这个新缓冲器之间插入一个电阻 R，来产生先前标为 i_N的控制电流。该电流(假定从左流向右)为$(v_P-v_N)/R$，并被传输到节点 C，在这里产生电压 $R_{eq}(v_P-v_N)/R$。这个电压接着被缓冲到输出节点得到 v_O，因此，所得运放的开环增益为：

$$a=\frac{v_O}{v_P-v_N}=\frac{R_{eq}}{R} \tag{5.70}$$

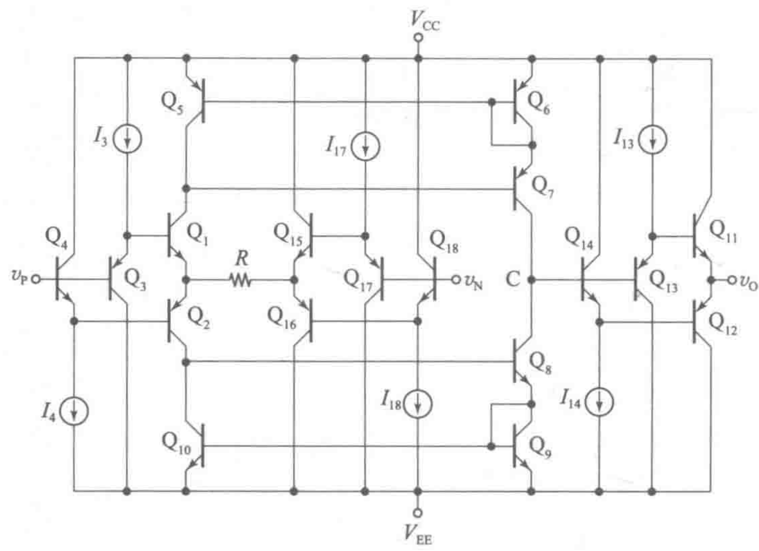


图 5.41　CFA 衍生的电压反馈放大器

同时，一个良好设计的电路有 $a\gg1$。因为其具有快速的电流模式工作状态，这种类型的运放特别适用于高速应用。

差分输入跨导器

如果我们将跨导器设置为响应差分式输入，则它的通用性能够明显增强。图 5.42 所

示电路的这种常用的结构称为运算跨导放大器(OTA)，这个功能由差动对 Q_1-Q_2 实现。为确保高共模抑制比，该差分对由高输出电阻的威尔逊电流镜 Q_3-Q_4-Q_5 提供偏置。Q_2 的电流由威尔逊电流镜 Q_9-Q_{10}-Q_{11} 复制，并传送到输出节点；Q_1 的电流首先被电流镜 Q_6-Q_7-Q_8 复制，然后由电流镜 Q_{12}-Q_{13}-Q_{14} 传送到输出节点，在那里它被从 Q_9-Q_{10}-Q_{11} 输送来的电流抵消了一部分。暂时忽略二极管 D_1 和 D_2，我们运用式(4.73)，写出：

$$i_O = i_{C11} - i_{C12} = i_{C2} - i_{C1} = I \times \tanh\left(\frac{v_P - v_N}{2V_T}\right) \tag{5.71}$$

式中：I 是由用户提供以偏置 Q_1-Q_2 对的电流。i_O 对应 $v_P - v_N$ 差值的曲线是图 4.44 所示的熟悉的 S 形曲线。这条曲线是非线性的，但如果我们限制输入电压范围为 $|v_N - v_P| \ll 4V_T$(100mV)，那么小信号近似仅为级数展开 $\tanh x = x - x^3/3 + \cdots$ 的第一项，且写为：

$$i_o = \frac{I}{2V_T}(v_p - v_n) \tag{5.72}$$

图 5.42 运算跨导放大器(OTA)

我们给出一些重要的观察结果。

- 小信号工作时，跨导增益为：

$$G_m = \frac{i_o}{v_p - v_n} = \frac{I}{2V_T} \tag{5.73}$$

  是线性的，正比于偏置电流 I，因此，它可以由用户从外部控制。事实上，BJT 很容易允许电流范围超过 50(>100dB)，这使得运放特别适合于各种各样的可编程电路，诸如可编程放大器、可编程振荡器和可编程滤波器，尤其是在宽动态范围的应用中，如音频和电子音乐。
- 小信号约束可能在某些应用中存在弊端。超过这个约束所带来的影响可通过图 5.43a 所示的 PSpice 电路来描述。它使用输入电压分压器，将 10V 三角信号等比缩小到一个约 44mV 的输入差 $v_{B1} - v_{B2}$ 信号。由于 44mV 不比 $4V_T$(100mV)小很多，所得到的电流差 $i_{C1} - i_{C2}$ 是一个明显失真的三角形(图 5.44 所示阴影的波形画出了未失真的输入电压，以及未失真的输出电流)。

a)　b)

图 5.43 研究一个 10V 三角波输入的差分对失真的 PSpice 电路

- 如果希望得到不失真的电流波形，输入电压必须按照反向双曲正切函数来预防失真。图 5.43b 所示二极管连接的 BJT 对 D_1-D_2可近似实现这个功能。它的作用如图 5.44 的实线所示，是用近似反双曲正切的方式将输入的峰值从约 44mV 拉到约 60mV，60mV 即是所要求的未失真电流波形。

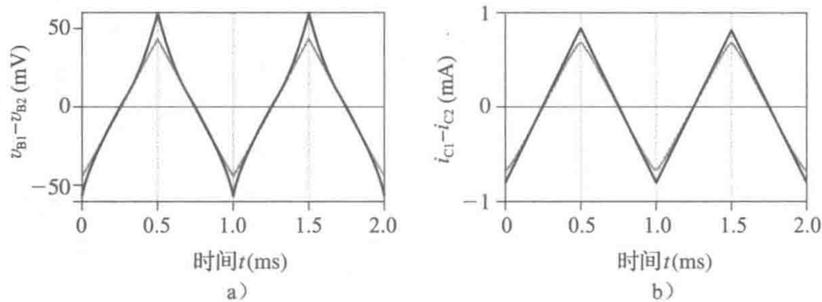


图 5.44　图 5.43 所示 PSpice 电路的波形(阴影轨迹属于图 5.43a 所示的电路，实线轨迹属于图 5.43b)

可变跨导乘法器

图 5.42 所示运算跨导放大器称为模拟乘法器，因为根据式(5.72)，i_o是正比于 $I\times(v_p-v_n)$的。v_p-v_n的差值可假定为任一极性，但电流 I 必须始终流出差分对($I\geqslant 0$)，因此 OTA 被认为是二象限乘法器。在一些应用条件下，如通信过程中，则需要全四象限模拟乘法器。这个功能可以通过图 5.45 所示的电流模式电路实现。常用的吉尔伯特单元是由巴里・吉尔伯特(Barrie Gilbert)发明的，这个最经典的电流模式电路包括(a)由大小相同电压 v_x驱动的两个发射极耦合(EC)的差动对Q_1-Q_2和 Q_3-Q_4，但是由于它们的相位是相反的，所以输出电流是两个 EC 差动对电流相减后的电流，(b)第三个 EC 对(Q_5-Q_6)，它由电压 v_Y控制，将偏置电流 I 成比例地引入差分对。根据 v_Y的极性，其中的一对(EC 差动对)输出将超前于另一对，从而允许输出电流差 $i_{O1}-i_{O2}$达到任一极性，提供了四象限工作状态。

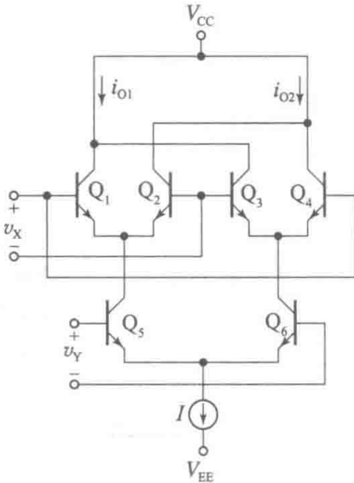


图 5.45　吉尔伯特单元

为了获得输出电流和输入电压之间的关系，我们利用 KCL，写出：

$$i_{O1}-i_{O2}=(i_{C1}+i_{C3})-(i_{C2}+i_{C4})$$
$$=(i_{C1}-i_{C2})-(i_{C4}-i_{C3})$$

若忽略基极电流，我们利用式(5.71)，可以写出：

$$i_{O1}-i_{O2}=i_{C5}\tanh\left(\frac{v_X}{2V_T}\right)-i_{C6}\tanh\left(\frac{v_X}{2V_T}\right)=(i_{C5}-i_{C6})\tanh\left(\frac{v_X}{2V_T}\right)$$

也就是，

$$i_{O1}-i_{O2}=I\tanh\left(\frac{v_Y}{2V_T}\right)\tanh\left(\frac{v_X}{2V_T}\right) \tag{5.74}$$

这个单元有如下三类应用。

- 两输入都是小信号类型，即 $|v_x|\ll 4V_T$及 $|v_y|\ll 4V_T$，因此，近似有 tanh≈x，且可写出：

$$i_{o1}-i_{o2}\approx I\times\frac{v_x}{2V_T}\times\frac{v_y}{2V_T} \tag{5.75}$$

显然，在这种方式下这个单元作为一个四象限的乘法器工作。

- 输入信号中的一个(v_x)是一个小信号连续波，诸如一个正弦波，而另一个输入(v_Y)是一个足够大的方波去过驱动 Q_5-Q_6对，以使它的 BJT 中的一个关断。于是，当

$v_Y>0$时，Q_6关闭，Q_5把所有的电流 I 引入 Q_1-Q_2 对，并得到 $i_{o1}-i_{o2}=+Iv_x/(2V_T)=+g_m v_x$。相反，当 $v_Y<0$，Q_5关断，Q_6将所有的电流 I 引入 Q_3-Q_4对，得到 $i_{o1}-i_{o2}=-Iv_x/(2V_T)=-g_m v_x$，负号源于输入端的反向连接。这种类型常应用在通信应用中，如调制器/检测器。

- 两个输入都为大信号类型。然后，当 v_X 和 v_Y 具有相同的极性时，该单元给出 $i_{O1}-i_{O2}=I-0=I$，而当 v_X 和 v_Y 具有相反的极性时，它给出 $i_{O1}-i_{O2}=0-I=-I$，该功能类似于数字电路的“异或”函数。这种类型常应用在相位检测器中，如锁相环系统。

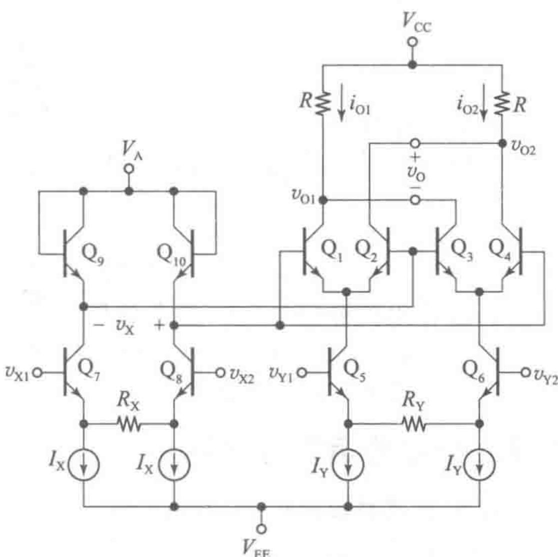


图 5.46 四象限模拟乘法器

在运算跨导放大器中，小信号约束在某些乘法器应用中可能是一个严重的限制，因此，约束必须满足更大输入幅度的要求，同时放大倍数还要维持精确。图 5.46 所示是一个常用的吉尔伯特单元，其满足上述所有要求。我们给出以下观察结果。

- Q_5-Q_6对通过 R_Y形成射极简并，以扩大它的输入信号范围到所需要的范围。再次忽略基极电流，我们应用 KCL，欧姆定律和 KVL，得到：

$$i_{C5}-i_{C6}=\left(I_Y+\frac{v_{E5}-v_{E6}}{R_Y}\right)-\left(I_Y+\frac{v_{E6}-v_{E5}}{R_Y}\right)=2\,\frac{v_{E5}-v_{E6}}{R_Y}$$
$$=\frac{(v_{Y1}-v_{BE5})-(v_{Y2}-v_{BE6})}{0.5R_Y}$$

重组并利用 $V_{BE}=V_T\ln(i_C/i_s)$，我们得到：

$$i_{C5}-i_{C6}=\frac{(v_{Y1}-v_{Y2})-(v_{BE5}-v_{BE6})}{0.5R_Y}=\frac{(v_{Y1}-v_{Y2})-V_T\ln(i_{C5}/i_{C6})}{0.5R_Y}$$

在一个设计良好的电路中，后一个分子项可以忽略(见题 5.39)，因此近似有：

$$i_{C5}-i_{C6}=\frac{v_{Y1}-v_{Y2}}{0.5R_Y} \tag{5.76}$$

表明发射极简并对 Q_5-Q_6可充当一个线性的 V/I(电压/电流)转换器。

- 同样地，Q_7-Q_8对是一个 V/I 转换器，其给出 $i_{C7}-i_{C8}=(v_{X1}-v_{X2})/(0.5R_X)$，并驱动二极管连接的 Q_9-Q_{10}对。利用 KVL，及 $v_{BE}=V_T\ln(i_C/I_s)$，我们有：

$$v_X=v_{E10}-v_{E9}=(V_A-v_{BE10})-(V_A-v_{BE9})=v_{BE9}-v_{BE10}$$
$$=V_T\ln\frac{i_{C9}}{i_{C10}}=V_T\ln\frac{i_{C7}}{i_{C8}}$$

但是，KCL 给出，$i_{C7}=I_X+(v_{X1}-v_{X2})/R_X$及 $i_{C8}=I_X-(v_{X1}-v_{X2})/R_X$，因此

$$v_X=V_T\ln\frac{I_X+(v_{X1}-v_{X2})/R_X}{I_X-(v_{X1}-v_{X2})/R_X}=V_T\ln\frac{1+(V_{X1}-v_{X2})/(R_XI_X)}{1-(v_{X1}-v_{X2})/(R_XI_X)}$$

利用等式 $\ln[(1+x)/(1-x)]=2\text{arctan}x$，$|x|<1$，我们有：

$$v_X=2V_T\ \text{arctan}\,\frac{v_{X1}-v_{X2}}{R_XI_X} \tag{5.77}$$

- 将式(5.76)和式(5.77)代入式(5.74)，我们得到：

$$i_{O1}-i_{O2}=(i_{C5}-i_{C6})\tanh\frac{v_X}{2V_T}=\frac{v_{Y1}-v_{Y2}}{0.5R_Y}\tanh\frac{2V_T\ \text{arctan}[(v_{X1}-v_{X2})/(R_XI_X)]}{2V_T}$$

即

$$i_{O1}-i_{O2}=\frac{v_{Y1}-v_{Y2}}{0.5R_Y}\times\frac{v_{X1}-v_{X2}}{R_X I_X} \tag{5.78}$$

显而易见，双曲正切函数和它的反函数 arctanh 相互抵消，只留下一个参数 $(v_{X1}-v_{X2})/(2R_X)$。总之，X 输入首先被 Q_9-Q_{10} 二极管用 arctanh 方式处理，生成一个预失真信号 v_X；Q_1-Q_2 和 Q_3-Q_2 对再用 tanh 的方式处理，来产生一个整体不失真输出。进而，输出会再由 Y 输入调整。

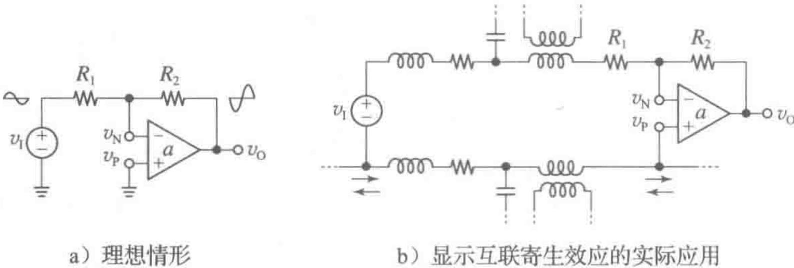
- 在实际应用中，输出电流差 $i_{O1}-i_{O2}$ 被转换为电压。图 5.46 所示的 I/V 转换是通过终接一对匹配电阻 R 到单元的输出端获得的，双端输出电压为：

$$v_O=v_{O2}-v_{O1}=R(i_{O1}-i_{O2})$$
$$=\frac{R}{0.5R_X R_Y I_X}\times(v_{X1}-v_{X2})\times(v_{Y1}-v_{Y2}) \tag{5.79}$$

若希望获得单端电压输出类型，那么可以用一个差分的运放来实现 I/V 转换。反之，若希望获得一个单端电流输出，那么我们可以利用威尔逊电流镜，如图 5.42 所示的运算跨导放大器。

5.7　全差分运算放大器

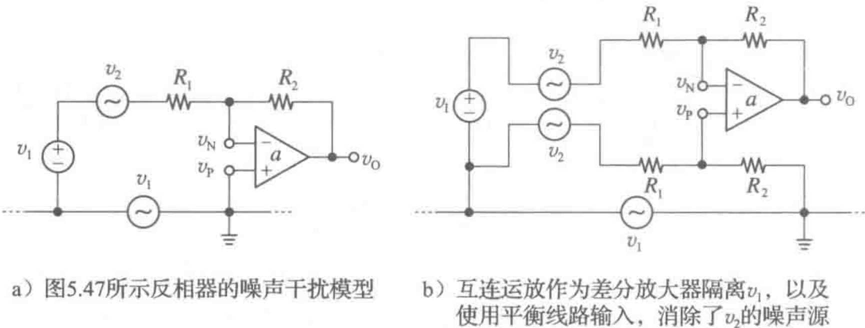
电子方式对模拟信息进行编码的常用方法是通过单端电压完成的，如接地参考电位。一个典型的例子是图 5.47a 所示的反相放大器，其输入 v_I 和输出 v_O 都参考地电位。对于大的 a，它们的关系为 $v_O=(-R_2/R_1)v_I$。在实际应用中的电路很可能是一个较大的系统中的一部分，它可能受到各种形式的噪声干扰，而噪声可能与有用信号混叠。



a）理想情形　　b）显示互联寄生效应的实际应用

图 5.47　基本运放电路

首先，地线互连远不是完美的导体，存在分布电阻、电感和电容，并与系统中的其他子电路共享。由于其他电路的电流在地线上来回流动，正如图 5.47b 所示的总模型那样，它们的分布式线阻抗产生了不期望的电压降。图中还画出了杂散相互电感和杂散节点电容，它们提供了额外的路径，使得周边电路可将干扰噪声注入到电路中。我们用单个地噪声源 v_1 模拟所有噪声源的累积效应，如图 5.48a 所示。来自相邻电路的干扰噪声也影响到电源跟放大器连接的信号线，因此我们通过线（电源连接线）噪声源 v_2 来模拟。



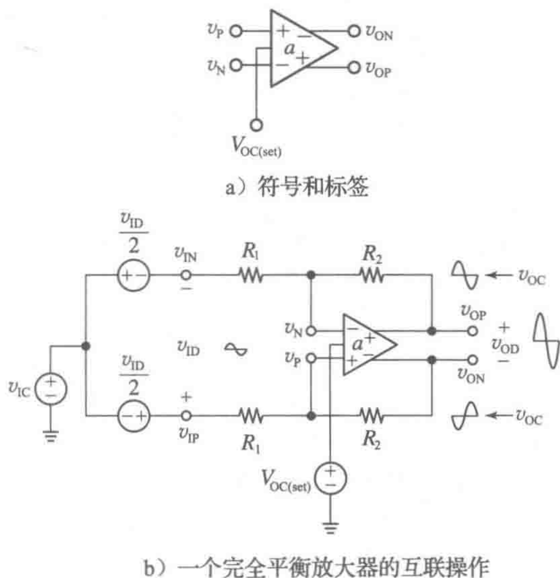
a）图5.47所示反相器的噪声干扰模型　　b）互连运放作为差分放大器隔离 v_1，以及使用平衡线路输入，消除了 v_2 的噪声源

图　5.48

由于噪声沿地线分布，参考节点的概念变得非常模糊。为了便于讨论，让我们任意地选择节点 v_p 作为地参考，如图 5.48a 所示。这样，利用 KVL，我们求出 $v_O=(-R_2/R_1)\cdot(v_1+v_I+v_2)$，表明两噪声与有用信号得到相同数量的放大，其中输入信号强度也许和噪声强度是不相上下的。处置地噪声的最好方法是将 v_1 当作一个共模信号，且利用一个高共模抑制比的差分放大器去抑制它，如图 5.48b 所示，这要求使节点 v_p 不再接地，并且通过额外的专用线和 R_1-R_2 对来驱动它，如图 5.48b 所示。第二条线(电源连接线)当然也会像之前的线一样拾取噪声，但是如果两条线是相同的并且彼此靠近，恰当地称为平衡线的噪声，那么两条线上耦合的噪声将会相同，此时 $v_O=(R_2/R_1)[(v_1+v_2)-(v_1+v_I+v_2)]=(-R_2/R_1)v_I$。总之，$v_1$ 由于放大器的共模抑制比的存在而被抑制，v_2 由于平衡线的存在而被简单地消除。

全差分放大器概念

图 5.48b 所示的经典差分放大器用于处理输入差分信号，但仍然是单端输出。在今天的数模混合 IC 中，模拟电路被制造在固有噪声的数字电路旁边，并且低电压电源、低信号振幅和高干扰噪声的组合(环境)使得双端信号传输在输入和输出端口都是必要的。此类电路的主体是全差分运放，这在图 5.49a中象征性地表画出来了。这也称为完全平衡的运放，它像一个普通的运放那样响应差分输入，给出 $v_{OP}=-a(v_P-v_N)$。然而，与普通的运放不同，它还有第二个平衡的输出，$v_{ON}=-a(v_N-v_P)=-v_{OP}$，此外，它带有一个控制输入，供用户指定共模输出电压 $V_{OS(set)}$。



b) 一个完全平衡放大器的互联操作

图 5.49　全差分运放

全差分运放除了平衡传输，从而免疫噪声的优点外，还可以提供(a)更宽的输出信号摆幅，(b)减小了二次谐波失真。为了了解这是怎样实现的，考虑到电路固有的非线性性，用更一般的形式重写输出，即 $v_{OP}=a(v_P-v_N)+b(v_P-v_N)^2+c(v_P-v_N)^3\cdots$ 和 $v_{ON}=a(v_N-v_P)+b(v_N-v_P)^2+c(v_N-v_P)^3\cdots$。然后，差分输出相减，简化后，有 $v_{OP}-v_{ON}=2a(v_P-v_N)+2c(v_P-v_N)^3\cdots$，表明差分输出信号的摆幅是单端输出的 2 倍，同时也消除二阶谐波分量部分。

工作在负反馈下的全差分运放具有两个相同的网络，图 5.49b 画出了电阻反馈的情形(这两个网络是负反馈类型的，因为每个连接是从输出端连到相反极性的输入端)。为了方便说明，外部输入 v_{IP} 和 v_{IN} 已分解为它们的差模和共模组成部分，即

$$v_{ID}=v_{IP}-v_{IN},\quad v_{IC}=\frac{v_{IP}+v_{IN}}{2} \tag{5.80a}$$

同样地，输出端的差模和共模部分分别是：

$$v_{OD}=v_{OP}-v_{ON},\quad v_{OC}=\frac{v_{OP}+v_{ON}}{2} \tag{5.80b}$$

如果开环增益 a 足够大，差模组成表示如下：

$$v_{OD}=\frac{R_2}{R_1}v_{ID} \tag{5.81}$$

注意，由于单端输出信号具有相反的相位，如图 5.49b 所示，差分输出摆幅 v_{OD} 是单端输出的 2 倍。我们还观察到，鉴于 v_{IC} 是由输入信号源建立的，v_{OC} 是不确定的，因此，它需

要由用户从外部给定。

全差分双极运算放大器

图 5.50 显示了图 4.71a 所示的折叠共源共栅双极结构是怎样变成一个全差分运放的。第一个重要的变化是在 Q_5 有所不同，原来是二极管连接的，但现在就像 Q_6 一样，是一个电流沉有源负载。这形成了一个理想的对称结构(为了避免混淆，偏置网络的详情被省略了，因此只画出了基极偏置电压 V_{B78} 和 V_{B34}，而且，在实际实现中，Q_5 和 Q_6 可能被级联，来提高增益，但这里我们只专注于基本原理)。Q_3-Q_5 和 Q_4-Q_6 对的高电阻集电极节点通过单位增益的推挽级进行(输出)缓冲，得到 v_{OP} 和 v_{ON}。另一个重要的特征是由匹配的 R-R 对和误差放大器(EA)，形成了所谓的共模反馈网络(CMFN)。它的功能是将 v_{OP} 和 v_{ON} 向上或向下移动，使其适当地集中在允许的输出电压范围(OVR)内(某一点上)，这一点通常在中间位置，以便最大化输出电压摆幅。具体而言，电阻对合成电压$(v_{OP}+v_{ON})/2$，然后由误差放大器(EA)与外部提供的电压 $V_{OC(set)}$ 进行比较，并调整其输出 v_{EA}，迫使$(v_{OP}+v_{ON})/2$ 接近 $V_{OC(set)}$。为了理解是怎么实现的，回想起 v_{OP} 和 v_{ON} 分别是由 Q_3、Q_4 平衡上拉和 Q_5、Q_6 平衡下拉而产生的电压。因此，提高/降低 v_{EA} 使得下拉比上拉更强/更弱，向下/向上转移 v_{OP} 和 v_{ON} 出输出电压范围。在控制理论术语中，负反馈环包括 R-R 对、EA、Q_5-Q_6 对和缓冲器，这也称为伺服回路。

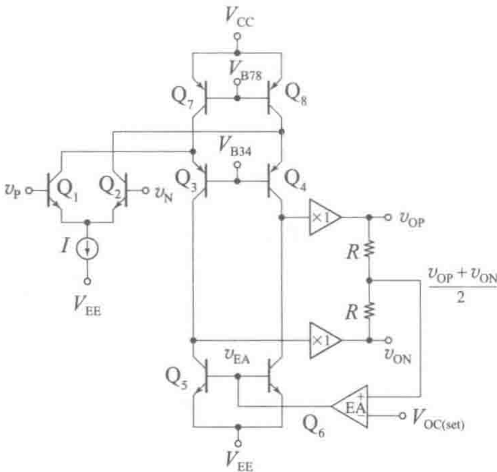


图 5.50 简化的全差分双极运放

全差分 CMOS 运算放大器

图 5.51 显示了图 5.17 所示的折叠共源共栅运放是怎样变为全差分类型的(偏置网络详情再次被忽略，因此只显示栅偏置电压 V_{GS78} 和 V_{GS56})。为了确保输出平衡，之前二极管连接的 M_5 和 M_7，现在作为电流源使用。而且共模反馈网络是一个全晶体管网络，由 M_{12} 到 M_{16} 构成。为了理解器件是怎样工作的，需要考虑以下几点。

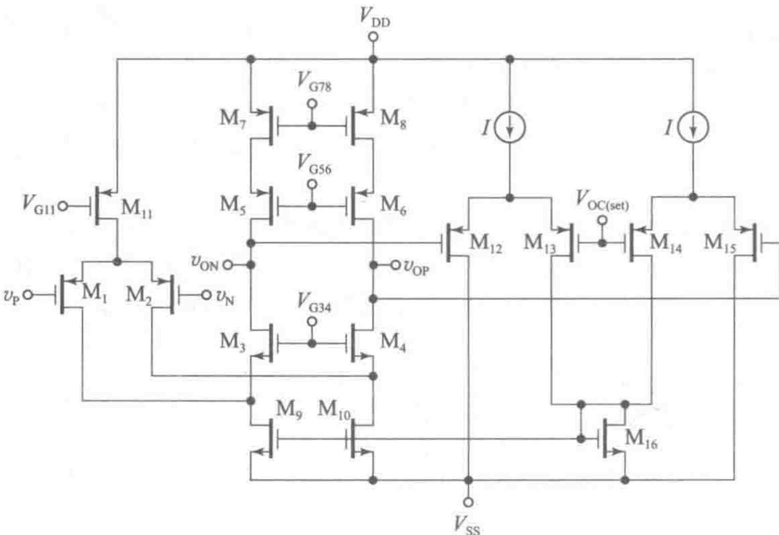


图 5.51 折叠共源共栅型全差分 CMOS 运放

- 首先假设 $v_P=v_N$，则有 $v_{OP}=v_{ON}$，再假定 $v_{OP}=v_{ON}=V_{OC(set)}$，那么 SC 对之间的电流等分，有 $I_{D12}=I_{D13}=0.5I$，及 $I_{D14}=I_{D15}=0.5I$。二极管连接的 MOSFET M_{16} 抽取电流 $I_{D16}=I_{D13}+I_{D14}=I$，然后 M_9 和 M_{10} 分别通过电流镜为 M_3 和 M_4 提供偏置电

流(参考图5.16)。我们知道，v_{OP}和v_{ON}分别表示M_5、M_6平衡上拉和M_3、M_4平衡下拉而产生的电压。

- 现在假设某种原因，v_{OP}和v_{ON}试图超过$V_{OC(set)}$。那么，M_{12}和M_{15}将变得不那么导通，而M_{13}和M_{14}将更加导通，从而提高I_{D16}。通过电流镜行为，这将提高I_{D9}和I_{D10}，从而促进了M_3和M_4的下拉作用，结果迫使v_{OP}和v_{ON}回落到$V_{OC(set)}$。通过对称推理，如果v_{OP}和v_{ON}试图低于$V_{OC(set)}$，M_{13}和M_{14}将减弱导通，减小I_{D16}，从而减少了M_3和M_4的下拉作用。现在M_5和M_6上拉作用将占主要地位，迫使v_{OP}和v_{ON}回升到$V_{OC(set)}$。
- 现在我们在输入端施加一个交流信号，以便产生一个对称摆幅$v_{OP}=V_{OC(set)}+v_{OD}/2$和$v_{ON}=V_{OC(set)}-v_{OD}/2$。这些摆幅将使得差动对失衡，对于变化电流$i$，有$i_{D15}=0.5I-i$和$i_{D14}=0.5I+i$，$i_{D12}=0.5I+i$，及$i_{D13}=0.5I-i$。然而，$M_{16}$仍然抽取电流

$$i_{D16}=i_{D13}+i_{D14}=0.5I-i+0.5I+i=I$$

表明由共模反馈网络提供的伺服回路保持$(v_{OP}+v_{ON})/2$的值在$V_{OC(set)}$附近，无论交流信号是多大。当然，只有所有晶体管都工作在有源区的情况下，这(上式)才成立。

例5.14 求出图5.51所示的运放的小信号增益v_{od}/v_{id}，假设其参数与例5.4中相同。与本例比较并评论。

解：

图5.51所示的电路是从节点V_{G78}顺着垂直轴完全对称的，所以我们采用图5.52所示的半边等效电路分析。通过观察，$R_o=R_{d5}/\!/R_{d3}$，其中，R_{d5}和R_{d3}是从M_5和M_3的漏极看进去的交流电阻。再次观察，我们写出：

$$R_o=[r_{o5}+r_{o7}+(g_{m5}+g_{mb5})r_{o5}r_{o7}]\,/\!/\,[r_{o3}+(r_{o9}\,/\!/\,r_{o1})+(g_{m3}+g_{mb3})r_{o3}(r_{o9}\,/\!/\,r_{o1})]$$

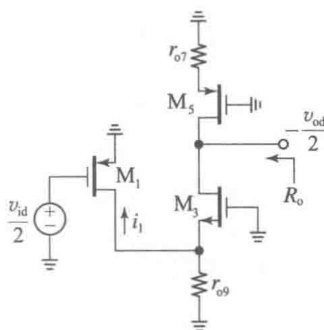


图5.52 图5.51中运算放大器的半边等效电路

这和式(5.39)在形式上是完全相同的，因此我们再利用例5.4写出，$R_o\approx5.22\text{M}\Omega$。还可以得到$i_1=g_{m1}(v_{id}/2)=(0.4\text{mA/V})(v_{id}/2)$。根据例5.4的推理，我们可以说，$i_1$大多数流出$M_3$，因此，有：

$$-\frac{v_{od}}{2}\approx-R_oi_1=-g_{m1}R_o\frac{v_{id}}{2}$$

所以，$v_{od}/v_{id}=g_{m1}R_o\approx0.4\times5\,220\text{V/V}=2\,088\text{V/V}$。例5.4的单端信号现在分割到两个相反的半边电路$v_{op}$和$v_{on}$上，因此增益是不变的。◀

图5.53画出了图5.13所示的两级CMOS运放是如何变成一个全差动型的(为了简化，再次忽略了偏压的细节)。在这种再现中，共模反馈网络是与图5.51所示CMFN的互补形态，因为它需要适应pMOSFET电流，即由M_9提供尾电流(显然设计共模反馈网络的方法有很多种)。

扩大输入电压范围

如果指定好图5.51所示折叠共源共栅运放的V_{G34}，将M_9-M_{10}对恰好偏置在饱和区边缘($V_{DS9}=V_{OV10}$及$V_{DS10}=V_{OV10}$)，那么，输入电压范围由式(5.41)给定。例如，假设单电源系统，$V_{SS}=0$且$V_{DD}=3\text{V}$，且始终令$|V_{t1}|=0.75\text{V}$及$V_{OV}=0.25\text{V}$。那么共模输入电压范围$v_{IC}=(1/2)\times(v_P+v_N)$为：

$$v_{IC(min)}=V_{SS}+V_{OV9}-|V_{t1}|=(0+0.25-0.75)\text{V}=-0.5\text{V}$$

$$v_{IC(max)}=V_{DD}-V_{OV11}-V_{OV1}-|V_{t1}|=(3-0.25-0.25-0.75)\text{V}=1.75\text{V}$$

这个下限是相当理想的，因为它允许我们能够一直降低输入电压到地，甚至到地以下0.5V，而不会造成任何故障，但上限太过严格，特别是在低电源情况，如这里所考虑的

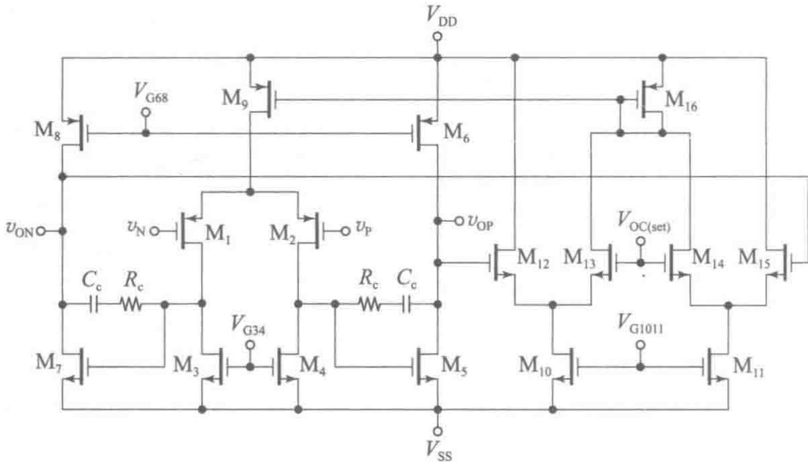


图 5.53 两级全差分 CMOS 运放

3V。理想情况下，我们希望输入电压范围扩大到轨到轨，并可能超出，也就是说，一个 0.5V 容限(在我们的例子中从 −0.5V 至 3.5V)。假设我们使用双运放来实现，互换 pMOSFET 和 nMOSFET 并互换电源(参照图题 5.21)，那么 n 型输入对将满足两个条件，即 $v_{IC(min)}=1.25V$ 和 $v_{IC(max)}=3.5V$。换而言之，当 p 型输入级在接近 V_{SS}时工作良好而在接近 V_{DD}时停止工作的时候，n 型输入级正好相反，在接近 V_{DD}时工作良好，而在接近 V_{SS}停止工作。

上述考虑为图 5.54 所示的巧妙解决方案提供了基础，其使用了两个输入级，以获得最佳范围(该 CMFN 未画出，以避免混乱原理图，其可以适应 V_{G78} 或 V_{G910} 或是两者均可)。再次假设始终有 $V_{tn}=-V_{tp}=0.75V$ 和 $V_{OV}=0.25V$，我们注意到以下几点。

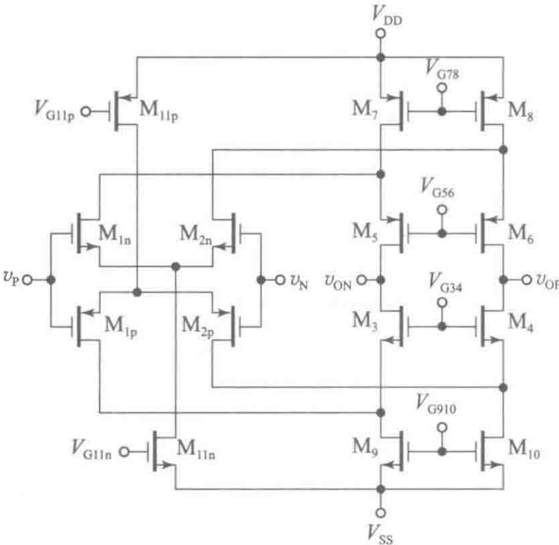


图 5.54 使用两个互补输入级(M_{1n}-M_{2n} 及 M_{1p}-M_{2p})实现轨到轨的 IVR

- 当 $v_{IC}<V_{SS}+V_{OV11n}+V_{tn}$(当 $V_{SS}=0$ 时为 1V)，M_{1n}-M_{2n} 对截止，而 M_{1p}-M_{2p}对完全导通，因此我们重写式(5.38)为 $G_m=g_{m1p}$。
- 提高 v_{IC} 超过 1V，将逐渐使 M_{1n}-M_{2n} 对开启，到 1.25V 时，两对都将完全导通。对于 $1.25V\leqslant v_{IC}\leqslant 1.75V$，两对协同工作，给出 $G_m=g_{m1p}+g_{m1n}$。
- 当 $v_{IC}>V_{DD}-V_{OV11p}-|V_{tp}|$(当 $V_{DD}=3V$ 时为 2V)时，M_{1p}-M_{2p} 对完全关闭，因此电路给出 $G_m=g_{m1n}$。
- 只要 M_7-M_8 和 M_9-M_{19}(应该是 M_{10})对被偏置在饱和边缘，输出电压摆幅(OVS)将延伸到电源轨两个 V_{OV} 内。如果需要轨到轨的输出电压摆幅，则专门的输出级是必需的，如第 4.11 节中所述的 CS 推挽输出级。

图 5.55 所示的是图 5.54 所示的双极型版本。为了最大限度地提高输入电压范围，指定 V_{B34} 将 Q_9-Q_{10} 对偏置到略高于饱和边缘，也就是说，$V_{CE9}=V_{CE}\approx 0.25V$。同样地，指定 V_{B56}，使得 $V_{EC7}=V_{EC8}\approx 0.25V$。那么，假设 BE 压降为 0.65V，我们有，$v_{IC(min)}=V_{EE}+2\times 0.25-0.65=V_{EE}-0.15V$，以及 $v_{IC(max)}=V_{DD}+0.15V$。在一些实例中 Q_7-Q_8 和 Q_9-Q_{10} 对由电阻对取代，产生所需的约 0.25V 压降，以防止输入对在电压轨附近饱和。

图 5.54 和图 5.55 所示的运放中一个糟糕的问题是，在输入电压范围的下限附近，p 型对的输入失调电压占主导地位，而在上限附近则是 n 型对占主导地位。因此，当 v_{IC} 从输入电压范围的一端变化为另一端时，净输入失调电压通常将改变幅度，并可能改变极性，这取决于单个失配的大小及方向。在双极型情形下，输入偏置电流也可能会带来问题：在输入电压范围下限处，其与 p 型对的基极电流一致，流出运放；但在上限处，其与所述 n 型对一致时，流入运放。在输入电压范围中间值时，p 型和 n 型对均工作，p 型对的基极电流趋于抵消 n 型对的。因此，输入偏置电流的大小和方向都是 v_{IC} 强相关函数。

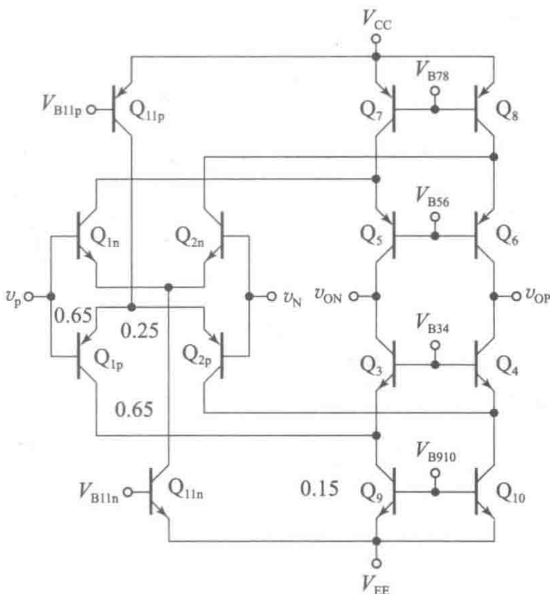


图 5.55　轨到轨输入电压范围的双极型运放（CMFN 没有显示）

5.8　开关电容电路

传统上，电子系统一直使用现成的模拟和数字 IC 元件进行设计，包括无源器件如电阻器和电容器等，所有这一切都安装在一个共同的介质上，如印制电路板(PCB)。如今，由于成本、小型化、功耗和可靠性的原因，在同一硅片上集成模拟和数字功能成为趋势，这种结构称为混合信号集成电路。由于数字电子技术以 CMOS 工艺为主，因此模拟功能也必须使用在该工艺中最容易获得的器件，即 MOSFET 和电容器(为了保持合理的芯片面积，电容必须限制到几十皮法或更小)。因此，必须完全避免使用电阻和大电容。图 5.56 画出了这两个基本组成部分(阴影电容表示后面将要讨论的寄生电容)的概念结构。图 5.56 所示的电容类型称为双多晶硅电容器，因为它由两个多晶硅层构成，与栅极所用材料相同(这些层是 n^+ 型，可视为金属板)。

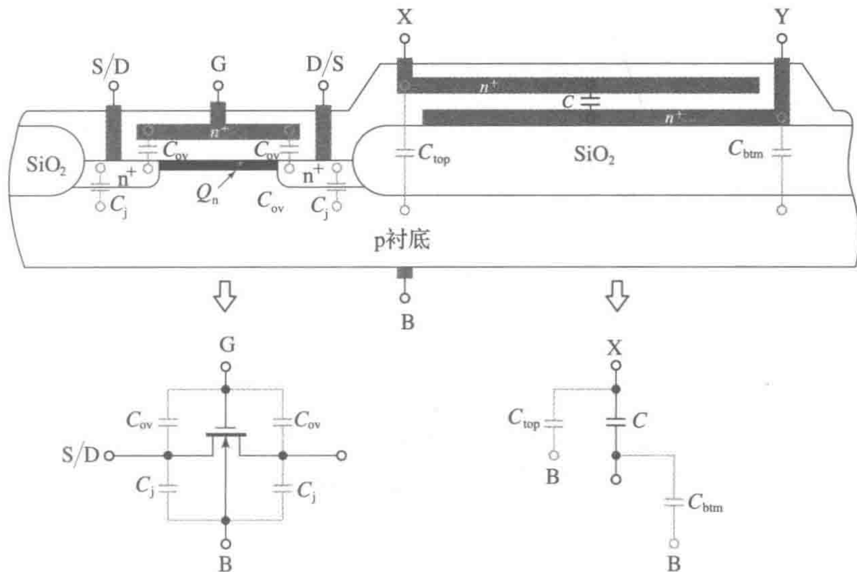


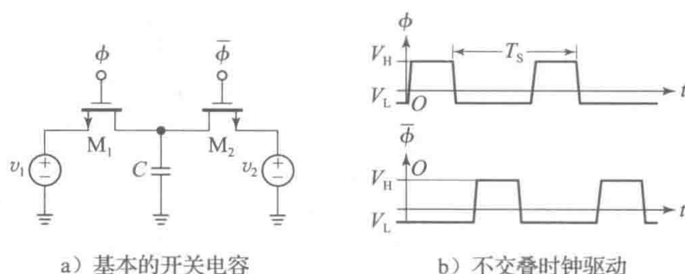
图 5.56　nMOSFET 及双层多晶硅电容的概念结构，显示寄生交叠电容 C_{OV} 和寄生顶板/底部板电容 C_{top} 和 C_{btm}

MOSFET 的最常见的应用是放大和开关。我们在第 3 章已经研究了逻辑门设计中的

开关，以及在 CMOS 运放设计中的放大，例如图 5.17 所示的共源共栅运放。CMOS 运放独特的优点是，它们的输入 MOSFET 的栅极端提供了几乎无限大的输入阻抗。这使得它可以利用片上电容存储的电压去驱动运放。另外，采用共源共栅的原因是为了提高（输出）阻抗水平，以达到高的直流增益。如果我们在运放的周围施加阻抗反馈，则由外部电阻会导致输出的负载很重，会使通过共源共栅的高增益优点失效。幸运的是，电容反馈（相对于电阻反馈）只在瞬态期间加重运放的（输出）负载。一旦达到稳定状态，电容可看作是开路的，从而保持高的直流增益。共源共栅运放的另一个重要优点是电容负载增强了电路避免可能振荡的能力，这是其他大多数运放类型所没有的特性。这个优点在这里并不是很明显，将在第 7 章中进行详细的研究。总之，混合信号 IC 设计者能够使用的片上元件有(a) CMOS 运放，特别是共源共栅的类型，(b)小电容（皮法数量级或更少），(c)MOSFET 开关。现在让我们解释开关电容概念。

开关电容

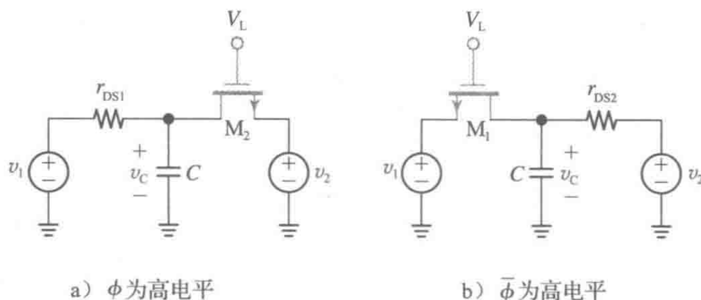
图 5.57 画出了一个基本的开关电容结构，且栅极驱动了两个 MOSFET。我们给出以下观察结果。



a）基本的开关电容　　b）不交叠时钟驱动

图 5.57

- 当 ϕ 为高时，M_1 开启而 M_2 关断，因为 $\overline{\phi}$ 为低电平。M_1 给 C 充电到 v_1，当 v_C 与 v_1 相差一个 v_{OV1} 范围内时，M_1 进入晶体管区，它近似为一个电阻 r_{DS1}，如图 5.58a 所示。如果 ϕ 保持高电平的持续时间，足够长于时间常数 $\tau_1 = r_{DS1}C$，我们可以认为当 ϕ 回到了低电平（因为 M_1 的源漏电压升高到 v_1 了），即有 $v_C = v_1$。



a）ϕ 为高电平　　b）$\overline{\phi}$ 为高电平

图 5.58　图 5.57a 所示开关电容等效电路

- 当 $\overline{\phi}$ 为高电平的情形时相反，如图 5.58b 所示，现在 M_2 将 C 充电到 v_2。假定 $\overline{\phi}$ 保持高电平的持续时间，与 $\tau_2 = r_{DS2}C$ 相比足够长，我们可以认为 $\overline{\phi}$ 回到了低电平时，即（电容 C 上）有从 v_1 到 v_2 的电荷转移 Q，可表示为：

$$\Delta Q = C(v_1 - v_2) \tag{5.82}$$

此处假设 $v_1 > v_2$。如果 $v_1 < v_2$，那么电荷转移方向是从 v_2 到 v_1。

- 如果上述过程以 $f_S(=1/T_S)$ 周期/秒的速率重复，那么一秒内的电荷转移为 $f_S\Delta Q = f_SC(v_1 - v_2)$。C/s 也就表示平均电流，即 $i_{avg} = f_SC(v_1 - v_2)$，表明开关电容模块就像一个等效电阻 $R_{eq} = (v_1 - v_2)/i_{avg}$，或者

$$R_{eq} = \frac{1}{Cf_S} \tag{5.83}$$

这与图 5.59 所示电路等价，其中，图 5.57a所示的 MOSFET 对为单刀双掷型(SPDT)的断通开关。我们必须防止 MOSFET 同时导通，因为这将短路 v_1和 v_2源，并使式(5.82)失效。因此，需要以图 5.57b 所示的非重叠的栅极驱动的方式。

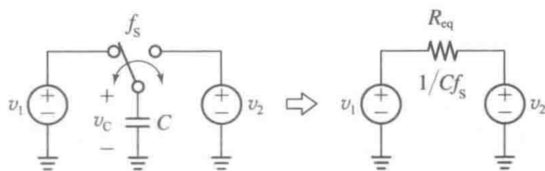


图 5.59　电容 C 开关在频率 f_S流过的平均电流等价为一个值为 $1/(Cf_S)$的电阻

式(5.82)中模拟电阻的流行应用是在合成滤波器中，其中，马上将要研究的积分器是最基本的结构单元。

开关电容积分器

图 5.60a 所示的是经典积分器，也称为 RC 积分器，因为我们用外部 RC 网络来配置运放进行积分。应用 KCL，我们得到$(V_i-0)/R_1=(0-V_o)/(1/(sC_2))$。令 $s\rightarrow J2\pi f$ 并化简，给出了反相积分器的传递函数为：

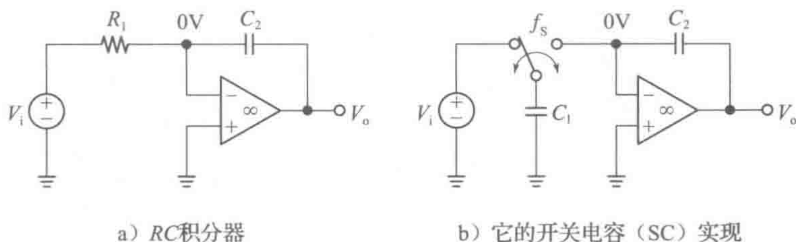
$$H_{RC}(jf) = \frac{V_o}{v_i} = -\frac{1}{jf/f_0} \tag{5.84}$$

式中：

$$f_0 = \frac{1}{2\pi R_1 C_2} \tag{5.85}$$

称为单位增益频率，因为$|H_{RC}(jf_0)|=1$。我们现在希望用开关电容器(SC)的形式重新表述图 5.60 所示的电路，这样我们就可以在芯片内进行制造。为了实现这一目标，我们用图 5.60b 所示的模拟电阻代替 R_1，且将 C_2等比缩小到一个足够小的值，使得我们可以在实际的芯片上制造它。利用式(5.83)，写出 $R_1=1/(C_1 f_S)$，代入式(5.85)，我们得到：

$$f_0 = \frac{1}{2\pi}\frac{C_1}{C_2}f_S \tag{5.86}$$



a) RC积分器　　b) 它的开关电容（SC）实现

图　5.60

我们得出下列重要的结论。

- SC 积分器不使用电阻器，这是一个明显的优点，因为在芯片上难以制造精确且稳定的电阻。SC 积分器使用 MOSFET 和电容来代替电阻。
- 单位增益频率 f_0是由 RC 积分器中 R_1C_2的乘积确定的，但是在 SC 积分器中是通过 C_2/C_1比率来实现的。与乘积相比，比率实现在制造过程中更容易控制，并且随温度和时间的变化更容易保持不变。在 MOS 技术中很容易实现 0.5%以内的电容匹配，这是 SC 积分器的另一个重要的优点。
- SC 积分器的单位增益频率 f_0正比于开关频率 f_S。因此，如果需要的话，我们可以通过适当地改变 f_S，在宽范围内自动编程实现 f_0。

例 5.15　(a)当 $f_0=10\text{kHz}$ 时，计算图 5.60a 所示积分器的元件值，并给出评论。(b)如果 $f_S=1\text{MHz}$，计算图 5.60b 所示电路的元件值。总电容不要超过 10pF。

解：

(a)任意选取 $C_2=1\text{nF}$，那么由式(5.85)，给出：

$$R_1=\frac{1}{2\pi C_2 f_0}=\frac{1}{2\pi\,10^{-9}\times10^4}\Omega=15.9\text{k}\Omega$$

这两个值都很容易用现成的器件实现，但 C_2 很难在芯片上制造。而且，由于元件偏差，f_0 可能需要调整(通过 R_1)，并且会随温度变化而漂移，因为 R_1 和 C_2 都是如此的(会随变化而温度漂移)。

(b)通过式(5.86)，我们有：

$$\frac{C_2}{C_1}=\frac{f_S}{2\pi f_0}=\frac{10^6}{2\pi\,10^4}=15.9$$

随意选取 $C_1=0.5\text{pF}$，因此 $C_2=7.958\text{pF}$，总的电容小于 10pF，很容易在芯片上制造。◀

离散时间考虑

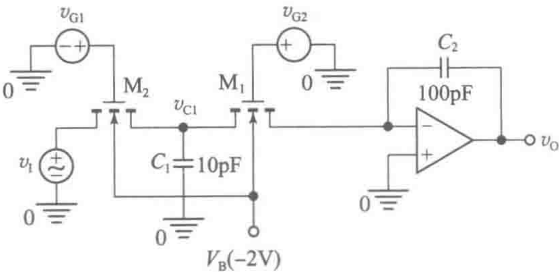


图 5.61 研究 SC 积分器在时域的 PSpice 电路

SC 积分器是离散时间电路，因为输入源和运放之间的电流是以电荷流的形式流动的(相反，RC 积分器电路是连续时间电路，因为输入源和放大器之间的电流是通过 R_1 流动的)。与对应的 RC 积分器相比，我们现在想研究电荷离散是如何影响 SC 积分器的传递函数。为此，我们用图 5.61 所示的 PSpice 电路，并把注意力放在图 5.62 所示的波形上。如图 5.62 所示，在频率 $f_S=10\text{MHz}$ 下，C_1 在 v_I 和运算放大器的虚地(0V)之间反复转换，因此我们将时间轴以 $T_S=1/f_S=(1/10^7)\text{s}=100\text{ns}$ 为单位划分区间。当 $v_I>0$ 时，C_1 的电荷注入 C_2，引起 v_O 负向的阶跃。相反，当 $v_I<0$ 时，电荷从 C_2 流出，导致 v_O 正向的阶跃。v_{G1} 脉冲序列的下降沿特别重要，因为在这些下降沿时刻，C_1 被完全充电至 v_I 后，准备放电到 C_2 中。按顺序标记这些瞬间为…$n-1$，n，$n+1$…

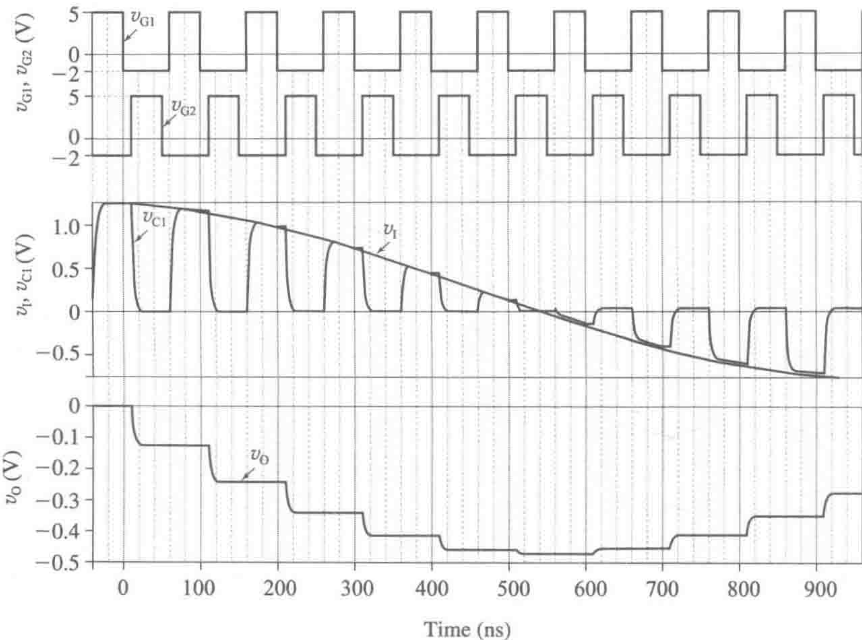


图 5.62 图 5.61 所示 PSPice 电路的波形

可以说，v_O从时刻 $n-1$ 到时刻 n 所经历的变化是由在 C_1 上累积的电荷 $C_1 v_I(n-1)$来引起的，即

$$v_O(n) - v_O(n-1) = \frac{-C_1 v_I(n-1)}{C_2} \tag{5.87}$$

离散时间序列最好是通过傅里叶(Fourier)变换 $V_i(j\omega)$和 $V_o(j\omega)$来进行研究。将信号延时一个时钟周期 T_S，等效于在其傅里叶变换里乘以 $\exp(-j\omega T_S)$，这是众所周知的傅里叶变换属性。这意味着式(5.87)可以转换为：

$$V_o(j\omega) - V_o(j\omega)e^{-j\omega T_S} = -\frac{C_1}{C_2}V_i(j\omega)e^{-j\omega T_S}$$

移项并化简得到

$$V_o(j\omega) = -\frac{C_1}{C_2}V_i(j\omega)\frac{e^{-j\omega T_S}}{1-e^{-j\omega T_S}} = -\frac{C_1}{C_2}V_i(j\omega)\frac{e^{-j\omega T_S/2}}{e^{j\omega T_S/2}-e^{-j\omega T_S/2}}$$

令 $\omega=2\pi f$，$T_S=1/f_S$，再利用 $\sin x=(e^x-e^{-x})/(2j)$，经过一些运算，我们得到：

$$H_{SC}(jf) = \frac{V_o(jf)}{V_i(jf)} = -\frac{1}{jf/f_0} \times \frac{\pi f/f_S}{\sin(\pi f/f_S)} \times e^{-j\pi f/f_S} \tag{5.88}$$

式中：

$$f_0 = \frac{1}{2\pi}\frac{C_1}{C_2}f_S \tag{5.89}$$

我们观察到，在 $f \ll f_S$ 的条件下，有 $H_{SC}(jf) \to H_{RC}(jf)$，即 SC 积分器近似为 RC 积分器。这是可以解释的，因为 $f_S \gg f$ 时的电荷转换可以认为是一个连续过程。若不满足上述条件，$H_{SC}(jf)$与 $H_{RC}(jf)$会在大小和相位上都产生误差，即

$$\varepsilon_m(f) = \frac{\pi f/f_S}{\sin(\pi f/f_S)} - 1, \quad \varepsilon_\phi(f) = -180°(f/f_S) \tag{5.90}$$

图 5.63 所示比较了在 $f_S=10f_0$ 条件下的转移函数曲线。

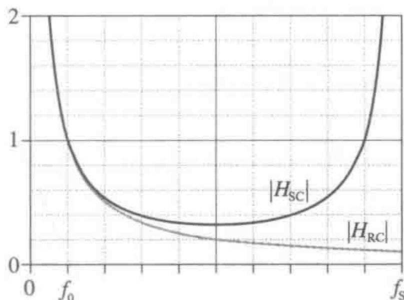


图 5.63　比较 RC 和 SC 积分器的转移函数

例 5.16　(a) 计算 $f=f_0$ 和 $f=2f_0$ 时，$H_{SC}(jf)$与图 5.63 所示 $H_{RC}(jf)$的偏差，比较并评论。

(b) 对图 5.61 所示电路重复上面过程。与(a)问比较并评论。

解：

(a)在图 5.63 所示曲线中我们有 $f_0/f_S=1/10$，因此由式(5.90)，给出 $\varepsilon_m(f_0)=(\pi/10)/\sin(\pi/10)-1=1.0166-1=1.66\%$，以及 $\varepsilon_\phi(f_0)=-180°/10=-18°$。相似，$\varepsilon_m(2f_0)=6.9\%$，以及 $\varepsilon_\phi(2f_0)=-36°$，表明 ε_ϕ 加倍时，ε_m 增长更大。

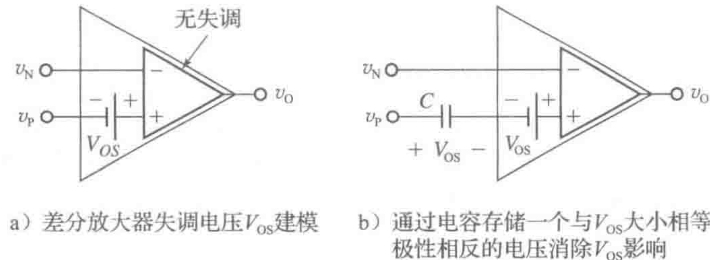
(b) 通过式(5.89)，图 5.61 所示电路有 $f_0/f_S=(C_1/C_2)/(2\pi)=(10/100)/(2\pi)=1/62.83$

因此我们现在得到 $\varepsilon_m(f_0)=0.0417\%$，以及 $\varepsilon_\phi(f_0)=-2.68°$。也有，$\varepsilon_m(2f_0)=0.167\%$，以及 $\varepsilon_\phi(2f_0)=-5.73°$。现在偏差相当的小了，由于比率 f_0/f_S 只有原来的 2π 分之一。◀

自动调零技术

由于在制造过程中存在器件失配，差分放大器，如运放或电压比较器，会表现出一些输入失调电压 V_{OS}，如图 5.64b 所示，我们可以假想一个真实的放大器是由一个理想的无失调的放大器和一个串联到输入端的内部电压源 V_{OS}(表示内部失衡)组成的(无论哪个输入都没关系，因为 V_{OS}无论是大小和极性都是不可预知的)。该 V_{OS}的存在很可能是精密应用中一个严重的缺点，所以我们想要自动补偿它，这称为自动调零。CMOS 电路利用如图 5.64b所示的电容器 C 去存储与 V_{OS}大小相等但极性相反的电压。串联后，两个电压相

互抵消，实现无失调。放大器在自动调零和采样模式的两个模式之间交替工作。



a）差分放大器失调电压V_{OS}建模　b）通过电容存储一个与V_{OS}大小相等极性相反的电压消除V_{OS}影响

图　5.64

- 在图 5.65a 描述的自动清零阶段，运放节点 v_P 和 v_N 处的开关 S_1 和 S_2 断开，同时开关 S_4 闭合，将放大器变成单位增益电压跟随器。电路通过 S_3 缓冲其内部的失调电压 V_{OS} 存储到 C，因此当 S_5 闭合时，电容 C 将该时刻显示的失调值 V_{OS} 充到放大器(要使这种结构工作，放大器必须是单位增益稳定的。如果有必要，合适的频率补偿网络必须在这个阶段接入电路)。

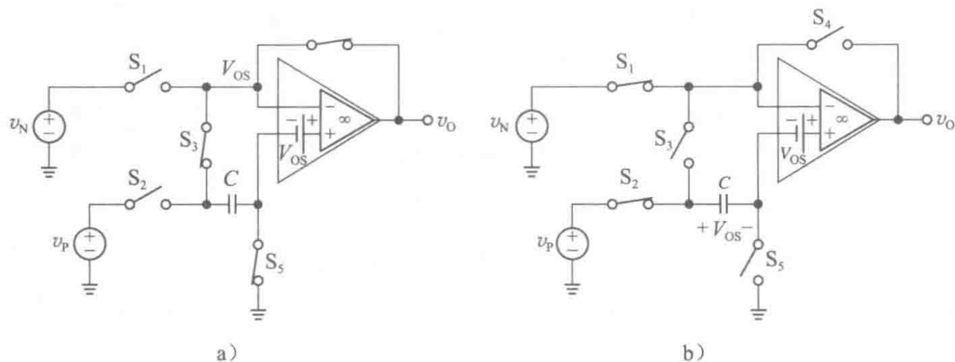


图 5.65　开关位置在 a)自动清零模式 b)采样模式

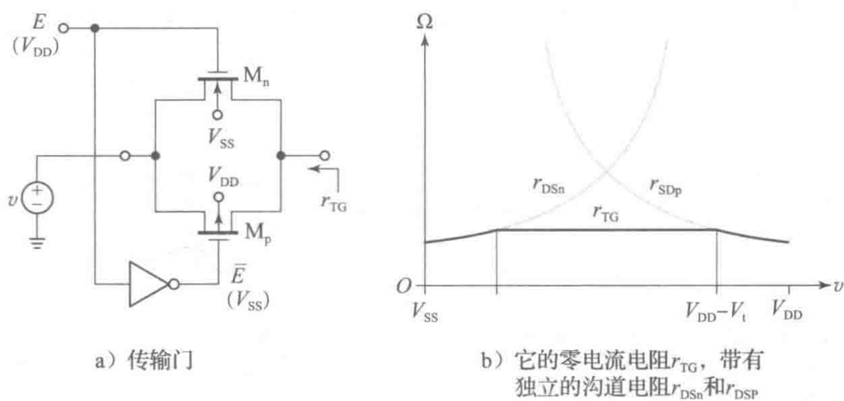
- 一旦我们将 V_{OS} 存储在电容中，打开图 5.65b 所示 S_3～S_5 开关，使电容电压与内部电压串联，从而使两者相互抵消掉。同时，我们闭合 S_1 和 S_2，重新连接放大器到节点 v_P 及 v_N，让其正常工作，进行如负反馈运放工作或电压比较。图 5.65 所示的结构是很常用的，特别是在电压比较器中，在每次比较之前电路都会很快清零。如果 V_{OS} 随温度变化而漂移或者 C 在连续比较之间有漏电，通过自动清零都会恢复。

传输门

只要图 5.57 所示源极和漏极端的电压比 V_H 低得足够多，nMOSFET 开关将关闭。当 v_1 和 v_2 增加时，过驱动电压降低，从而增加了沟道电阻。如果 v_1 或 v_2 上升到 $V_H - V_{tn}$ 以上，该 MOSFET 甚至不会导通，因此开关将无法关闭。如果我们用 pMOSFET 开关来代替，当 v_1 和 v_2 足够高时，它们会很好地工作，但如果 v_1 或 v_2 下降到低于 $V_L + |V_{tp}|$，就不能接通，与 nMOSFET 正好相反。图 5.66 所示的电路俗称传输门，通过将一对互补的 MOSFET 并联且反相驱动，它结合了两者的优点。

当开关使能控制 E 是低电平($E = V_{SS}$)且其互补项 $\overline{E}$ 是高电平($\overline{E} = V_{DD}$)时，两 MOSFET 关闭。驱动 E 到高电平，这样 $\overline{E}$ 为低电平，将打开两个 MOSFET。事实上，只要 $V_{SS} + |V_{tp}| < v < V_{DD} - V_{tn}$，两个 MOSFET 就是导通的，在器件匹配的情形下，$k_n = k_p = k$ 及 $V_{tn} = -V_{tp} = V_t$ 时，净传输门电阻 r_{TG} 为：

$$r_{TG} = r_{DSn} \mathbin{/\!/} r_{SDp} = \frac{1}{kv_{OVn}} \mathbin{/\!/} \frac{1}{kv_{OVp}} = \frac{1}{k(V_{DD} - v - V_t)} \mathbin{/\!/} \frac{1}{k(v - V_{SS} - V_t)}$$



a）传输门

b）它的零电流电阻r_{TG}，带有独立的沟道电阻r_{DSn}和r_{DSP}

图 5.66

展开并且化简得到：

$$r_{TG}=\frac{1}{k(V_{DD}-V_{SS}-2V_t)} \tag{5.91}$$

假设 MOSFET 匹配，r_{TG}在假定的范围内(见图 5.66b)是与 v 无关的。如果 v 被驱动到区间外，MOSFET 中的一个将会关闭，但另一个将变得更加导通，从而保证了在整个范围 $V_{SS}<v<V_{DD}$内具有低的总电阻。

杂散电容和电荷注入

回到图 5.56 所示电路，我们看到许多杂散和寄生电容的存在。

- 电容 C 的顶板和底板与衬底自身形成杂散电容，这里表示为 C_{top}和 C_{btm}。C_{btm}通常为 C 的 10%～20%，而 C_{top}是非常小的。
- MOSFET 开关栅极的两侧与源区和漏区形成交叠电容 C_{OV}，这些区域与衬底又形成扩散电容 C_j。
- 此外，我们观察到，为了打开/关闭 nMOSFET，我们需要建立或移除沟道电子电荷 Q_n(见例 3.3)。Q_n通过源区和漏区进入/离开沟道。

根据电路拓扑，杂散电容可能会干扰预期的电荷转移而导致错误。在图 5.67 所示的开关/电容器例子中，底板电容 C_{btm}没有起作用，因为其接地短路。此外，与源区相关的，重新标记为 C_{gs}和 C_{sb}的交叠电容和结电容，会影响输入源 v_I，但对有用电容 C 没有影响。然而，其余的寄生电容会有一定影响。具体地讲，C_{top}和 C_{db}与 C 串联，从而产生一个总电容 $C_{tot}=C_{db}+C_{top}+C$。而且，C_{gd}会耦合时钟信号 v_G到 C_{tot}，这称为时钟馈通。此外，开关关闭/打开引起沟道中总电子电荷 Q_n的一小部分($0<\alpha<1$)流入/流出 C_{tot}，这称为电荷注入。

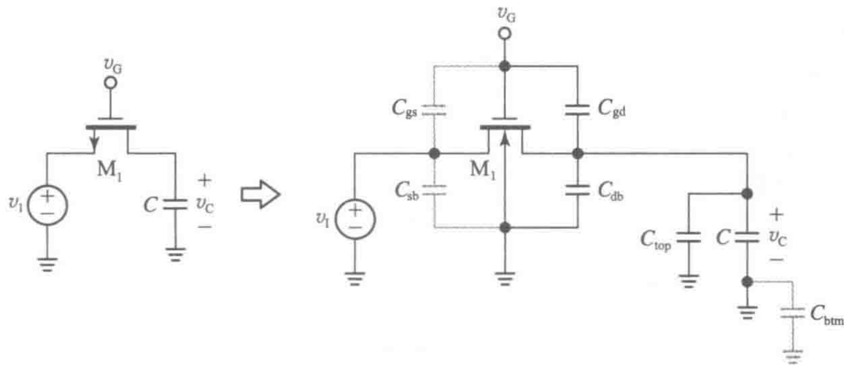
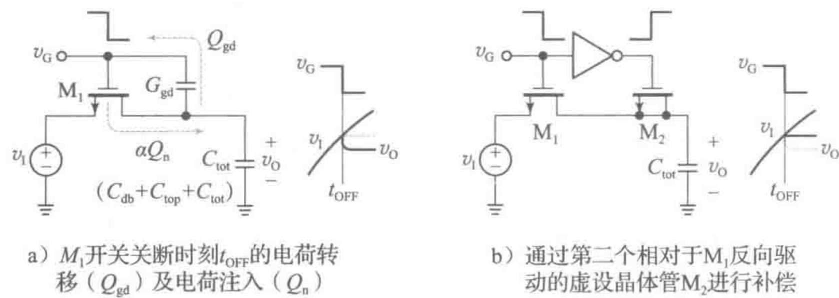


图 5.67 画出了一个简单的开关电容对的电容寄生(虚线画出的电容对该特定电路没有影响)

我们对 V_G的后沿特别感兴趣，因为在 t_{OFF}的这个时刻，我们看到(a)来自 C_{tot}的电荷 Q_{gd}移动，(b)注入 C_{tot}的电荷 αQ_n(见图 5.68a)。由于电子电荷 Q_n是负的，故效果相当于从

C_{tot}消除$\alpha|Q_n|$正电荷，这两个不期望的电荷转移会互相加强。其结果是，v_O会受到$v_O-(Q_{gd}+|Q_n|)/C_{tot}$的误差影响，这里假设$C_{gd}\leqslant C_{tot}$。



a）M_1开关关断时刻t_{OFF}的电荷转移（Q_{gd}）及电荷注入（Q_n）

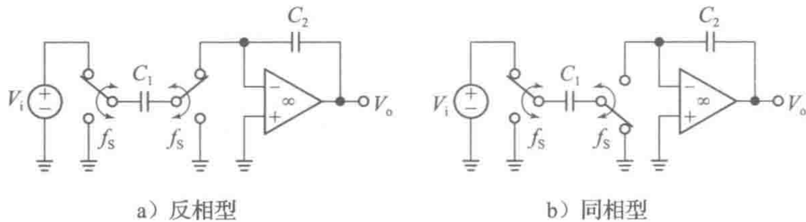
b）通过第二个相对于M_1反向驱动的虚设晶体管M_2进行补偿

图 5.68

减少上述错误的一种方法是，有意引入相反的时钟馈通和电荷注入，经由一个相对于M_1反向驱动的虚设晶体管M_2(见图5.68b)。适当选择M_2的沟道宽度W_2，使M_2的馈通和注入大约抵消M_1的那些效应，从而使得v_O的误差变小(见习题5.50)。换一种方法，我们可以用传输门实现开关，并调整nMOSFET和pMOSFET的W/L比率，使它们中不必要的电荷转移大致相互抵消。

杂散不敏感积分器

凭借巧妙的设计技术，通常可以避开由于寄生电容产生的误差。图5.69a显示了对图5.60b所示的SC积分器的常用修改，使其对偏移不敏感。闭合开关会将C_1完全放电，而打开开关会将C_1充电至V_i，所以$V_i>0$时电荷转移到运放的求和点，而对于$V_i<0$，电荷从求和节点转移出。这种情况类似于图5.60b所以电路，是反相SC积分器。



a）反相型

b）同相型

图 5.69 偏移不敏感SC积分器

接着，参见图5.69b，我们观察到，图5.69b所示的开关位置会将C_1充电到V_i，转换开关，如果$V_i>0$，电荷会流出求和点，如果$V_i<0$，电荷会注入求和点，正如图5.69a所示的相反情况。所以，相比于图5.69a所示电路，该电路是同相SC积分器，它仅改变了第二个单刀双郑型开关的时钟相位。

为了理解上述积分器的杂散不灵敏性，考虑图5.70所示电路，其中，与C_1两个极板相关联的总的寄生电容(顶部/底部寄生加MOSFET的寄生)被表示为C_X和C_Y。由于C_X在地和运放虚拟地输入之间切换，它保持永久放电，所以电路是对C_X不敏感的。C_Y影响V_i和地之间的电荷转移，但不会干扰C_1，所以电路对C_Y也是不敏感的。杂散不敏感的代价是一个更复杂的开关系统(要四个MOSFET而不是两个)，但是这个代价当然是值得的！

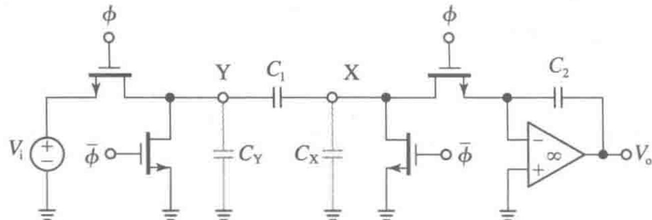


图 5.70 研究杂散不灵敏度

附录 5A

SPICE 宏观模型

对于模拟 IC 设计者和用户来说，计算机仿真器，如 SPICE 是非常强大的辅助工具。IC 设计者在晶体管级模拟正在开发的产品时，使用的器件参数来自于制造工艺的直接测量，通常是特有的参数。另一方面 IC 用户，更感兴趣的是该 IC 的行为仿真，而不必考虑太多的内部细节。此外，包括多个单独 IC 的复杂系统，对其进行晶体管级仿真可能过于费时，更不用说数值计算可能会有不收敛的情形。

为了减轻用户的任务，IC 制造商提供 SPICE 宏模型，可以直接从他们的网站下载并立即使用。PSpice 库包含一些常用的 IC 宏观模型，如 μA741 运放。其网表如下：

```
* connections:    non-inverting input
*                  | inverting input
*                  | | positive power supply
*                  | | | negative power supply
*                  | | | | output
*                  | | | | |
.subckt uA741      1 2 3 4 5
*
 c1     11   12   8.661E-12
 c2      6    7   30.00E-12
 dc      5   53   dx
 de     54    5   dx
 dlp    90   91   dx
 dln    92   90   dx
 dp      4    3   dx
 egnd   99    0   poly(2) (3,0) (4,0) 0 .5 .5
 fb      7   99   poly(5) vb vc ve vlp vln 0 10.61E6 -10E6 10E6
 +                10E6 -10E6
 ga      6    0   11 12 188.5E-6
 gcm     0    6   10 99 5.961E-9
 iee    10    4   dc 15.16E-6
 hlim   90    0   vlim 1K
 q1     11    2   13 qx
 q2     12    1   14 qx
 r2      6    9   100.0E3
 rc1     3   11   5.305E3
 rc2     3   12   5.305E3
 re1    13   10   1.836E3
 re2    14   10   1.836E3
 ree    10   99   13.19E6
 ro1     8    5   50
 ro2     7   99   100
 rp      3    4   18.16E3
 vb      9    0   dc 0
 vc      3   53   dc 1
 ve     54    4   dc 1
 vlim    7    8   dc 0
 vlp    91    0   dc 40
 vln     0   92   dc 40
.model dx D(Is=800.0E-18 Rs=1)
.model qx NPN(Is=800.0E-18 Bf=93.75)
.ends
```

宏观模型并不是包括图 5.1 所示电路所有 24 个 BJT，而是仅使用两个 BJT(q_1 和 q_2)来模拟输入级前端，以及其他一些简单的分量(电阻器，电容器，二极管和受控/独立

源)，从而在宏观上来模仿运放的行为(第 6 章涵盖的增益，输出饱和，以及动态特性，如输入/输出阻抗，频率响应，以及摆率限制)。比起 IC 设计者采用的晶体管级仿真，用户使用的宏模型仿真一般更快一些。然而，无论是设计者和用户都需要注意到，所有模型都有着内在的局限性，所以对任何模拟的结果都需要进行适当的评估，并最终在实验中验证(例如，许多运放宏模型都有一个糟糕的限制，即不能正确地模拟它们的输入噪声特性)。

参考文献

1. P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 5/E, Wiley and Sons, 2009.
2. P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, 2/E, Oxford University Press, 2002.
3. D. A. Johns and K. Martin, *Analog Integrated Circuit Design*, Wiley and Sons, 1997.
4. B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001.
5. A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 6/E, Oxford University Press, 2010.
6. R. C. Jaeger and T. N. Blalock, *Microelectronic Circuit Design*, 2/E, McGraw-Hill, 2004.
7. S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits*, 4/E, McGraw-Hill, 2014.
8. C. Toumazou, F. J. Lidgey, and D. G. Haigh, Eds., *Analogue IC Design: The Current-Mode Approach*, Peter Peregrinus Ltd., 1990.
9. H. Camenzind, *Designing Analog Chips*, www.designinganalogchips.com, 2005.

习题

5.1 节

5.1 (a) 假设图 5.6 所示的输入级被重新设计，删除 Q_1 和 Q_2，并使 Q_3 和 Q_4 作为 EC 对工作且偏置在 $I_{EE}=19\mu A$。画出修改后的电路，并使用该文本的器件参数，及 $\beta_{F3}=\beta_{F4}=50$，重新计算 I_P，I_N，R_{id}，G_{m1}，R_{o1}，以及无负载增益 $v_{o1}/(v_p-v_n)$。

(b) 假设 pnp 双极结型晶体管的 BE 结在 7V 时会击穿，npn 双极结型晶体管在 20V 时会击穿，在击穿发生前，(a)问中修改后电路能正常工作的最大电压差(v_p-v_n)是多少？

(c) 将所有上述参数与原始的 μA741 设计比较，并说明为什么原设计通常更好。

5.2 (a) 假设 $\beta_{F16}=200$，证明与 I_{C4} 和 I_{C6} 相比，图 5.1 所示的 μA741 电路中 I_{B16} 可以忽略不计。这允许我们将第一级的输入失调电压 V_{OS1} 定义为，在 $V_{C4}=V_{C6}=V_{BE16}+V_{BE17}+V_{EE}$ 时，令 $I_{C4}=I_{C6}$（不一定为 9.5μA)的电压差 V_P-V_N。

(b) 根据上述定义，讨论 I_{s1} 和 I_{s2} 之间 10% 的失配产生的影响，假设电路没有其他的失配。

(c) I_{s3} 和 I_{s4} 之间 10%失配，重复(b)问过程。

(d) I_{s5} 和 I_{s5} 之间 10%失配，重复(b)问过程。

(e) R_1 和 R_2 之间 10%失配，重复(b)问过程。

5.3 (a) 在教材中 Q_1 和 Q_2 假定是匹配的，且 $\beta_{F1}=\beta_{F2}=200$。考虑一个特定运算放大器例子，有 $\beta_{F1}=175$ 以及 $\beta_{F2}=225$。I_P，I_N，I_B 和 I_{OS} 为多少？

(b) 如果我们想要确保 $I_B\leq 50nA$ 且 $I_{OS}\leq 5nA$，允许的 β_{F1} 和 β_{F2} 的范围是多少？

(c) 通常假定 Q_3 和 Q_4 有 $\beta_{F3}=\beta_{F4}=50$。假设由于制造故障，某个 μA741 样品有 $\beta_{F3}=\beta_{F4}/2=25$。利用习题 5.2(a)问定义的 V_{OS1} 表示失配产生的失调电压，并进行计算。

5.4 (a) 基于习题 5.2(a)问定义的 V_{OS1}，计算图 5.5 所示 R_2 短路时的 V_{OS1}。$I_{C6}(=I_{C4})$现在是多少？

(b) 如果 R_2 从 1kΩ 降到 0.5kΩ，重复上述过程。

(c) 用 R_1 替代 R_2，重复(a)问和(b)问。

(d) 经证实，改变 R_1/R_2 的比率会产生一个偏移，引起电路的不平衡，我们可以利用这种特性，对现有偏移进行清零，即，使在 $V_P=V_N$ 时有 $I_{C6}=I_{C4}$。如果 $V_{OS1}=+5mV$，R_1 或 R_2 中哪一个必须降低以消除 V_{OS1}？降低的电阻值是多少？$I_{C6}(=I_{C4})$新的值是多少？

5.5 为了简化 μA741 运算放大器，考虑舍弃射极跟随器 Q_{22}，且用一根简单导线代替 BE 结。

(a) I_{C17} 和 R_{i3} 的新值分别是多少？

(b) 重新计算第二级的参数 R_{i2}，G_{m2}，和 R_{o2}，并与原始的电路进行比较。

(c) 求出第二级的带载电压增益(即 R_{i3} 存在时的增益)，与原始的设计进行比较并评论。

5.6 (a) 利用教材中的 BJT 参数，求出使第三级中 $I_{C19}=2I_{C18}$ 的 R_{10} 值。V_{BB} 值会变为多少？

(b) 利用例 5.1 的 BJT 数据，假设 R_6 和 R_7 可以忽略，求出待机电流 I_{C14} 及 I_{C20}。

(c) 当 R_6 和 R_7 存在时，重新进行计算。

5.7 (a) 求出 15V 电源下且输出接近 0V 时，空载的 μA741 运算放大器吸收的功率 P_{OA}，从而，证实电源提供的功耗等于运算放大器吸收的功耗。

(b) 如果运放在输出 $V_O=10$V 时，向周围电路提供一个电流 $I_O=2$mA，求出 P_{OA}。再一次证实功耗守恒。

(c) 如果运放在 $V_O=-8$V 下从周围周围电路抽取电流 $I_O=1.5$mA，重复(b)问。

5.8 (a) 如果我们想使图 1.4 中 Wilder 电流吸收器电流 I_1 加倍，R_4 必须变化到什么值？

(b) 使 I_1 加倍会怎样影响输入级参数？

(c) 它是怎样影响运算放大器的整体特性的？

5.9 (a) 如果我们将 Q_{17} 的发射极电阻 R_8 从 100Ω 减小到 0Ω，μA741 运算放大器的哪个参数受到影响？整体增益受到怎样的影响？

(b) 对你的结果提供一个直观的判断。

5.10 (a) 如果 μA741 运算放大器由一对 9V 电源供电而非通常的 15V 电源供电，探讨其直流偏置条件的变化。

假设 BJT 的 β 值不受影响，粗略估计下列参数发生的变化：

(b) R_{id}、G_{m1} 和 R_{o1}。

(c) R_{i2}、G_{m2}、R_{o2}。

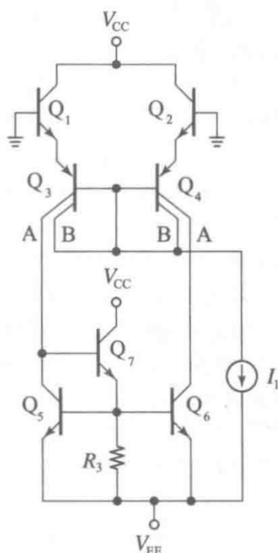
(d) R_{i3} 及 R_o。

(e) 整体增益受到怎样的影响？证明你的结果。

5.11 之前的研究表明，减小 μA741 运算放大器输入级的跨导，可提供一定的好处，如压摆率上升，且芯片上的补偿电容要求值减小(这些问题将在第 6 章和第 7 章讨论)。正如我们所知，减小跨导的一种常见方式是通过在 Q_3 和 Q_4 的发射极串联上合适的简并电阻。然而，电阻在集成电路设计技术中是不可取的，因此一种降低跨导的巧妙技术是通过制造具有双集电极的 BJT 来抽取 Q_3 和 Q_4 的电流，额外的集电极连接如题 5.11 图所示，其中原始集电极标记为 A，额外的为 B(这也使得输入级电路更简单，因为 Q_1 和 Q 的集电极现在直接连接到 V_{CC})。

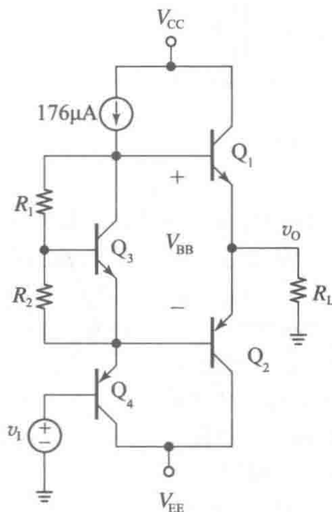
(a) 假设 $\beta_{Fp}=50$，β_{Fn} 很大，且 A 和 B 的集电极面积相等，求出使 $I_{C1}=I_{C2}=9.5\mu$A 的 I_1。图 5.4 所示 Wilder 槽所要求的 R_4 值为多少？输入级跨导 G_{m1} 新的值又是多少？

(b) 如果 B 的集电极面积是 A 的 3 倍，重复上面计算。



题 5.11 图

5.12 μA741 运算放大器的另一些制造商使用题 5.12 图所示的替代电路，以建立所需的电压降 V_{BB}，以偏置推挽对。该电路称为 V_{BE} 乘法器，因为可以通过适当选择 R_1/R_2 比例，将 V_{BB} 调整到 V_{BE} 的任何倍数(不一定整数)。



题 5.12 图

(a) 假设 $I_{s1}=I_{s2}=4I_{s3}=8$fA，Q_3 的基极电流可以忽略不计，指定合适的 R_1 和 R_2 值以使 $V_{BB}=1\ 242$mV，约束条件与例 5.1 相同，176μA 电流在 R_1 和 Q_3 的集电极之间等分。Q_1-Q_2 对的静电流是多少？

(b) 假设 $I_{s4}=I_{s3}$，求出 v_I(毫伏)使 $v_O=0$。

(c) 如果 $v_I=0$ 及 $R_L=\infty$，计算 v_O(毫伏)。

(d) 若 $R_L=1$KΩ，重复(c)问。

5.13 图 5.1 所示 Q_{20} 的过载保护电路由 R_7，R_{11}，Q_{24} 和 Q_{23} 构成。假设运算放大器正试图摆

动 v_O到负值，但是由于在过载条件下，Q_4将把全部电流 I_{C8}(=19μA)引入第二级。

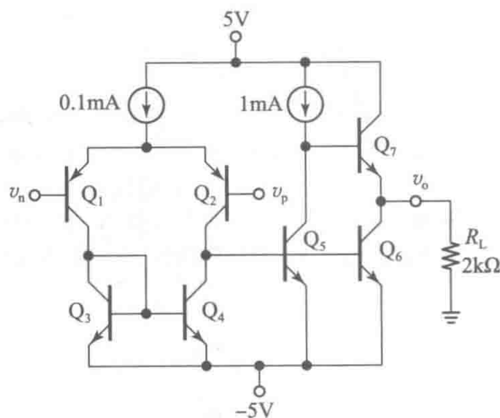
(a) 假设 $I_{s21}=I_{s24}=I_{s23}=2$fA，计算被 Q_{20}抽取的电流(这是电流沉情形的 I_{SC})。

提示：求出 I_{C23}，I_{s24}，I_{C21}，最后求出 V_{EB21}。

(b) 如果我们想使 $I_{SC}=15$mA，R_7应该变化到什么值？

5.14 (a) 假设题 5.14 图所示输入和输出端直流电压均为 0V，估算小信号增益 $a=v_o/(v_p-v_n)$。假设对所有双极型晶体管有 $\beta_0=100$ 及 $V_A=\infty$，且在直流计算时忽略基极电流。

(b) 利用匹配的 pnp 双极结型晶体管，设计一个能提供 0.1mA 及 1mA 偏置电流的电路。



题 5.14 图

5.15 题 5.15 图所示的电路是熟知的电流差分放大器，因为它对输入的电流差作出响应，得到 $v_o=z(i_p-i_n)$，其中，z 是跨阻抗增益，单位为 V/A。Q_1-Q_2电流镜使电流 i_p的方向相反，因此流入 Q_3基极的电流为 $i_{b3}=i_n-i_p$，Q_3是 CE 放大器，它的输出端与负载 R_L通过达林顿对 Q_4-Q_5缓冲隔离(为了简化电路，偏置 200μA 电流源 Q_6和 1.3mA 电流沉的偏置都被忽略了)。假设 $\beta_3=125$，$\beta_5=50$，$V_{An}=V_{Ap}=100$V，

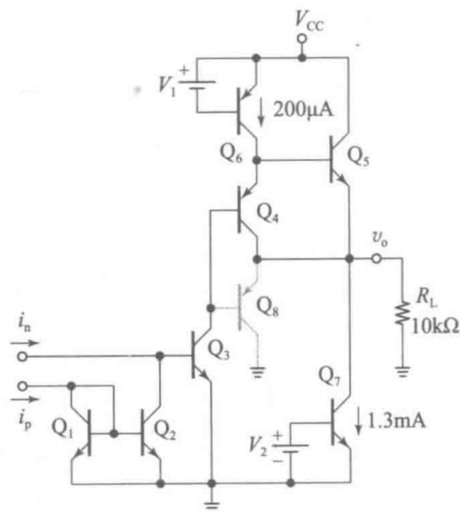
(a)算出保持 $V_o=5$V 的电流 I_{B3}。

(b)算出电压增益 $a_v=v_o/v_{b3}$。

(c)算出跨阻抗增益 $z=v_o/(i_p-i_n)$。

5.2 节

5.16 假设图 5.13 所示两级运算放大器采用的制造工艺有 $k_n'=200\mu$A/V^2，$k_p'=80\mu$A/V^2，$V_{tn}=0.65$V，$V_{tp}=-0.75$V，$\lambda_n'=0.02\mu$m/V，且 $L=0.75\mu$m。而且电路采用 1.65V 电源，且有 $I_{REF}=150\mu$A。如果 $W_1=W_2=W_6=W_7=W_8=100\mu$m，$W_3=W_4=W_5/2=30\mu$m，求出单级增益，整体增益，输出阻抗，输入电压范围，输出电压摆幅和电压电压抑制比 PSRR(忽略 M_1和 M_2的衬底效应)。



题 5.15 图

5.17 例 5.2 的直流计算是假设 $\lambda_n=\lambda_p=0$ 得到的，所以这样预测输入失调电压是不适当的。

(a) 根据例 4.7，当 $v_P=v_N$时，使用给定的非零值 λ_n及 λ_p计算 V_{OV6}和 V_{OV5}(你将发现 V_{OV5} 和 V_{OV6} 比 250mV 略小，为什么?)再算出 v_O(大小和极性)。

(b) 当 v_N保持 0V 不变时，求出驱动 v_O到零的电压 v_P(这是由于 λ_5和 λ_6的非线性对输入端造成了失调电压 V_{OS})。然后与图 5.14b 所示 PSpice 值进行比较。

5.18 (a) 假设例 5.2 的运算放大器因制造误差使得 $W_5=30\mu$m，而不是 32μm，其他值如图中给定所示，当 $v_P=v_N=0$ 时算出 v_O(大小和极性)。当 v_N仍然为 0V 时，求出将 v_o驱动到零的电压 v_P(这是输入失调电压 V_{OS}的一部分，因为 W_5是不匹配的)。

(b) 在电路被制造成 $W_3=15\mu$m 而不是 16μm 的情况下，重复(a)问。

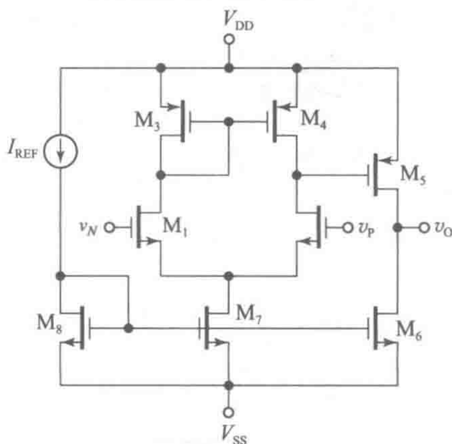
(c) 比较两种情形并解释为什么相似的不匹配产生的输入失调电压如此不同。

5.19 题 5.19 图所示电路与图 5.13 所示电路是对偶的，我们只需将 pMOSFET 换成 nMOSFET，再改变电源电压极性即可。

(a) 对当前电路重复例 5.2 计算，与其对偶电路比较并评论。

(b) 由于集成电路尺寸受到 W_s之和影响，哪个电路最可能使用更少的芯片面积? 图 5.13 所示版本更常用的原因有两个：

(i) pMOSFET SC 对比 nMOSFET 对表现出更小的闪烁噪声（见第 7 章）；(ii) 如果 M_5 是 nMOSFET，而不是 pMOSFET，CS 级呈现出更大的 g_m，该特性有利于频率补偿（又见第 7 章）。

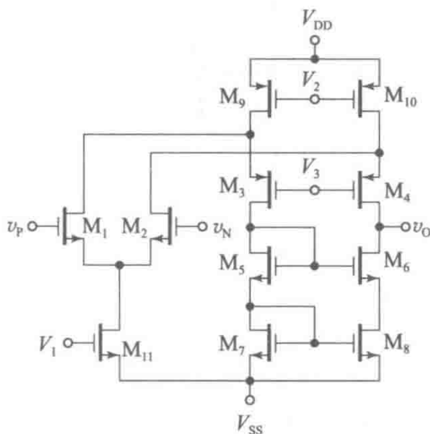


题 5.19 图

5.20 假设题 5.19 图所示运算放大器采用习题 5.16 的工艺制造，且所有的 $L=0.75\mu m$。假设电源电压为 1.5V，$I_{REF}=200\mu A$，$W_1=W_2=W_7/2=W_6/4=W_8/4=20\mu m$，以及 $W_3=W_4=W_5/4=50\mu m$，求出单级增益，整体增益，输出电阻，输入电压范围，输出电压范围，共模抑制比以及电源电压抑制比（忽略 M_1 和 M_2 的衬底效应）。

5.3 节

5.21 题 5.21 图所示电路是图 5.16 所示的对偶形式，我们可以用 nMOSFET 代替 pMOSFET，再改变电源电压极性就可以得到。



题 5.21 图

(a) 假设 $k'_n=200\mu A/V_2$，$k'_p=80\mu A/V_2$，$V_{tn}=-V_{tp}=0.5V$，$\lambda'_n=0.02\mu m/V$，$\lambda'_p=0.04\mu m/V$，及 $L=0.75\mu m$，当 $I_{D9}=I_{D10}=100\mu A$，$I_{D11}=80\mu A$，及 $V_{OV}=0.2V$ 时，计算 W_1 到 W_{11} 的值。

(b) 假设始终有 $\chi=0.1$，求出增益和输出电阻。

(c) 如果 V_2 和 V_3 正好偏置 pMOSFET 在饱和区边缘，电路采用 1.65V 电源，求出输入电压范围和输出电压摆幅。

5.22 (a) 如果例 5.4 折叠共源共栅运算放大器的 W_1 比 W_2 高 1%，当 $v_P=v_N=0$ 时求出预计值 v_o 及其极性。再求出 v_N 仍然为 0 时，驱动 v_o 到零的电压 v_P（我们知道，这就是输入失调电压 V_{OS}）。

(b) 如果 W_7 比 W_8 高 1%，重复(a)问。

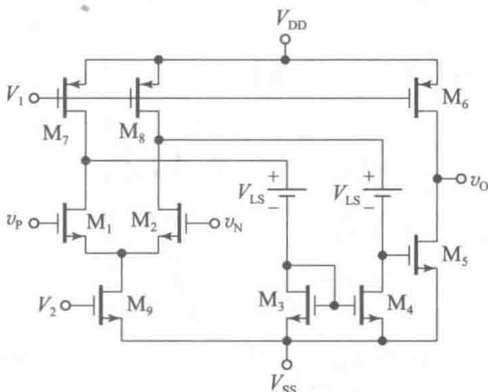
(c) 如果 W_5 比 W_6 高 1%，重复(a)问。

(d) 如果 W_3 比 W_4 高 1%，重复(a)问。

(e) 如果 W_9 比 W_{10} 高 1%，重复(a)问。

(f) 比较以上所有情形并评论。

5.23 题 5.23 图展示了如何利用折叠共源共栅技术实现一个两级运算放大器，其中所有的信号处理晶体管为 nMOSFET，其比 pMOSFET 速度快，因为 μ_n 比 μ_p 高 2 到 3 倍。差动对 M_1-M_2 到电流镜负载 M_3-M_4 通过电平转移电压源发生信号耦合，电压源表示为 V_{LS}（为了简化电路，省略偏置电路，用直流源 V_1 和 V_2 代替）。



题 5.23 图

(a) 假设 $k'_n=150\mu A/V_2$，$k'_p=60\mu A/V_2$，$V_{tn}=-V_{tp}=0.6V$，$\lambda'_n=0.02\mu m/V$，$\lambda'_p=0.04\mu m/V$，所有的 $L=0.75\mu m$，当 $I_{D9}=I_{D5}=100\mu A$，及 $V_{OV}=0.25V$ 时，计算适当的 W_1 到 W_9 的值。

(b) 求出电压增益和输出电阻。

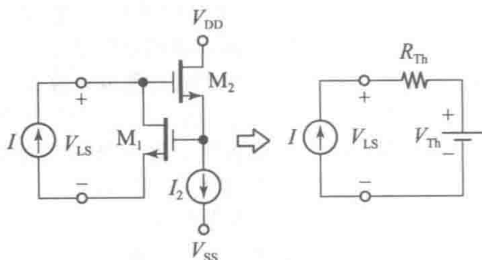
(c) 假设电压为 1.65V，求出输入电压范围和输出电压摆幅，同时求出使 $v_{IC(max)}=V_{DD}$ 的 V_{IL} 值。

5.24 题 5.24 图所示的是题 5.23 图所示电平转移源 V_{LS} 可能的电路实现，这里进行了戴维南等效。

(a) 求出 V_{Th} 和 R_{Th} 表达式（忽略衬底效应，

通过试验方式求出 R_{Th}）。

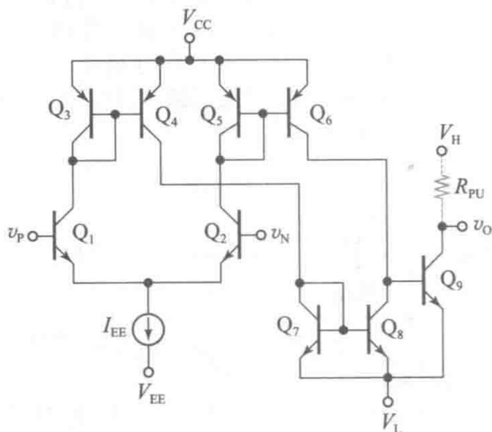
(b) 假设工艺参数为习题 5.23 图参数，当 $R_{Th}=3K\Omega$ 及 $V_{Th}=1.85V$，$I=75\mu A$ 及 $I_2=50\mu A$ 时，计算 W_1 和 W_2 值。



题 5.24 图

5.4 节

5.25 题 5.25 图所示的是一个电压比较器，其允许 V_{OL} 和 V_{OH} 的设置独立于电压 V_{CC} 和 V_{EE}。该电路由差动对 Q_1-Q_2 的，电流镜 Q_3-Q_4，Q_5-Q_6 和 Q_7-Q_8，集电极开路输出级 Q_9，以及外部上拉电阻 R_{PU} 构成。



题 5.25 图

(a) 令 $V_{CC}=-V_{EE}=10V$，$I_{EE}=0.2mA$，$V_H=5V$，$V_L=0V$，$\beta_{F9}=200$，$V_{CE(sat)}=0.2V$，及 $R_{PU}=10k\Omega$。为了简化假设 $r_o\gg r_\pi$，当 $v_O=(1/2)\times(V_{OL}+V_{OH})$ 时，求出 V_{OH}，V_{OL}，以及增益 a。再估算差 $V_{IH}-V_{IL}$。

(b) 如果 $v_N=0$，求出使 $v_O=(1/2)\times(V_{OL}+V_{OH})$的 v_P。

5.26 图 5.24 所示的 CMOS 比较器中 $k_n'=2.5k_p'=120\mu A/V^2$，$V_{tn}=-V_{tp}=0.7V$，$\lambda_n'=\lambda_p'=1/(30V)$，及 $L=0.75\mu m$。

(a) 如果 $I_{REF}=100\mu A$，当 $I_{D5}=I_{D7}=I_{D8}=100\mu A$ 及 $V_{OV}=0.2V$ 时，指定 W_1 到 W_7 的值。

(b) 如果 $V_{DD}=-V_{SS}=2.5V$，指定 W_9 和 W_{10}，以使当 v_o 接近 0 时，总供应电流最大为 1mA。

(c) 当 $v_o=0$ 时整体增益是多少？使增益保持不变的输出电压范围是多少？

5.27 (a) 参考图 5.27 所示子电路，解释如果 $m<1$为什么没有迟滞现象。

(b) 假设图 5.28 所示电路中 W_5 和 W_6 从 $10\mu m$ 降低到 $4\mu m$，即有 $m=4/6$。为了简化假设 $\lambda_n=\lambda_p=0$，画出 v_{o1}，v_{o2} 和 $v_{o1}-v_{o2}$ 随 v_I 变化的草图，在 $v_I=0$ 附近的增益值是多少？

5.5 节

5.28 (a) 假设图 5.30c 所示电路中，$k_n'=2.7k_p'=160\mu A/V_2$，及 $V_{tn}=-V_{tp}=0.75V$，当 $I_{REF}=5I_{BIAS}=1mA$，$V_{GS}=0.5V$，$V_{DD}=5V$(假设 $\lambda_n=\lambda_p=0$)时，指定 W/L 的比率。

(b) 求出如果 V_{DD}增加到 6V，I_{DREF}变化的百分比，并评论。

5.29 (a) 使图 5.31a 所示双极型晶体管有 $I_{s1}=I_{s2}=2fA$，如果 $R_{BIAS}=2R=2K\Omega$ 及 $V_{CC}=2.5V$，通过迭代求出 I_{BIAS}和 I_{FEF}。

(b) 如果 V_{CC}增加 20%，重复上述计算，并评论。

5.30 (a) 使图 5.31b 所示双极型晶体管有 $K_2=2k_1=1mA/V_2$及 $V_{tn}=-V_{tp}=0.75V$。如果 $R_{BIAS}=2R=2K\Omega$ 及 $V_{DD}=2.5V$，通过迭代法计算 I_{BIAS}和 I_{REF}。

(b) 如果 V_{DD} 增加 20%，重复上述计算，并评论。

5.31 (a) 如果图 5.32a 所示电路用万用表测量出 $I_{C1}=250\mu A$，$I_{C2}=100\mu A$，及 $V_{BE}=60mV$，求出 R。如果 $I_{s1}=I_{s4}=2fA$，求出 I_{s2}和 I_{s3}。

(b) 如果 R 减半，哪些电压电流变化，以及变化多少？哪些仍然保持不变？

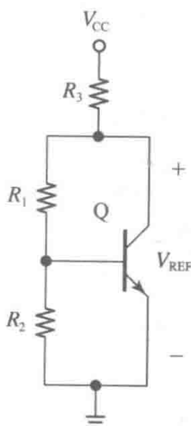
5.32 (a) 如果图 5.32b 所示电路用万用表测量值为 $I_{D1}=100\mu A$，$I_{D2}=50\mu A$，$V_{GS}=60mV$，及 $R=5K\Omega$，求出 k_1，如果 $k_4=k_1$，求出 k_2和 k_3。

(b) 如果 R 减半，哪些电压电流变化，以及变化多少？

5.33 (a) 如果题 5.33 图所示电路的所有双极型晶体管在 $I_C=1mA$ 时有 $\beta_F=200$ 及 $V_{BE}=0.64V$，在 $V_{CC}=5V$、$I_C=0.25mA$ 及 $I_{R1}=10I_B$ 时，指定令 $V_{REF}=1.0V$ 的合适电阻值。

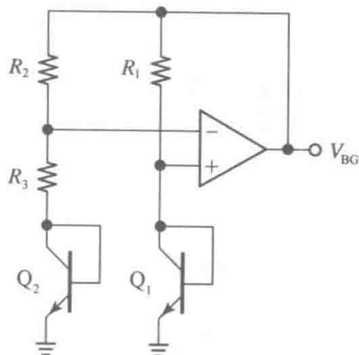
(b) 利用小信号分析估算 V_{CC}增加 20%时对应 V_{REF}变化百分比。

(c) 假设 V_{BE}温度漂移为 $-2mV/℃$，计算 V_{REF}的温度漂移。



题 5.33 图

5.34 (a) 假设题 5.34 图所示电路中另一种带隙基准的基极电流可以忽略，证明有 $V_{BG}=V_{BE2}+KV_T$，$K=(R_2/R_3)\ln[(R_2/R_1)(I_{s2}/I_{s1})]$。



题 5.34 图

(b) 如果 $I_{s2}(25℃)=2I_{s1}(25℃)=5\text{fA}$，在 $I_{C1}=5I_{C2}=0.2\text{mA}$、$T=25℃$ 时，指定 R_1 到 R_3 的值，使 $TC(V_{REF})=0$。V_{BG} 的值是多少？

5.35 题 5.35 图所示的电路称为 Wilder 带隙基准。

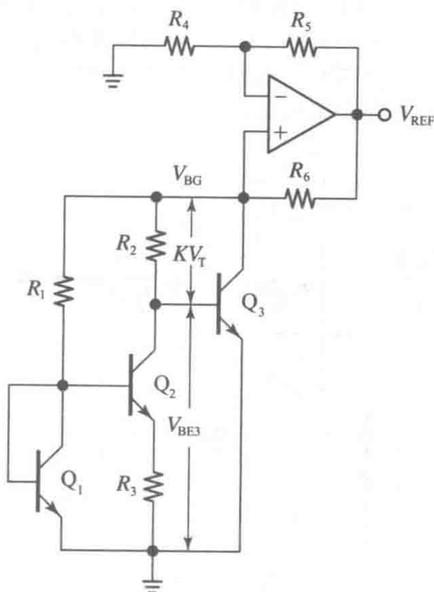
(a) 假设双极型晶体管匹配，且基极电流可以忽略，证明 $V_{BG}=V_{BE3}+KV_T$，$K=(R_2/R_1)\ln(I_{C1}/I_{C2})$。

(b) 如果对于所有的双极型晶体管，$I_S(25℃)=2\text{fA}$，在约束条件 $I_{C1}=I_{C3}=5I_{C2}=0.2\text{mA}$，指定 R_1 到 R_3 的值使 $T=25℃$ 时，温度系数 $TC(V_{BG})=0$。

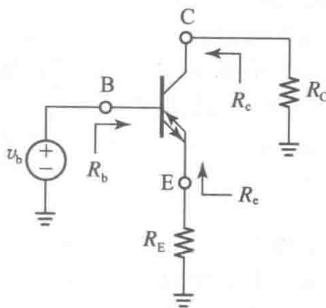
(c) 指定 R_4 到 R_6 的值使 $V_{REF}=5.0\text{V}$。

5.6 节

5.36 假设图 5.38 所示跨导器的双极型晶体管的 $\beta=200$、$V_A=50\text{V}$。令 $I_3=I_4=0.1\text{mA}$，且假设 $I_{s1}=10I_{s3}$ 及 $I_{s2}=10I_{s4}$。跨导器的连接方式如题 5.36 图所示，为了避免混淆，未画出电源电压。如果 $R_E=250\Omega$、$R_C=10\text{k}\Omega$，计算 R_b，R_c 以及 R_e。



题 5.35 图



题 5.36 图

提示：利用图 5.38 中连接 B，E，以及 C 水平线的对称性。

5.37 题 5.36 图画出了令图 5.38 所示的跨导器作为 CE 放大器是多么简单。因为所有偏置是内部完成的(为避免凌乱，电源不明确画出)，且该结构能够在四象限工作，所以外部电阻可以直接接于地，如题 5.36 图所示。

(a) 假设参数为习题 5.36 的参数，估算电压增益 v_c/v_b。它的极性怎样？

(b) 如果 $R_E=250\Omega$ 以及 $R_c=\infty$，重复上述计算。

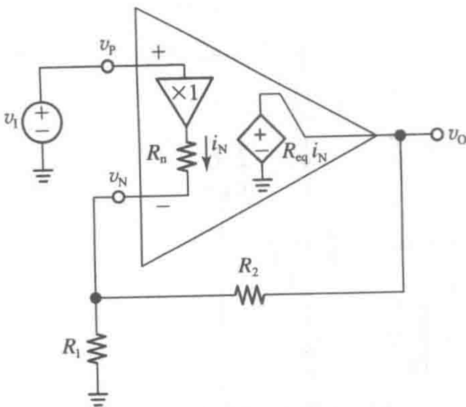
(c) 如果 $R_E=0$ 以及 $R_c=\infty$，重复上述计算，并且评价。

5.38 式(5.68)是在假设输入缓冲器是理想的情况下得到的，真实的缓冲器将表现为一个小的输出阻抗 R_n，如题 5.38 图所示。

(a) 证明式(5.68)仍然成立，只是 $1+R_2/R_{eq}$ 项改变为 $1+[R_2+R_n(1+R_2/R_1)]/R_{eq}$。

(b) 如果一个 CFA 有 $R_{eq}=750\text{k}\Omega$ 及 $R_n=$

40Ω，且被设置成同相放大器，其中 $R_2=9R_1=1.2\text{k}\Omega$，求出其增益 A。偏离理想值的百分比是多少？与 $R_n=0$ 的情形相比怎样？



题 5.38 图

5.39 假使图 5.46 所示放大器有 $I_X=I_Y=0.5\text{mA}$ 及 $R_X=R_Y=12.5\text{k}\Omega$。

(a) 当 $V_{Y1}-V_{Y2}=5.0\text{V}$ 时，式(5.76)近似产生的误差是多少？当 $v_{Y1}-v_{Y2}=2.5\text{V}$ 时又是多少？

(b) 当 $v_{X1}-v_{X2}=5.0\text{V}$ 时，指定 R 的值，使 $v_o=5.0\text{V}$。

5.7 节

5.40 (a) 假设图 5.51 所示运算放大器的输入接在一起，使得 $v_{OP}=v_{ON}=v_{OC}$，证明 $v_{OC}=V_{OC(set)}/(1+1/a_s)$，其中，$a_s$ 为伺服回路增益(求出 a_s，使 $v_p=v_n=0$，断开 M_{12} 的栅极连接且将其接地，断开 M_{15} 的栅极连接且在 M_{15} 的栅端加入一个测试电压 v_{test}，最后得到 $a_s=v_{op}/v_{test}$)。

(b) 假设运算放大器在一个单电压系统中使用，有 $V_{DD}=5\text{V}$，$V_{SS}=0$，及 $V_{OC(set)}=2.5\text{V}$。假设参数为例 5.4 中参数，且 $k_{12}=k_{13}=k_{14}=k_{15}=k_1$，$I=100\mu\text{A}$，$k_{15}=k_9/1.25$，计算 a_s 以及 v_{OC}。

5.41 (a) 假设参数为例 5.2 中参数，求出图 5.53 所示小信号增益 $a=v_{od}/v_{id}$。

(b) 假设运算放大器在一个单电压系统中使用，$V_{DD}=5\text{V}$ 及 $V_{SS}=0$，使输出电压摆幅最大的 $V_{OC(set)}$ 值是多少？

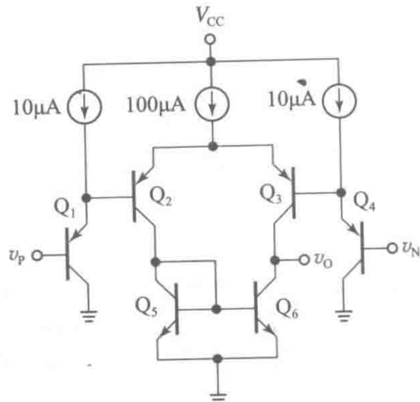
(c) 如果 v_{id} 是正弦波，在输出回落之前的最大幅度是多少？

5.42 题 5.42 图显示了单电压有源负载 Q_2-Q_3 对是怎样利用匹配的电压跟随器/转换器 Q_1-Q_4 来扩展到地电势以下的。令 $I_{sn}=5\text{fA}$，$I_{sp}=2\text{fA}$，$V_{An}=2V_{Ap}=50\text{V}$。

(a) 假设 $V_{EC(EOS)}=175\text{mV}$ 且忽略基极电流，如果输入为 v_{B2} 和 v_{B3}，求出 v_{IC}。

(b) 如果输入为 v_{B1} 和 v_{B4}，如题 5.42 图所示，重复上述计算。增益 $v_o/(v_p-v_n)$ 是多少？

(c) 给出电压跟随器带来的一些缺点。



题 5.42 图

5.43 当两个差分输入对都是有源的情形下，估计图 5.54 所示运算放大器的小信号增益。假设 $I_{D11p}=I_{D11n}=100\mu\text{A}$，$I_{D7}=I_{D8}=I_{D9}=I_{D10}=125\mu\text{A}$，$\lambda_n=2\lambda_p=1/(10\text{V})$，$\chi=0.1$，及 $V_{OV}=0.25\text{V}$。

提示：使用半边电路分析。

5.44 对图 5.55 所示的运算放大器，令 $V_{An}=1.5V_{Ap}=45\text{V}$ 及 $\beta_{on}=3\beta_{op}=150$。且令 $I_{C11p}=I_{C11n}=50\mu\text{A}$，并假设 CMFN 保持 $I_{C3}=I_{C4}=I_{C5}=I_{C6}=35\mu\text{A}$。在以下情况下估算小信号增益 $a=v_{od}/v_{id}$，若 v_{IC} 为：

(a) 靠近 V_{EE}；

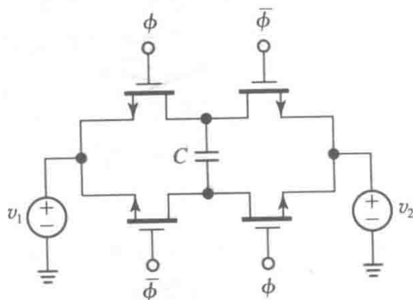
(b) 靠近 V_{CC}；

(c) 大约 V_{EE} 与 V_{CC} 之间一半。

提示：使用半边电路分析。

5.8 节

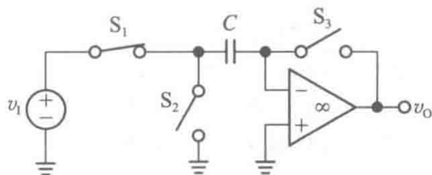
5.45 证明题 5.45 图所示的开关电容排列等效于一个电阻 $R_{eq}=1/(4Cf_S)$。列出这种结构的一个可能的优点，以及可能的缺点。



题 5.45 图

5.46 题5.46图画出为将一个高增益放大器设计为反相电压比较器，而采用的自动调零方案。

讨论它的工作原理，假设 $V_{OS}=5\text{mV}$，按图5.65所示的方式，画出自动清零模式及正常工作期间的电路图及所有电压。

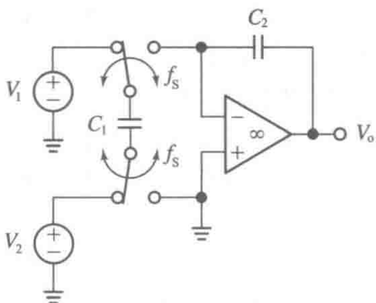


题5.46图

5.47 推导图5.66所示传输门电阻 r_{TG} 在任意 k_n，k_p，V_{tn} 以及 V_{tp} 值下的表达式。

(a) 假设 $V_{SS}=0$ 及 $V_{DD}=5.0\text{V}$，如果 $k_n=1.25k_p=1\text{mA/V}^2$，$V_{tn}=0.75\text{V}$，$V_{tp}=-1\text{V}$，画出在 $0\leqslant v\leqslant 5.0$ 范围内，r_{TG} 作为 v 函数的草图。r_{TG} 取到的最大值和最小值分别是多少？

5.48 (a) 假设题5.48图所示的 f_S 足够高，使转换过程在信号频率下显得几乎连续，用 V_1 和 V_2 表示出 V_o，你将怎样命名该电路？



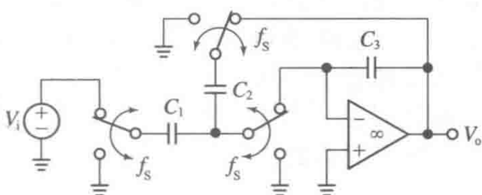
题5.48图

(b) 假设 $f_S=1\text{MHz}$，在条件 $C_1+C_2\leqslant 20\text{pF}$ 下，指定合适的 C_1 和 C_2 值使单位增益频率为5kHz。

(c) 求出 $f=20\text{kHz}$ 下的幅度和相位误差。

(d) 如果我们改变上面开关的时钟相位，使得它翻转到右边时，下面开关正好翻转到左边，将会发生什么，反之又会怎样？

5.49 (a) 假设题5.49图所示 f_S 足够高，使得在信号频率下转换过程显得几乎连续，推导传递函数 $H=V_o/V_i$，证明电路是一个带增益的低通滤波器。它的直流增益的表达式和 -3dB 频率是多少？



题5.49图

(b) 如果 $f_S=1\text{MHz}$，在条件 $C_1+C_2+C_3=30\text{pF}$ 下，指定合适的电容值使低频增益为2V/V，且 -3dB 频率为10kHz。

5.50 假设对于图5.68b所示场效应管的制造工艺，我们近似有 $\{C_{gd}\}_{fF}\approx 0.25W$，$\{Q_n\}_{fC}\approx 1.75WV_{OV}$，$\{k\}_{fF}=125W\ \mu\text{A/V}^2$，其中，W是沟道宽度，单位 μm，V_{OV} 是过过驱动电压，单位V。再令 $V_t=0.5\text{V}$，且栅电压在 $\pm 2.5\text{V}$ 间变化。

(a) 当 $v_I=0$ 时，指定 W_1，使 $r_{DS1}=500\Omega$。$v_I=0.5\text{V}$ 时，r_{DS1} 是多少？$v_I=-0.5\text{V}$ 时呢？

(b) 如果 $C_{tot}=750\text{fA}$，求出当 $v_I=0$，0.5V 及 -0.5V 时，由于时钟馈通导致的 v_O 误差。

(c) 如由于电荷注入导致 $\alpha=0.5$，重复计算(b)。

(d) 指定 W_2，以消除由于 M_1 导致的时钟馈通。

(e) 如果 $\alpha=0.5$，你能说出怎么消除电荷注入吗？如果 $\alpha=1$ 呢？

第6章 频率和时间响应

到目前为止，在我们学习的电子电路中，我们已经默认假设二极管和晶体管对外部信号立即响应。这只有在特定的工作频率下才近似正确，超过这个频率后各种寄生阻抗发挥作用，即限制频率响应，以及电路的工作速度(速度和频率特性统称为动态特性)。由于二极管和晶体管的工作原理是电荷控制，它们内部的寄生阻抗是容性的，在第1章中提到过的结电容 C_j是一个常见的例子。但是，即使没有任何电子器件，电路也会源自其尺寸和布局而呈现出固有的寄生效应。实际上，将电路作为节点和分支的集合来看，我们可以有把握地说：

- 每个节点表现出对其附近节点的杂散电容，包括参考点和地；
- 每个分支表现出自身的电感，以及附近分支的耦合电感。

无论是特定的或寄生的电容，都倾向于抑制其两端的电压的变化，而电感倾向于抑制其上电流的变化。这些寄生参数通常很小，意味着在特定工作频率下，杂散电容相当于是开路的，而电感相当于是短路的，因此可以忽略。然而，当电路的工作频率或者工作速度增加，电感和电容的作用是相反的，即电容接近短路的性质而电感接近开路的性质。在电路中我们感兴趣的是杂散电容会导致多严重的限制。为了研究它们在电路中的动态影响，我们现在需要在小信号晶体管模型中增加合适的电容。

BJT 和 MOSFET 都包含 pn 结，因此它们的模型必须包含相应的结电容。MOSFET 还包括了由栅极与沟道、源区和漏区产生的电容，而这些电容在 BJT 中没有相对应的电容。另一方面，BJT 中存在 MOSFET 中没有的与基极内部积累的少数载流子相关的电容。因此，这两种器件的寄生现象的物理起源有相似性也有差异性。然而，其相似度是很高的，所以一旦学生掌握了两种器件中的一种的高频分析方法，其中很多也可以适用于另一种。

本章重点

本章从 BJT 和 MOSFET 寄生电容的物理基础开始，接着为这两种器件开发了合适的高频模型。

然后将这些模型应用到基本单晶体管结构(CE/CS，CC/CD 和 CB/CG 结构)及差分对、无源负载和有源负载电路的高频行为研究中。由于 CC/CD 和 CB/CG 结构的突出特点是实现阻抗变换，为此特别关注终端阻抗及其建模，尤其是电感阻抗导致的起振甚至振荡。

由于电路的复杂度增加，频率分析变得非常困难。接下来讨论的开路时不变(OCTC)技术通过将其分解成多个简单的子任务来减轻频率分析的复杂度，然后我们用它来估计电路的带宽。OCTC 技术被证明在诸如共源共栅的多晶体管电路分析中特别有用。

频率响应只能阐明电路的某些动态特性。为了全面分析，还需要知道对应的瞬态响应。运放提供了一个典型的例子，它证明了同时知道两个方面的特性是有用的。

有些情况只关注瞬态响应，尤其是如开关和逻辑门的高非线性应用。本章包含了 pn 结和 BJT 的开关瞬态特性，CMOS 逻辑门的传播延时，以及电压比较器的响应时间。

频率分析需要一定程度的灵活性来构建传输函数及其伯德(Bode)图。为了方便起见，这些问题在本章最后的附录 6A 中进行了简单的回顾。本章充分利用 PSpice 作为一个软件示波器来显示伯德图和瞬态响应，并且作为手动计算的验证工具。

6.1　高频 BJT 模型

回想一下，BJT 包括两个 pn 结。在结隔离集成电路(IC)中有第三个结，它提供了芯片上各 BJT 及其周围元件的电气隔离(这个结总是反向偏置的)。正如我们所知道的，每个结表现出一个压敏电容，称为结电容，其特性如图 1.41b 所示。在图 6.1 所示的 npn BJT 的例子中，我们感兴趣的是如下三个电容。

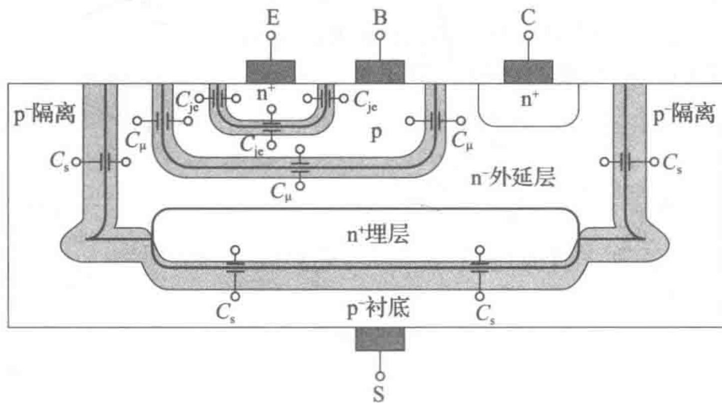


图 6.1　一个整体的 npn BJT 的结电容

- 基极-发射极结电容 C_{je}，

$$C_{je}(v_{BE}) = \frac{C_{je0}}{(1 - v_{BE}/\phi_e)^{m_e}} \tag{6.1a}$$

式中：C_{je0} 为 C_{je} 在零偏置时的值；v_{BE} 为基极-发射极电压；ϕ_e 为基极-发射极结的内建电位；m_e 为结的缓变系数，通常突变结的为 1/2，缓变结的为 1/3。在正向有源区中 v_{BE} 与其典型值 $V_{BE(on)}(=0.7V)$ 相差不大，所以通常的处理是近似为：

$$C_{je}(V_{BE(on)}) \approx 2C_{je0} \tag{6.1b}$$

- 基极-集电极结电容 C_{jc}，在模拟电子学中一般表示为 C_μ，即

$$C_\mu(v_{BC}) = \frac{C_{\mu0}}{(1 - v_{BC}/\phi_c)^{m_c}} \tag{6.2}$$

其各种参数与上面所介绍的相同。在正向有源区中通常有 $v_{BC}<0$，于是有 $C_\mu<C_{\mu0}$。

- 集电极-衬底结电容 C_s，有与上面相似的表达形式。为了保证隔离，这个结必须一直处于反向偏压下，以阻止其开启，衬底 S 在内部连接到电路的最负电压。因为 $v_{sc}<0$，这个结是不导通的，其表现为寄生电容 C_s，其作用是将高频集电极信号分流到交流地的衬底。

图 6.1 表明了三个电容都是分布式电容，并且从 C_{je} 到 C_μ 到 C_s 的面积是递增的。然而耗尽层宽度也按这个顺序递增，这是因为从发射极到基极到集电极到衬底，掺杂浓度是递减的。因此，如果我们按照图 1.42b 认为每个结电容为 $C_j=\varepsilon_{si}A/X_d$，那么这三个电容值彼此相差不太大也就不足为奇了。电容值与晶体管的尺寸相关，C_{je}，C_μ 和 C_s 电容可以从几皮法($1pF=10^{-12}F$)下降至十飞法($1fF=10^{-15}F$)左右。

基极充电电容 C_b

现在我们希望证明 BJT 表现出一个额外的电容 C_b，它是由于少数载流子注入到基极引起的。回想一下，为了使 BJT 工作在正向有源区(FA)，我们需要让其基极的少数电荷载流子过量(这种方式已经在图 2.8 中讨论过，在这里为了方便起见，重复为图 6.2 所示)。为了求出这种电荷，用 Q_F 表示，其包含 npn 型 BJT 的电子和 pnp 型 BJT 的空穴。我们认为 dQ_F 包含水平轴的某点 x 处厚度为无穷小 dx 里的电荷，再从 0 到基极宽度 W_B 求 dQ_F 的积分，就可以求出 Q_F。对于一个发射极面积为 A_E 的 npn 型 BJT，首先将 A_E 与过剩

电子密度$n'_B(x)$相乘得到这一薄片中的电子数量，然后再乘以电子的电荷$-q$得到dQ_F，最后求积分：

$$Q_F = -qA'_E \int_0^{W_B} n'_B(x)\,dx$$
$$= -qA_E \frac{W_B \times [n'_B(0) - n'_B(W_B)]}{2}$$

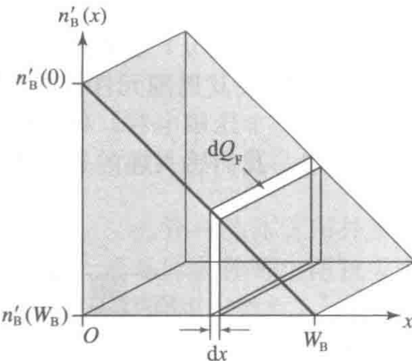


图 6.2　工作在正向有源模式下的 npn BJT 的基区过量少数载流子分布

这里利用到一个事实，即这一积分正好是底为W_B和高为$n'_B(0)-n'_B(W_B)$的三角形的面积。我们也知道集电极电流I_C是与三角形的斜率成比例的，即

$$I_C = A_E J_n = qA_E D_n \frac{dn'_B(x)}{dx}$$
$$= qA_E D_n \left(-\frac{n'_B(0) - n'_B(W_B)}{W_B}\right)$$

式中：D_n是电子扩散系数。消去差值$n'_B(0)-n'_B(W_B)$并化简，我们得到：

$$Q_F = \tau_F I_C \tag{6.3}$$

式中：

$$\tau_F = \frac{W_B^2}{2D_n} \tag{6.4}$$

为电子在正向方向上的平均传输时间。这样称呼是因为它代表电子在穿越基极区域的平均时间(为了理解原因，将其重新写作$I_C=Q_F/\tau_F$，并利用电流的定义，$I=\Delta Q/\Delta t$，可将τ_F视为电荷Q_F扩散通过基极的时间)。对于单片 npn 型 BJT，τ_F的典型范围为 10～100ps ($1\text{ps}=10^{-12}\text{s}$)。只要用$D_p$替换$D_n$，式(6.4)同样适用于 pnp 型 BJT。根据爱因斯坦方程，$D_p=(\mu_p/\mu_n)D_n$。因为$\mu_p<\mu_n$，所以$D_p<D_n$，表明 pnp 型 BJT 比 npn 型 BJT 的传输时间更长，这一特点使得 npn 型固有的速度就更快，因而更适合于高速应用。

回想起，变化的v_{be}将导致电流变化，即$i_c=g_m v_{be}$，因此由式(6.3)，有$q_f=\tau_F i_c$，即$q_f=\tau_F g_m v_{be}$，电压改变会导致电荷再分配，我们将其看成是电容行为，所以有$C_b=q_f/v_{be}$，即

$$C_b = \tau_F g_m = \tau_F \frac{I_C}{V_T} \tag{6.5}$$

式中：C_b为基极充电电容，也称为扩散电容。注意：C_b取决于偏置电流I_C，就像g_m、r_π和r_o一样。

高频 BJT 模型

我们现在准备把上述所有信息转换为小信号 BJT 模型，这将允许我们研究双极 IC 的高频特性。结果如图 6.3 所示，其中与频率相关的小信号电压和电流是用它们的拉普拉斯(Laplace)变换(带小写下标的大写字母)表示。从右至左出发，我们给出以下观察结果。

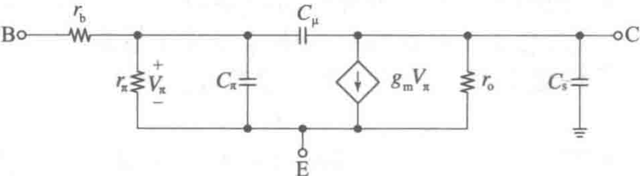


图 6.3　BJT 的高频小信号模型

- 首先，存在衬底电容C_s。因为 npn 型 BJT 的衬底已连接到最负电压(MNV)，它是直流电势，所以衬底在模型中表现为信号地(为了简化计算，通常忽略掉C_s)。
- 其次，我们注意到基极-集电极结电容C_μ。此电容最有趣，因为在有些情况下，其

影响是很细微的，因而可以忽略不计，而在其他情况下，其作用会因为米勒效应而被放大，因此在电路中变为主要电容。

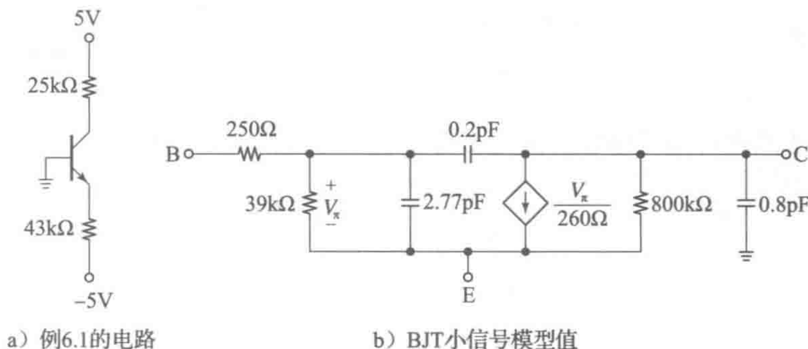
- 存在与 r_π 并联的电容 C_π，它由两部分组成，即

$$C_\pi = C_{je} + C_b \tag{6.6}$$

即由近似恒定的结分量 $C_{je}(\approx 2C_{je0})$ 和与偏置相关的分量 $C_b(=\tau_F I_C/V_T)$ 组成。

- 参考图 6.1，我们观察到，当电流进入基极端 B，继而进入薄基区并分流到发射极和集电极，其中在晶体管的中间位置(基区)遇到一些分布电阻，它就是中度掺杂的 p 型基区的体电阻 r_b。在单片 BJT 中典型数量级为 $10^2\Omega$，到目前为止，r_b 都被忽略了，这是因为它对 i_b 响应产生的电压降与 r_π 产生的相比是可以忽略不计的。然而，我们会发现，在高频率工作中一般不能忽略 r_b，因为它限制了某些 BJT 结构的动态响应，尤其是在 CE 结构中。

例 6.1 利用高压工艺中的典型数据，求出图 6.4a 所示 BJT 小信号模型的基本值：$\beta_0=150$，$V_A=80\text{V}$，$r_b=250\Omega$；$\tau_F=200\text{ps}$；$C_{je0}=1.0\text{pF}$，$\phi_e=0.8\text{V}$，$m_e=0.33$；$C_{\mu0}=0.5\text{pF}$，$\phi_c=0.6\text{V}$，$m_c=0.5$；$C_{s0}=3.0\text{pF}$，$\phi_s=0.6\text{V}$，$m_s=0.5$。画出你的最终电路。



a）例6.1的电路　　b）BJT小信号模型值

图 6.4

解：

$I_C \approx I_E = ((5-0.7)/43)\text{mA} = 0.1\text{mA}$。像往常一样计算，我们得到 $g_m = 1/(260\Omega)$，$r_\pi = 39\text{k}\Omega$ 和 $r_o = 800\text{k}\Omega$。还可以得到：

$$C_b = \tau_F g_m = \frac{200\times10^{-12}}{260}\text{F} \approx 0.77\text{pF}$$

$$C_{je} = 2C_{je0} = 2.0\text{pF}$$

$$C_\pi = C_b + C_{je} \approx 2.77\text{pF}$$

为了得到 C_μ，我们发现 $V_C=(5-20\times0.1)\text{V}=3\text{V}$，故 $V_{BC}=V_B-V_C=(0-3)\text{V}=-3\text{V}$。为了求出 C_s，假定衬底与最负电压(−5V)相连，那么 $V_{SC}=V_S-V_C=(-5-3)\text{V}=-8\text{V}$。接着有：

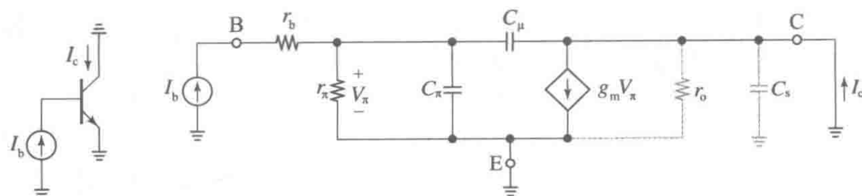
$$C_\mu = \frac{0.5}{\left(1-\frac{-3}{0.6}\right)^{0.5}} \approx 0.2\text{pF},\quad C_s = \frac{3}{\left(1-\frac{-8}{0.6}\right)^{0.5}} \approx 0.8\text{pF}$$

整个小信号模型如图 6.4b 所示。◀

BJT 频率响应指标

通常用特征频率 f_T 来表征 BJT 的频率特性，它代表了小信号电流增益 $|\beta(jf)|$ 下降到 1 时的频率。这一频率用作高速工作的品质因数，而且可以用图 6.5 所示的交流等效来计算或测量。具体来说，我们将一个小信号交流电流 i_b 加到基极，然后会在交流地得到集电极交流电流 i_c，而且我们可以得到比率 $\beta=I_c/I_b$，其中，I_b 和 I_c 是 i_b 和 i_c 的拉普拉斯变换。最终，我们得到 $|\beta(jf_T)|=1$，或者 0dB 时的频率 f_T。

回顾图 6.5b 所示的等效电路，我们观察到，将集电极短路到地，会让 r_o 和 C_s 不再相



a）求f_T的交流电路　　b）它的小信号等效电路

图 6.5

关，并使 C_μ 和 C_μ 并联。因此我们可以运用欧姆定律写出：

$$V_\pi = \left[r_\pi \mathbin{/\!/} \frac{1}{s(C_\pi + C_\mu)} \right] I_b = \frac{r_\pi I_b}{1 + s r_\pi (C_\pi + C_\mu)}$$

s 是复合频率。事实证明，在感兴趣的频率范围内，通过 C_μ 反馈的电流与 $g_m V_\pi$ 相比是可以忽略不计的，因此我们可以近似有：

$$I_c \approx g_m V_\pi = \frac{g_m r_\pi}{I + s r_\pi (C_\pi + C_\mu)} I_b$$

令 $g_m r_\pi \to \beta_0$，并求解 I_c / I_b 比值，我们得到：

$$\beta(s) = \frac{I_c}{I_b} = \frac{\beta_0}{1 + s r_\pi (C_\pi + C_\mu)}$$

我们主要感兴趣的是晶体管的交流稳态响应，也称为频率响应，所以我们让 $s \to j\omega$（或者 $s \to j2\pi f$），可以得到：

$$\beta(j\omega) = \frac{\beta_0}{1 + j\omega/\omega_\beta} \tag{6.7}$$

式中：

$$\omega_\beta = \frac{1}{r_\pi (C_\pi + C_\mu)} \tag{6.8}$$

因为在 $s = -\omega_\beta$ 时，$\beta(s)$的分母等于 0，导致 $\beta(s)$增大到无穷大，ω_β 被形象地称为极点频率（见附录 6A 的伯德图）。电流增益幅度为：

$$|\beta(j\omega)| = \frac{\beta_0}{\sqrt{1 + (\omega/\omega_\beta)^2}} \tag{6.9}$$

将其绘制在对数刻度上，ω 为 10 倍频（或者 8 倍频），且幅度以分贝为单位。由此得到的图形称为伯德图，如图 6.6 所示，这是一种常见的形式，有必要对此给出一些有用的观察结果。

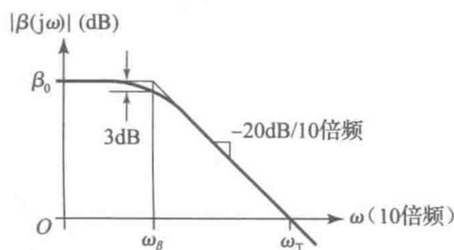


图 6.6　$|\beta(j\omega)|$ 的伯德图

- 当 $\omega \ll \omega_\beta$ 时，式(6.9)预测了低频渐近线：

$$|\beta(j\omega)| \to \beta_0 \tag{6.10}$$

  这一章中，我们都在这个频率范围内研究。

- 当 $\omega \gg \omega_\beta$，时，式(6.9)预测了高频渐近线：

$$|\beta(j\omega)| \to \frac{\beta_0}{\omega/\omega_\beta} = \frac{\beta_0 \omega_\beta}{\omega}$$

  定义增益带宽积为 $\mathrm{GBP} = |\beta| \times \omega$，我们观察到当 $\omega \gg \omega_\beta$ 时，有：

$$\mathrm{GBP} = |\beta(j\omega)| \times \omega = \beta_0 \omega_\beta \tag{6.11}$$

  这说明，GBP 是不随频率变化而变化的常数。换句话说，选择高频渐近线上的任意一点，并计算该点的纵坐标 $|\beta(j\omega)|$ 与横坐标 ω 的乘积，得到结果是相同的，即 GBP 为常数。另外，ω 增加（减少）10 倍将导致 $|\beta(j\omega)|$ 减少（增加）10 倍或者 20dB。另一种情况下，ω 增加（减少）8 倍将导致 $|\beta(j\omega)|$ 减少（增加）8 倍或者 6dB。

- 在 $|\beta(j\omega)|$ 下降到 1 或者是 0dB 时对应的频率 ω_T 称为特征频率，因为超过该频率，

BJT 不再提供电流增益并开始衰减，所以它不再有用了。由式(6.11)，我们必须有 $1\times\omega_T=\beta_0\omega_\beta$，利用式(6.8)，以及 $r_\pi=\beta_0/g_m$，我们有：

$$\omega_T=\frac{g_m}{C_\pi+C_\mu} \tag{6.12a}$$

或者是：

$$f_T=\frac{g_m}{2\pi(C_\pi+C_\mu)} \tag{6.12b}$$

单片 BJT 的 f_T 的范围从几百兆赫兹到几十吉赫兹。

- 当 $\omega=\omega_\beta$ 时，式(6.9)预测到 $|\beta(j\omega_\beta)|=\beta_0/\sqrt{2}=0.707\beta_0$，也就是，在 $\omega=\omega_\beta$ 时，$|\beta|$ 的幅度下降到其低频值 β_0 的 70.7%。因为 $1/\sqrt{2}=-3\text{dB}$，极点频率 ω_β 也称为 -3dB 频率。

练习 6.1

在图 6.5b 所示电路中通过 C_μ 反馈的电流为，$I_\mu=V_\pi/[1/(j\omega C_\mu)]$，利用 $C_\mu\ll C_\pi$，证明频率至少增加到 ω_T 时才有 $|I_\mu|\ll|g_mV_\pi|$，从而验证了 $I_c\approx g_mV_\pi$ 的近似。

例 6.2 如果某个 BJT 在 $f=1\text{kHz}$ 时，$|\beta|=200$，在 $f=500\text{MHz}$ 时，$|\beta|=10$，求 β_0、f_β 和 f_T。

解：

因为 1kHz 属于低频，第一个点必须处于低频渐近线上，因此 $\beta_0=200$，因为第二个点远比 β_0 小，其必须位于高频渐近线上，此处 GBP 为常数。因此 $f_T=\text{GBP}=10\times500\text{MHz}=5\text{GHz}$。最后，$f_\beta=f_T/\beta_0=(5\,000/200)\text{MHz}=25\text{MHz}$。◀

深入理解特征频率 f_T 是很有必要的。联立式(6.5)、式(6.6)、式(6.12)，用更详细的形式来表示这一频率，即

$$f_T=\frac{1/2\pi}{\dfrac{C_{je}+C_\mu}{I_C}V_T+\tau_F} \tag{6.13}$$

上式明确表明该频率与偏置电流 I_C 相关。在集电极电流足够低时，f_T 由 $C_{je}+C_\mu$ 决定，并随 I_C 增大而增大。当 I_C 足够高时，f_T 达到饱和，有：

$$f_{T(\max)}=\frac{1}{2\pi\tau_F} \tag{6.14}$$

表明 τ_F 对 f_T 提出了最终的限制。图 6.7 显示出在高集电极电流时，f_T 开始下降。这是由于随着高阶注入，以及其他高集电极电流效应，τ_F 会增加。

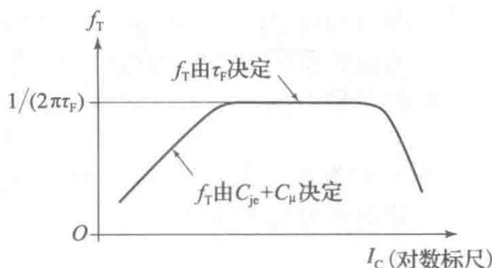


图 6.7 f_T 与偏置电流 I_C 的关系

利用式(6.4)以及爱因斯坦关系式 $D_n=\mu_nV_T$，对于 npn 型 BJT，f_T 也可以写作：

$$f_{T(\max)}=\frac{1}{\pi}\frac{\mu_n}{W_B^2}V_T \tag{6.15}$$

对于 pnp 型 BJT 用 μ_p 代替 μ_n。显然为了高速运行 BJT，应该制作非常窄的基极，而且它应该是 npn 型的，因为电子移动速度是空穴的 2～3 倍。

例 6.3 求例 6.1 中 BJT 的 f_T。它与 $f_{T(\max)}$ 相比如何？在这一例子中哪个参数对 f_T 起主导作用？哪个参数的影响最小？

解：

由式(6.13)给出：

$$f_T=\frac{1/(2\pi)}{\dfrac{(2+0.2)\times10^{-12}}{0.1}\times26+200\times10^{-12}}\text{Hz}=\frac{1}{2\pi\times(520+52+200)\times10^{-12}}\text{Hz}=206\text{MHz}$$

由式(6.14)给出：

$$f_{T(max)} = \frac{1}{2\pi \times 200 \times 10^{-12}} Hz = 796MHz$$

显然，在该例中起主导作用的是 C_{je}，其次是 C_b，影响最小的是 C_μ。◀

6.2　高频 MOSFET 模型

如图 6.8 所示，一个完整的 MOSFET 呈现出许多的内部电容。

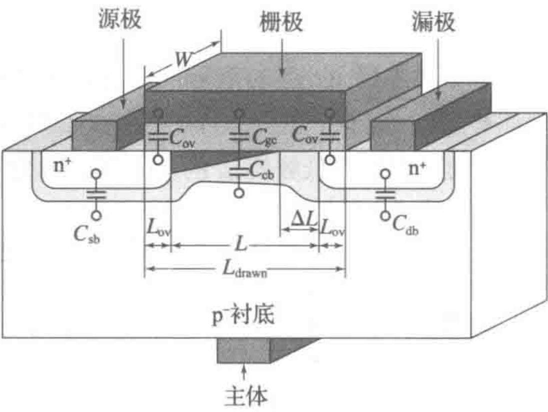


图 6.8　饱和单片 nMOSFET 内的电容

- 栅极-沟道氧化电容 C_{gc}，也称为本征电容，有：

$$C_{gc} = WLC_{ox} \tag{6.16}$$

式中：W 是沟道宽度；L 是内部源极和漏极扩散区边缘的距离；C_{ox}是单位面积氧化电容。回想到第 3 章中，有：

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} = \frac{34.5}{t_{ox}} \text{fF}/\mu\text{m}^2 \tag{6.17}$$

式中：t_{ox}是氧化层厚度，单位是 nm。例如，一个 $t_{ox}=10$nm 的工艺给出$C_{ox}=(34.5/10)\text{fF}/\mu\text{m}^2=3.45\ \text{fF}/\mu\text{m}^2$。在制造之前，绘制在掩膜版上的栅极长度表示为 L_{drawn}。通过离子注入制造 n^+ 源极和漏极区域的过程中，离子横向扩散会导致内部源极和漏极区的边缘和栅电极外部边缘之间的交叠。将交叠的部分表示为 L_{ov}(PSpice 中表示为 Ld)，这样我们有：

$$L = L_{drawn} - 2L_{ov} \tag{6.18}$$

通常，L_{ov} 大约是 L_{drawn} 的 10%～20%。注意：在计算器件的跨导时，参数 $k=k'(W/L)$，必须用上述的 L，还要利用乘积因子$(1+\lambda v_{DS})$，以考虑沟道长度调制效应 ΔL。但是工程师参考特殊制造工艺进行设计时，会用 L 表示实际的 L_{drawn}。这也是 PSpice 惯用的方法，其中 $L=1.0\mu$　Ld$=0.15\mu$ 这种类型的表述意味着制造工艺为 $L_{drawn}=1.0\mu$m 及 $L_{ov}=0.15\mu$m，因此 $L=(1-2\times0.15)\mu\text{m}=0.7\mu$m。为了与先前章节保持一致性，应该继续用 L 表示源极和漏极内部边缘之间的距离。

- 沟道-衬底耗尽层电容 C_{cb}。在模拟应用中最感兴趣的是饱和工作区，该电容与栅极通过反型层隔离，因此可以忽略。
- 栅电极与源极和漏极边缘的交叠电容，其大小为：

$$C_{ov} \approx WL_{ov}C_{ox} \tag{6.19}$$

- n^+型源区、漏区，与 p^-型体(也称作衬底)之间的连接电容 C_{sb}和 C_{db}。我们知道，这些电容的表达式为：

$$C_{sb} = \frac{C_{sb0}}{(1+v_{SB}/\phi_0)^m},\quad C_{db} = \frac{C_{db0}}{(1+v_{DB}/\phi_0)^m} \tag{6.20}$$

上述各电容所起的作用随着 MOSFET 的工作条件变化而变化。模拟应用中，MOSFET 工作在饱和区，其中沟道呈现熟悉的锥形形式(参见图 6.8)，其中，L 是 SCL 延伸到沟道一侧的部分。这种不对称性使$(2/3)C_{gs}$处在源极侧，而漏极一侧则没有。基于这些考虑，MOSFET 完整的高频模型如图 6.9 所示。通常，由于与频率相关，小信号的电压和电流会以它们的拉普拉斯变换(带小写字母下标的大写字母)形式表示。我们将会看到，MOSFET

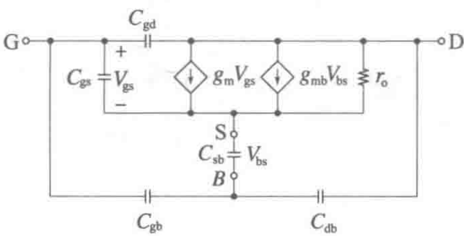


图 6.9　MOSFET 完整的高频小信号模型

频率响应中作用最大的电容是 C_{gs} 和 C_{gd}，可以写作：

$$C_{gs} \approx \frac{2}{3}WLC_{ox} + WL_{ov}C_{ox}, C_{gd} \approx WL_{ov}C_{ox} \tag{6.21}$$

这个模型也包括杂散电容 C_{gb}，因为栅极互连与有源器件区域外的衬底之间，会有电容耦合，这从图 6.8 所示结构中不能马上看出来。当前技术下，MOSFET 小信号模型中的电容变化在 fF 数量级范围内($1fF=10^{-15}F$)。

图 6.9 所示的模型用于手算是相当吓人的——所幸 PSpice 仿真不需要手算。在这种情形下，衬底和源极相连，简化模型如图 6.10 所示，其中式(6.21)的 C_{gs}表达式，现在变为：

$$C_{gs} \approx \frac{2}{3}WLC_{ox} + WL_{ov}C_{ox} + C_{gb} \tag{6.22}$$

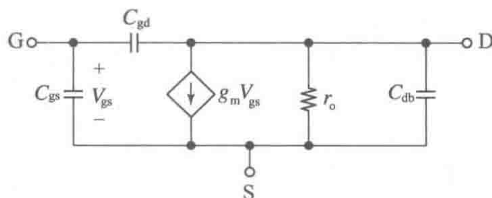
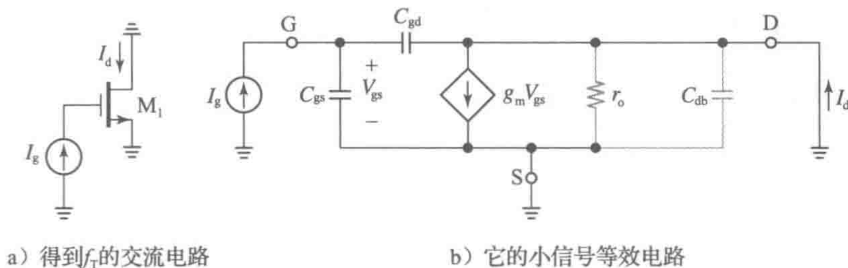


图 6.10 衬底和源极相连的 MOSFET 高频小信号模型

MOSFET 频率响应指标

就像 BJT 一样，MOSFET 的频率性能可用特征频率 f_T表示，在该频率处其小信号电流增益下降到单位增益。我们知道在直流下没有电流流入栅端，但是当工作频率增加时，与栅端相关的杂散电容抽取的电流会增加，从而降低了 MOSFET 的电流增益。特征频率表示 MOSFET 高频工作时的品质因素，它可以使用图 6.11a 所示的交流等效图来计算或测量。具体地讲，我们给栅极端施加一个小信号交流电流 I_g，在漏极交流地处得到 MOSFET 抽取电流 I_d，求得比率 I_d/I_g，最终在$|I_d/I_g|=1$，或 0dB 处，确定频率 ω_T。



a) 得到f_T的交流电路　　b) 它的小信号等效电路

图 6.11

现在研究图 6.11b 所示的等效电路，我们注意到：漏极对地短接会使 r_o与 C_{db}不相关，也将 C_{gd}与 C_{gs}并联。另外，由于衬底和源极相连，C_{gs}可以由式(6.20)得到。应用广义欧姆定律，有：

$$V_{gs} = \frac{1}{s(C_{gs}+C_{gd})}I_g$$

跟 BJT 情形类似，我们可以验证：当超过感兴趣的频率范围时，通过 C_{gd}的前馈电流与受控源的电流相比可以忽略，因此我们近似有：

$$I_d \approx g_m V_{gs} = \frac{g_m}{s(C_{gs}+C_{gd})}I_g$$

计算比率 I_d/I_g，且令 $s \to j\omega$，我们得到：

$$\frac{I_d}{I_g} = \frac{1}{j\omega/\omega_T} \tag{6.23}$$

式中：

$$\omega_T = \frac{g_m}{C_{gs}+C_{gd}} \tag{6.24a}$$

或者表示为：

$$f_T = \frac{g_m}{2\pi(C_{gs}+C_{gd})} \tag{6.24b}$$

注意到这与 BJT 的式(6.12)的形式相似。由于 g_m与偏置电流 I_D相关，f_T也与其相关。图 6.12 画出了 MOSFET 的电流增益伯德图。在低频时，增益趋向无穷大，这是因为栅极不抽取直流电流。当 $f=f_T$时，流入栅极的电流等于漏极抽取的电流。在电流较大的 MOSFET 中，f_T范围从几百兆赫兹变化到几十吉赫兹。

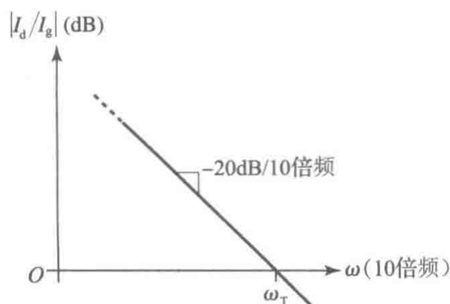


图 6.12 MOSFET 电流增益伯德图

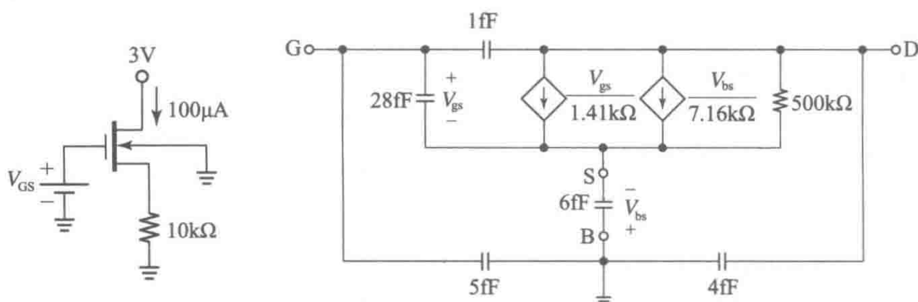
练习 6.2

图 6.11b 所示电路中通过 C_{gd} 的前馈电流为 $I_{gd}=V_{gs}/[1/(j\omega C_{gd})]$。利用 $C_{gd}\ll C_{gs}$，证明当频率 ω_T 至少达到多少时，我们有 $|I_{gd}|\ll|g_m V_{gs}|$，从而验证了 $I_d\approx g_m V_{gs}$ 的近似。

例 6.4

(a) 假设图 6.13a 所示电路中 V_{GS}被调节到使 $I_D=100\mu A$，求出 MOSFET 小信号模型中的参数值，且画出最终的电路。工艺参数为：$k'=250\mu A/V^2$，$C_{ox}=4fF/\mu m^2$，$\lambda'=0.02\mu m/V$，$\gamma=0.5V^{1/2}$，$\phi_p=-0.3V$，$\phi_0=0.6V$，以及 $m=0.5$。器件参数为：$W=10\mu m$，$L=1.0\mu m$，$L_{OV}=25nm$，$C_{sb0}=C_{db0}=10fF$，及 $C_{gd}=5fF$。

(b) 估算 f_T。



a）例6.2电路　　b）MOSFET小信号模型值

图 6.13

解：

(a) 器件跨导参数为 $k=k'(W/L)=0.25\times(10/1)mA/V=2.5mA/V$，以及过驱动电压为 $V_{OV}=\sqrt{2I_D/k}=\sqrt{2\times0.1/2.5}V=0.283V$。由于 $V_S=10\times0.1V=1V$ 和 $V_{DS}=(3-1)V=2V$，显然 $V_{DS}>V_{OV}$，表明场效应管工作在饱和区。我们有：

$$\lambda=\lambda'/L=(0.02/1)V^{-1}=0.02V^{-1}$$

$$r_o=\frac{1}{\lambda I_D}=\frac{1}{0.02\times0.1}\Omega=500k\Omega$$

$$g_m=\sqrt{2kI_D}=\sqrt{2\times2.5\times0.1}k\Omega^{-1}=\frac{1}{1.41k\Omega}$$

$$g_{mb}=\frac{\gamma g_m}{2\sqrt{V_{SB}+2|\phi_p|}}=\frac{0.5/1.41}{2\times\sqrt{1+2\times0.3}}k\Omega^{-1}=\frac{1}{7.16k\Omega}$$

$$C_{sb}=\frac{C_{sb0}}{(1+v_{SB}/\phi_0)^m}=\frac{10}{(1+1/0.6)^{0.5}}fF\approx6fF$$

$$C_{db}=\frac{C_{db0}}{(1+v_{DB}/\phi_0)^m}=\frac{10}{(1+3/0.6)^{0.5}}fF\approx4fF$$

$$C_{gs}\approx\frac{2}{3}\times WLC_{ox}+WL_{ov}C_{ox}=\left(\frac{2}{3}\times10\times1\times4+10\times0.025\times4\right)fF\approx(27+1)fF=28fF$$

$$C_{gd} = 1\text{fF}$$

完整的小信号模型如图 6.13b 所示。

(b) 利用式(6.24b)，求出 f_T，但是 C_{gs} 如式(6.22)表示，即 $C_{gs}=(27+1+5)\text{fF}=33\text{fF}$。从而

$$f_T = \frac{g_m}{2\pi(C_{gs}+C_{gd})} = \frac{1/(1.41\times 10^3)}{2\pi\times(33+1)\times 10^{-15}}\text{Hz} = 3.31\text{GHz}$$ ◀

类似 BJT 情形，进一步观察 f_T是有益的，我们现在将其表示如下：

$$f_T = \frac{\sqrt{2kI_D}}{2\pi(C_{gs}+C_{gd})} \tag{6.25}$$

显然，MOSFET 的 f_T随着偏置电流 I_D的均方根增加而增加，相比之下，在足够低的偏置电流下，BJT 的 f_T直接随 I_C成比例增加。由于 BJT 中电流是少子电荷扩散造成了这样的结果，因此这种增加持续到频率 $f_T=1/(2\pi\tau_F)$处，它才达到饱和。与此相反，MOSFET 的电流是由多子电荷漂移产生的，因此在这种情况下的限制因素仅仅是杂散电容。

MOSFET 的所有电容中，最主要的通常是式(6.21)右边第一项。如果我们将式(6.24b)近似为 $f_T\approx g_m/(2\pi C_{gs})$，其中，$C_{gs}\approx(2/3)WLC_{ox}$，这样，有：

$$f_T \approx \frac{g_m}{2\pi(2/3)WLC_{ox}} = \frac{0.75}{\pi}\frac{g_m}{WLC_{ox}}$$

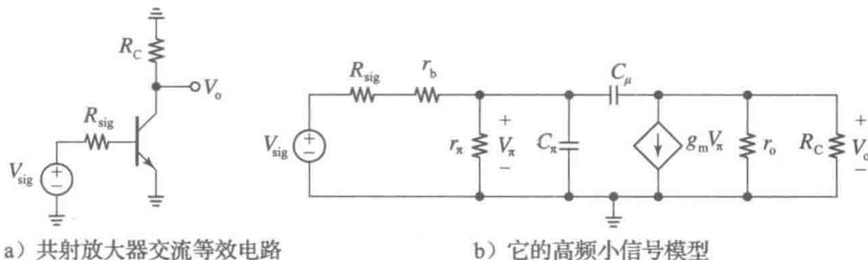
令 $g_m = kV_{OV} = [(W/L)\mu_n C_{ox}]V_{OV}$ 并简化，对于给定的 V_{OV}，通过下式，最终可以确定 nMOSFET 的上限：

$$f_{T(\max)} = \frac{0.75}{\pi}\frac{\mu_n}{L^2}V_{OV} \tag{6.26}$$

对于 pMOSFET 用 μ_p代替 μ_n。显然，对于快速工作的 MOSFET 应该具有非常短的沟道，并且它应该是 n 型的，因为电子迁移速度是 p 型中空穴的 2～3 倍。注意到式(6.26)与式(6.15)中BJT 显著的相似性，只是用过驱动电压 V_{OV}(用户施加的)替代(固定)热电压 V_T：V_{OV}越高，MOSFET 工作速度很可能越快。

6.3 共射/共源放大器频率响应

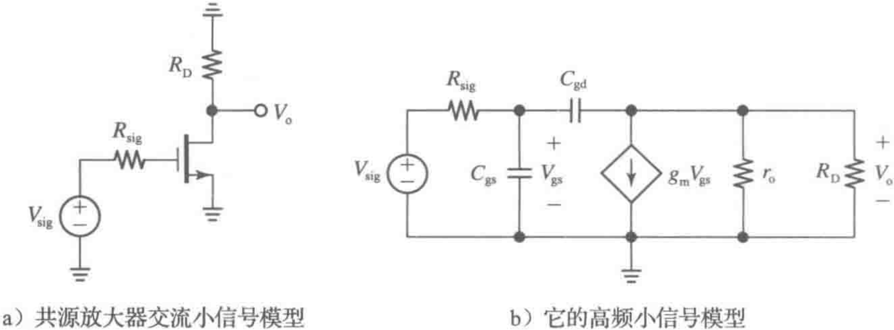
有了高频模型，我们现在研究常用的晶体管结构的频率响应。首先要想到的是共发射极(CE)和共源极(CS)结构，它们是电压放大的主力。它们的交流等效电路如图 6.14a 和图 6.15a 所示，可以参考第 2 章和第 3 章中分立的共射实现方式，不同的是在这种工作频率下，分立结构中的交流耦合和旁路电容用作交流短路。这些等效也可以代表第 4 章中直流耦合 EC 和 SC 对的差模半边电路。因此，我们将要进行的分析是相当普遍的。



a) 共射放大器交流等效电路　　b) 它的高频小信号模型

图 6.14

用其高频小信号模型替换晶体管，我们得到图 6.14b 和图 6.15b 所示的交流电路(暂时忽略输出节点寄生电容，即 BJT 的 C_s和 MOSFET 的 C_{db}，从而可以在分析过程中更加关注剩下的两个电容，并获得有用的直觉结果。这些寄生电容将本节之后讨论)。这两个电路必然存在差别，但是也有形式上的相似性。事实上，利用简单的电路变换，我们就能将它们简化为一般形式，然后对其进行分析，以避免重复(幸运的是，这种简化在接下来的学习中会经常出现)。



a）共源放大器交流小信号模型　　b）它的高频小信号模型

图　6.15

- 首先考虑图 6.14b 所示的 BJT 等效电路，通过戴维南定理简化电路左边，且将右边两个并联电阻合并成一个，即

$$V_i = \frac{r_\pi}{R_{sig} + r_b + r_\pi} V_{sig}, R_1 = (R_{sig} + r_b) /\!/ r_\pi, R_2 = R_C /\!/ r_o \quad (6.27)$$

这样，图 6.14b 所示的电路简化为图 6.16 所示电路，其中输入节点电容 C_1 充当 C_π，反馈电容 C_f 充当 C_μ，V_1 充当 V_π。

- 同样，考虑图 6.15b 所示的 MOSFET 等效电路，且令

$$V_i = V_{sig}, R_1 = R_{sig}, R_2 = R_D /\!/ r_o \quad (6.28)$$

通过图 6.16 所示相同的等效电路简化，其中，输入节点电容 C_1 充当 C_{gs}，反馈电容 C_f 充当 C_{gd}，V_1 充当 V_{gs}。

我们先研究图 6.16 所示的一般电路，再分别利用式(6.27)和式(6.28)，使我们的结果适用于图 6.14 及图 6.15 所示的 BJT 和 MOSFET 电路。该电路的分析有助于利用接下来将要讨论的米勒(Miller)效应的优点。分析结果虽然不精确，但会证明是有卓见的，接下来将看到。

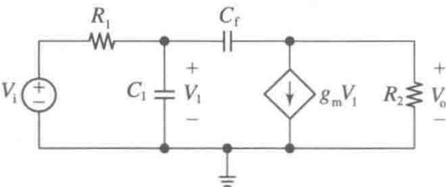


图 6.16　共射和共源放大器的一般模型

米勒效应

C_f缺省时，图 6.16 所示电路给出 $V_o = -g_m R_2 V_1$，表明我们能够通过反相放大器建立从 V_1 到 V_o 一部分的模型，如图 6.17 所示。由于存在 C_f，放大器输出端将会存在一些负载；然而，下面的实例将显示，在感兴趣的频率范围内，负载是可以忽略的。我们现在希望求出从图 6.17 所示电路的 V_1 电压源向右看去的等效阻抗 Z_{eq}。通过欧姆定律，V_1 提供的电流为：

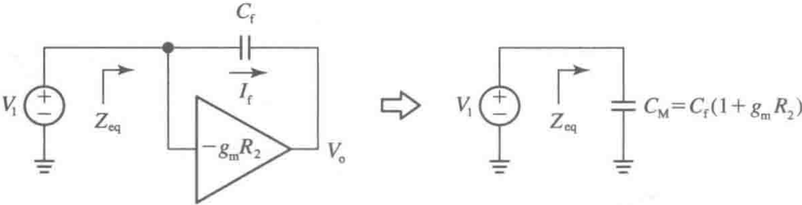


图 6.17　图解米勒效应

$$I_f = \frac{V_1 - V_o}{1/(sC_f)} \approx sC_f[V_1 - (-g_m R_2 V_1)] = sC_f(1 + g_m R_2)V_1 = sC_M V_1 \quad (6.29)$$

式中：

$$C_M = C_f(1 + g_m R_2) \quad (6.30)$$

令 $Z_{eq} = V_1 / I_f = 1/(sC_M)$，可得出结论：放大器及其反馈电容组成的模块，相对于 V_1 源而

言仅是一个对地的等效电容 C_M，这个电容是 C_f 的 $(1+g_mR_2)$ 倍。这个有趣的现象称作米勒效应，约翰 M. 米勒(John M. Miller)在 1920 年最先描述了它。$(1+g_mR_2)$ 项称为米勒倍数，C_M 称为米勒电容，通常，$C_M \gg C_f$。

例 6.5 为了更好地理解米勒效应，让我们研究将 1pF 电容两端电压从 0V 变化到 1mV 的过程，首先考虑电容接地的情形，然后考虑它被接到一个增益为 −99V/V 的放大器反馈支路的情形。比较两种情形并分析。

解：

参考图 6.18a，我们注意到：施加 $\Delta V=1\text{mV}$ 引起电荷转移为 $\Delta Q=C\Delta V=10^{-12}\times10^{-3}\text{C}=10^{-15}\text{C}=1\text{fC}$。接下来要考虑的情形是(最初放电的)电容出现在放大器的反馈路径上，如图 6.18b 所示。当我们将左极板从 0V 提高到 1mV 时，放大器将将会使右极板从 0V 降到 −99mV，引起电容两端 100mV 电压变化，电荷转换为 $\Delta Q=C\Delta V=10^{-2}\times(100\times10^{-3})\text{C}=100\text{fC}$。虽然图 6.18b 所示的实际电容仍然是 1pF，但是电荷转移是图 6.18a 所示的 100 倍，而加上的电压仍只是 1mV。所以若将上式各项重组为 $\Delta Q=(10^{-12}\times100)\times10^{-3}\text{C}=(100\text{pF})(1\text{mV})=100\text{fC}$，我们可以认为输入源好像在驱动一个假想的 100 倍大的电容，即 $C_M=100\text{pF}$！

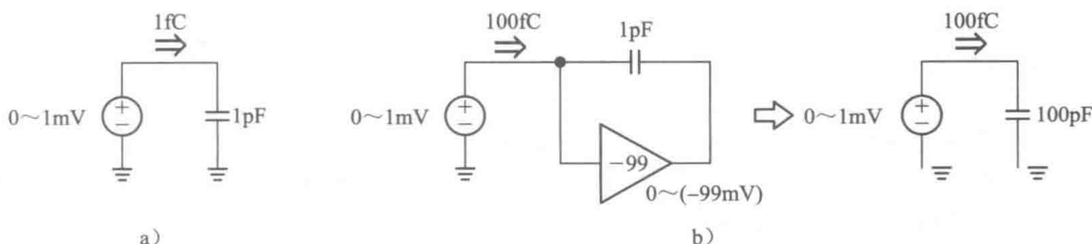


图 6.18　米勒效应定量说明

◀

利用米勒近似分析

由于米勒效应的存在，图 6.16 所示的电路可简化为图 6.19a 所示电路。事实上，我们可以将两个并联电容合并为一个总电容 C_t，即

$$C_t = C_1 + C_M \tag{6.31}$$

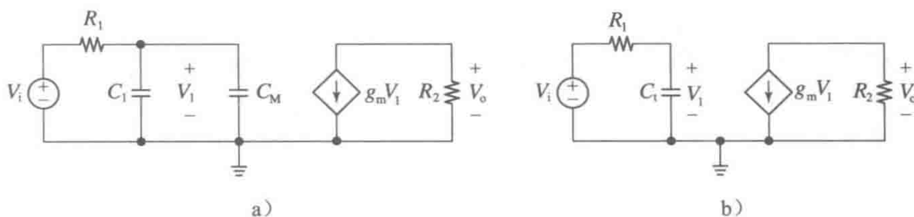


图 6.19　利用米勒近似的等效电路简化图

这样就可以得到图 6.19b 所示更简单的电路，以便分析，利用电压分压公式，有：

$$V_o = -g_mV_1R_2 = -g_mR_2\frac{1/(sC_t)}{R_1+1/(sC_t)}V_i = \frac{-g_mR_2}{1+sR_1C_t}V_i$$

因此电路电压增益为

$$a(s) = \frac{V_o}{V_i} = \frac{-g_mR_2}{1+sR_1C_t} \tag{6.32}$$

使分母为零的 s 值，会引起 $a(s)$ 振荡到无穷，这称作一个极点。这个值为：

$$s = -\frac{1}{R_1C_t} \tag{6.33}$$

表明一个实际存在且为负的极点。使式(6.32)中 $s\to j\omega$，得到频率响应等式，用附录 6A 中

式(6A.1)的标准形式表示为：

$$a(\mathrm{j}\omega)=\frac{a_0}{1+\mathrm{j}\omega/\omega_\mathrm{p}} \tag{6.34}$$

式中：

$$a_0=-g_\mathrm{m}R_2 \tag{6.35a}$$

是极限 $\omega\to 0$ 时 a 的值，恰当地称作低频增益；

$$\omega_\mathrm{p}=\frac{1}{R_1C_\mathrm{t}} \tag{6.35b}$$

称为极点频率。

幅值伯德图如图 6.20 所示(附录 6A 中也可看到伯德图)。从物理角度证明该图的正确性是有意义的。参考图 6.19b，我们观察到，频率响应由 C_t 和 R_1 形成的交流电压分压器决定，R_1 就是由 C_t 看到的等效电阻。C_t 呈现出来的阻抗为 $Z_\mathrm{t}(\mathrm{j}\omega)=1/(\mathrm{j}\omega C_\mathrm{t})$，这和它的幅值 $|Z_\mathrm{t}(\mathrm{j}\omega)|=1/(C_\mathrm{t})$ 与 R_1 相比的大小有关，这里有三种主要的情形。

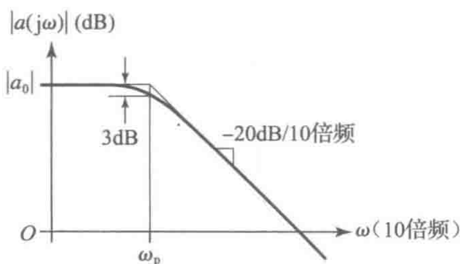


图 6.20　图 6.19b 所示电路的幅度增益图

- 低频时我们有 $|Z_\mathrm{t}(\omega)|\gg R_1$，表明与 R_1 相比，C_t 近似开路。因此，$V_1\to V_\mathrm{i}$，$|a|\to a_0$。这是我们学习本章之前一直处理的情况。
- 高频时我们有 $|Z_\mathrm{t}(\omega)|\ll R_1$，表明与 R_1 相比，C_t 近似短路。因此，$V_1\to 0$，$|a|$ 随频率下降而下降，如图 6.20 所示。
- 两种限定条件的边界情形发生在 $\omega=\omega_\mathrm{p}$。由于 $1/(\omega_\mathrm{p}C_\mathrm{t})=R_1$，重写式(6.35b)，在该频率下，我们有：

$$|Z_\mathrm{t}(\omega_\mathrm{p})|=R_1 \tag{6.36}$$

现在对 ω_p 有一个物理解释：这是电容阻抗与从电容端看进去的等效电阻在大小上相等时的频率。在图 6.15 所示的 MOSFET 情形下，这个电阻就是 R_sig，但是在图 6.14 所示的 BJT 情形下，它的值为 $r_\pi /\!/ (R_\mathrm{sig}+r_\mathrm{b})$。电路设计者通常从物理洞察去检查数学推论的结果，同时也要培养能看出电路工作原理的能力。

- 由于增益随频率增加而衰减，运放实际上就是一个低频滤波器，这就是为何 ω_p 通常称为角频率的原因，或称为截止频率的原因。在 $\omega=\omega_\mathrm{p}$ 时，$|V_1|$ 下降到它的低频值的 $1/\sqrt{2}$(=0.707，或−3dB)，因此 ω_p 也称为−3dB 频率。由于交流信号的功耗是与其幅度的平方成比例的，ω_p 的另一个名字为半功耗频率。增益带宽积为：

$$\mathrm{GBP}=|a_0|\times f_\mathrm{p} \tag{6.37}$$

现在准备将我们的结果应用到图 6.14 及图 6.15 所示特定的电路中。首先考虑共射极(CE)的情形，结合等式(6.27)和式(6.28)，可以写出：

$$a_{0(\mathrm{BJT})}=\left.\frac{V_\mathrm{o}}{V_\mathrm{sig}}\right|_{\omega\to 0}=\frac{r_\pi}{R_\mathrm{sig}+r_\mathrm{b}+r_\pi}[-g_\mathrm{m}(R_\mathrm{C} /\!/ r_\mathrm{o})] \tag{6.38a}$$

$$\omega_{\mathrm{p(BJT)}}=\frac{1}{\{r_\pi /\!/ (R_\mathrm{sig}+r_\mathrm{b})\}\times\{C_\pi+C_\mu[1+g_\mathrm{m}(R_\mathrm{C} /\!/ r_\mathrm{o})]\}} \tag{6.38b}$$

接下来考虑共源极(CS)的情形，结合等式(6.28)及式(6.35)，可以得到：

$$a_{0(\mathrm{FET})}=\left.\frac{V_\mathrm{o}}{V_\mathrm{sig}}\right|_{\omega\to 0}=-g_\mathrm{m}(R_\mathrm{D} /\!/ r_\mathrm{o}) \tag{6.39a}$$

$$\omega_{\mathrm{p(FET)}}=\frac{1}{R_\mathrm{sig}\{C_\mathrm{gs}+C_\mathrm{gd}[1+g_\mathrm{m}(R_\mathrm{D} /\!/ r_\mathrm{o})]\}} \tag{6.39b}$$

为了更好地理解，现来看一些实例。

例 6.6 假设图 6.14 所示共射放大器的 BJT 有 $\beta_0=200$，$V_A=50V$，$r_b=200\Omega$，及 $C=0.5pF$。该 BJT 被偏置在 $I_C=1mA$，此时它的 $f_T=500MHz$。再令 $R_{sig}=1k\Omega$，$R_C=5k\Omega$。

(a) 估算放大器的低频增益以及它的－3dB 频率。这个放大器的增益带宽积是多少？

(b) 验证在感兴趣的频率范围内($f\leqslant f_p$)反馈电容在输出节点的负载可以忽略，从而验证米勒近似。

解：

(a) 像往常一样计算，我们得到 $g_m=1/(26\Omega)$，$r=5.2k\Omega$，以及 $r_o=50k\Omega$。且

$$R_1 = r_\pi \mathbin{/\!/} (R_{sig}+r_b) = (5.2 \mathbin{/\!/} (1+0.2))k\Omega = 0.975k\Omega$$

$$R_2 = R_C \mathbin{/\!/} r_o = (5 \mathbin{/\!/} 50)k\Omega = 4.55k\Omega$$

低频增益为：

$$a_0 = \frac{r_\pi}{R_{sig}+r_b+r_\pi}(-g_m R_2) = \frac{5.2}{1+0.2+5.2}\times(-4.55/0.026)V/V$$

$$\approx 0.81\times(-175)V/V = -142V/V$$

由式(6.12b)，可以得到：

$$C_\pi = \frac{g_m}{2\pi f_T} - C_\mu = \left(\frac{1/26}{2\pi\times 500\times 10^6} - 0.5\times 10^{-12}\right)F \approx 12pF$$

米勒电容为：

$$C_M = C_\mu[1+g_m(R_C \mathbin{/\!/} r_o)] = (0.5\times 10^{-12}\times[1+175])F = 88pF$$

表明米勒倍数是 176。这样总的电容为：

$$C_t = C_\pi + C_M = (12+88)pF = 100pF$$

显然，在放大器中米勒电容起着主要作用。R_1和 C 一起产生了一个极点频率，即

$$f_p = \frac{1}{2\pi R_1 C_t} = \frac{1}{2\pi\times 975\times 100\times 10^{-12}}Hz = 1.63MHz$$

增益带宽积为：

$$GBP = |a_0|\times f_p = 142\times 1.63MHz \approx 230MHz$$

(b) 由式(6.29)，在感兴趣的频率带宽上边缘时，流过 C 的电流最大，此时

$$I_f(jf_p) \approx j2\pi f_p C_M V_\pi = j2\pi\times 1.63\times 10^6\times 88\times 10^{-12} V_\pi = jV_\pi/(1110\Omega)$$

另一方面，受控源抽取的电流为：

$$g_m V_\pi = V_\pi/(26\Omega)$$

因此两个电流的比值为：

$$\frac{|I_f(jf_p)|}{|g_m V_\pi|} = \frac{26}{1\,110} \ll 1$$

这证实了 BJT 中 $V_o\approx -g_m R_2 V_\pi$ 近似的有效性。◀

例 6.7 对于图 6.15 所示共源放大器，重复例 6.6 的问题。假定 MOSFET 有 $k=8mA/V^2$，$\lambda=1/(50V)$，及 $C_{gd}=01pF$，且偏置在 $I_D=1mA$，此时 $f_T=500MHz$。再令 $R_{sig}=10k\Omega$，$R_D=5k\Omega$。

解：

(a) 像之前一样计算，我们得到 $g_m=4mA/V$，及 $r_o=50k\Omega$，因此低频增益为：

$$a_0 = -g_m(R_D \mathbin{/\!/} r_o) = -4\times(5 \mathbin{/\!/} 50)V/V = -4\times 4.55V/V = -18.2V/V$$

由式(6.24b)，我们有：

$$C_{gs} = \frac{g_m}{2\pi f_T} - C_{gd} = \left(\frac{4\times 10^{-3}}{2\pi 500\times 10^6} - 0.1\times 10^{-12}\right)F \approx 1.17pF$$

米勒电容为：

$$C_M = C_{gd}[1+g_m(R_D \mathbin{/\!/} r_o)] = 0.1\times 10^{-12}\times[1+18.2]F \approx 1.92pF$$

表明米勒倍数是 19.2(通常，MOSFET 的这个倍数比 BJT 的要低，这是因为 MOSFET 有

更低的 g_m）。这样，总的电容为：

$$C_t = C_{gs} + C_M = (1.17 + 1.92)\text{pF} = 3.09\text{pF}$$

因此，米勒电容也在放大器中起着主要作用。通过 C_t 看到的电阻现在为 R_{sig}。它们一起产生了一个极点频率，即

$$f_p = \frac{1}{2\pi R_{sig} C_t} = \frac{1}{2\pi \times 10^4 \times 3.09 \times 10^{-12}}\text{Hz} = 5.15\text{MHz}$$

增益带宽积为：

$$\text{GBP} = |a_0| \times f_p = 18.2 \times 5.2\text{MHz} \approx 94\text{MHz}$$

(b) 由式(6.29)，在感兴趣的频率带宽上边缘，流过 C_{gd} 的电流为：

$$I_f(jf_P) \approx j2\pi f_P C_M V_{gs} = j2\pi \times 5.2 \times 10^6 \times 1.92 \times 10^{-12} V_{gs} = jV_{gs}/(16\text{k}\Omega)$$

然而由受控源抽取的电流为：

$$g_m v_{gs} = V_{gs}/(0.25\text{k}\Omega)$$

因此，两个电流比值为：

$$\frac{|I_f(jf_P)|}{|g_m V_{gs}|} = \frac{0.25}{16} \ll 1$$

这证实了 MOSFET 中 $V_o \approx -g_m R_2 V_{gs}$ 近似的有效性。◀

更精确的分析

为了评估米勒近似的精度，同时也为了更好地理解电路行为，我们将对图 6.16 所示的小信号电路进行精确分析，为此不妨也将输出节点电容 C_2 包括进来，以使其更加通用，如图 6.21 所示。我们知道，单片 BJT 的集电极存在集电极-衬底电容 C_s，而 MOSFET 的漏极存在漏极-衬底电容 C_{db}。此外，在实际应用中，在输出节点很可能加载一个外部电容 C_L，所以在一般情况下，对于 BJT，有 $C_2 = C_s + C_L$，对于 MOSFET，有 $C_2 = C_{db} + C_L$。

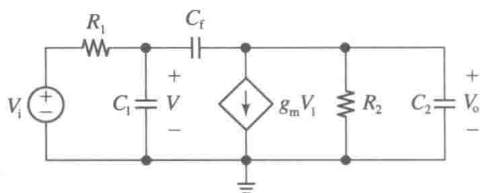


图 6.21　更精确分析共射/共源放大器的交流电路

在 C_f 左侧节点，应用 KCL，可得：

$$\frac{V_i - V_1}{R_1} = \frac{V_1}{1/(sC_1)} + \frac{V_1 - V_o}{1/(sC_f)}$$

同样，在 C_f 右侧节点，应用 KCL，可得：

$$\frac{V_1 - V_o}{1/(sC_f)} = g_m V_1 + \frac{V_o}{R_2} + \frac{V_o}{1/(sC_2)}$$

消除 V_1，求解比值 V_o/V_i，经过一些代数变换，我们得到：

$$a(s) = \frac{V_o}{V_i}$$

$$= \frac{(-g_m R_2) \times (1 - sC_f/g_m)}{1 + s(R_1[C_1 + C_f(1 + g_m R_2)] + R_2(C_f + C_2)\} + s^2 R_1 R_2 (C_1 C_f + C_1 C_2 + C_f C_2)} \tag{6.40}$$

分母为 s 的平方多项式，因此 $a(s)$ 产生两个极点。将相应的极点频率表示为 f_1 和 f_2，我们用附录中式(6A.1)更简洁的标准形式表示增益为：

$$a(s) = a_0 \frac{1 - s/\omega_0}{(1 + s/\omega_1)(1 + s/\omega_2)} \tag{6.41}$$

式中：

$$a_0 = -g_m R_2 \tag{6.42}$$

这是我们熟悉的低频增益。

$$\omega_0 = \frac{g_m}{C_f} \tag{6.43}$$

为 $a(s)$的零点频率。物理意义上，在该频率下通过 C_f的馈通电流等于受控源抽取的电流，导致通过 R_2和 C_2并联组合的净电流为零。因此，V_o下降到零，表明此频率处增益为零。当 $V_o=0$ 时，有 $I_f=(V_\pi-0)/(1/(sC_f))=sC_fV$，因此，利用 $sC_fV_\pi=g_mV_\pi$ 得到 $s=g_m/C_f$。在 s 平面上，这个零点位于正实轴。注意到，当 $\omega>\omega_0$ 时，通过 C_f的电流超过了受控源的电流，表明增益极性反转。这表明，式(6.41)分子负号的存在是合理的；而式(6.42)中负号表明，当 $\omega>\omega_0$ 时，它导致增益变正。通过式(6.12)和式(6.24)，可得 $\omega_0\gg\omega_T$。

我们现在希望推导出极点频率 f_1 和 f_2 的表达式。基于米勒近似，我们期望 ω_1 靠近 ω_p，且 ω_2 远高于 ω_p。因此，展开式(6.41)中的分母，并假定 $\omega_2\gg\omega_1$，我们写出：

$$a(s)=a_0\frac{1-s/\omega_0}{1+s(1/\omega_1+1/\omega_2)+s^2/(\omega_1\omega_2)}\approx a_0\frac{1-s/\omega_0}{1+s/\omega_1+s^2/(\omega_1\omega_2)} \tag{6.44}$$

令式(6.40)和式(6.44)分母中 s 的系数相等，我们最终得到：

$$\omega_1=\frac{1}{R_1[C_1+C_f(1+g_mR_2+R_2/R_1)]+R_2C_2} \tag{6.45}$$

我们观察到：在 $C_2\to0$ 极限时，该表达式与先前推导出的 ω_p 表达式相比，仅仅是分母项 R_2/R_1不同。但是，$R_2/R_1\ll g_mR_2$，因此 $\omega_1\approx\omega_p$，证实米勒近似是相当准确的，而且可以加快推导过程。同样地，令式(6.40)和式(6.44)分母中 s^2的系数相等，有：

$$\omega_2=\frac{1}{R_1R_2(C_1C_f+C_1C_2+C_fC_2)\omega_1} \tag{6.46}$$

下一个例子将会证实 $\omega_2\gg\omega_1$，这表明：在感兴趣的频率范围内通过近似，图 6.20 所示的频率响应很好地表征了实际的响应。

例 6.8 (a) 求出例 6.6 共射放大器的 f_0，f_1，f_2。与本例进行比较并且分析。

(b) 将衬底电容 $C_s=1\text{pF}$ 考虑进来，重复上述问题。

(c) 用 PSpice 验证。

解：

(a) 对于 BJT，式(6.43)预测了一个零点频率为：

$$f_0=\frac{g_m}{2\pi C_\mu}=\frac{1/(2\pi)}{26\times0.5\times10^{-12}}\text{Hz}\approx12\text{GHz}$$

而且，有 $R_1=975\Omega$，$R_2=4.55\text{k}\Omega$，及 $C_2=0$，式(6.45)和式(6.46)预测一个极点频率为：

$$\begin{aligned}f_1&=\frac{1/(2\pi)}{R_1[C_\pi+C_\mu(1+g_mR_2+R_2/R_1)]}\\&=\frac{1/(2\pi)}{975\times[12+0.5\times(1+175+4.55/0.975)]\times10^{-12}}\text{Hz}=1.56\text{MHz}\end{aligned}$$

及

$$\begin{aligned}f_2&=\frac{1/(2\pi)^2}{R_1R_2C_\pi C_\mu f_1}\\&=\frac{1/(2\pi)^2}{975\times4.55\times10^3\times12\times10^{-12}\times0.5\times10^{-12}\times1.56\times10^6}\text{Hz}\\&\approx600\text{MHz}\end{aligned}$$

f_0和 f_2都远远高于 f_1，因此本例中它们的影响都是不相关的，且可以被忽略。第一个极点频率($f_1=1.56\text{MHz}$)略低于通过米勒近似预测的极点频率($f_p=1.63\text{MHz}$)，表明米勒估计满足所有实际应用。

(b) 当 $C_2=C_s=1\text{pF}$ 重新计算可得 $f_0=12\text{GHz}$，$f_1=1.55\text{MHz}$，及 $f_2\approx1.3\text{GHz}$。本例中 C_s的影响可以忽略。

(c) 利用图 6.22 所示 PSpice 电路，我们得到图 6.23 所示增益曲线。利用光标的便利性，我们得到 $|a_0|=43.057\text{dB}$，即 142V/V，及 $f_{-3\text{dB}}=1.522\text{MHz}$，与计算一致。本图证实了本例中 C_s起着最小的作用。

备注： IC 设计者会利用 PSpice 晶体管模型仿真一个放大器，但是这里，基于教学的目的，采用图 6.22 描述的自制模型分析更加方便。◀

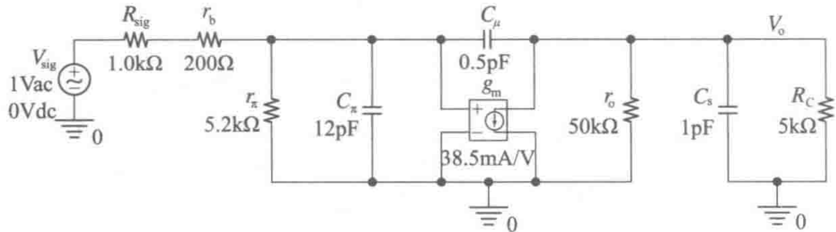


图 6.22 显示例 6.8 共射放大器增益的 PSpice 电路

练习 6.3

求出例 6.7 共源放大器的 f_0，f_1和 f_2。将得到的结果进行比较且分析。

答案： $f_0=6.4\text{GHz}$，$f_1=5.0\text{MHz}$，以及 $f_2\approx 1\text{GHz}$；$f_p=5.15\text{MHz}(\approx f_1)$。

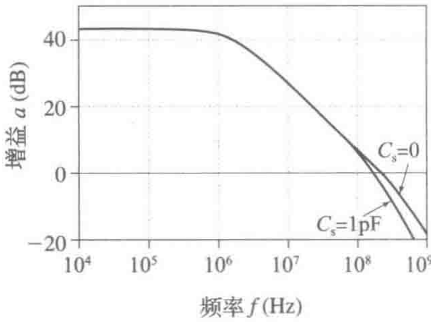


图 6.23 图 6.22 所示的电路增益图

6.4 差分放大器的频率响应

考虑到差动放大器是很重要的模拟器件，我们需要详细研究其频率响应。如果单晶体管级的频率分析是费力的，那么晶体管对的分析可能变得极其复杂。幸运的是，使用在第 4 章介绍的半电路概念，可大大简化我们的任务，通过很少的数学运算就能深刻地洞察整个电路(物理洞察力引导 IC 设计者进行日常设计活动，而非公式)。

我们知道，差分放大器的作用是放大两个信号之间的电压差，而不考虑它们的共模分量。

共模抑制比

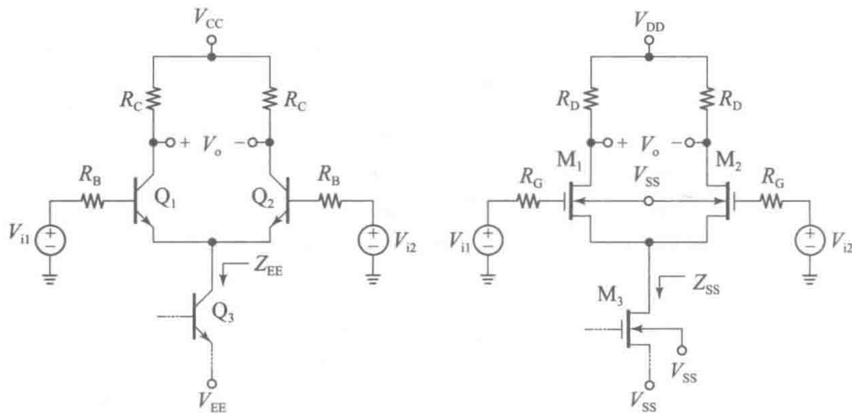
共模抑制比为：

$$\text{CMRR}=\left|\frac{a_{dm}(\text{j}f)}{a_{cm}(\text{j}f)}\right| \tag{6.47}$$

代表着差动放大器的品质因数，因此它应该越大越好(理想值为无穷大)。在实际中，我们将会发现，CMRR 不论初始值有多高，其都会随着频率增加而恶化，因为差模增益 $a_{dm}(\text{j}f)$和共模增益 $a_{cm}(\text{j}f)$会随着频率变化而变化。

电阻负载的差分放大器

图 6.24 画出了基本的发射极耦合(EC)和源极耦合(SC)对。回顾一下第 4 章，a_{cm}与由



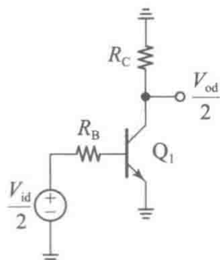
a）带电阻负载的发射极耦合 b）源极耦合对

图 6.24

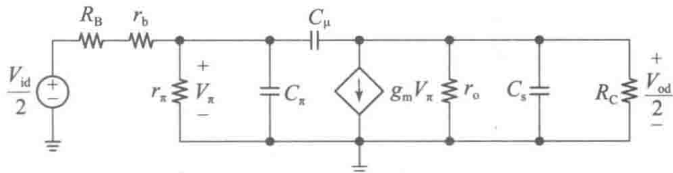
外部偏置电路呈现到 EC(或 SC)对的等效电阻 R_{EE}(或 R_{SS})成反比，所以为了最大限度地提高 CMRR，设计者力争最大限度地提高 R_{EE}(或 R_{SS})。为此，电流沉晶体管 Q_3(或 M_3)通常是一个输出电阻很高的拓扑结构的一部分，如威尔逊或共源共栅结构，为了简便，其中的偏置已被省略。通常，呈现给 EC(或 SC)对的阻抗 Z_{EE}(或 Z_{SS})由电阻性分量 R_{EE}(或 R_{SS})并联电容分量 C_{EE}(或 C_{SS})组成。正如我们将要看到的，恰恰是电容元件，导致 $a_{cm}(jf)$随着频率的增高而变差，从而导致了 CMRR 变差。

为了研究 CMRR，我们首先需要求出差模增益和共模增益，即 $a_{dm}(jf)$和 $a_{cm}(jf)$。对此，应该利用差模和共模半边电路来分析。虽然是对 EC 对进行分析，但是很容易将其适应于 SC 对。为了求出 $a_{dm}(jf)$，利用图 6.25 所示的半边等效电路分析。这是大家熟悉的共射极结构，其增益包含一个主极点，主要由米勒电容导致，利用式(6.45)，有：

$$f_{p(dm)} \approx \frac{1/(2\pi)}{[(R_B + r_b) \mathbin{/\!/} r_\pi] \times \{C_\pi + C_\mu[1 + g_m(R_C \mathbin{/\!/} r_o)]\} + (R_C \mathbin{/\!/} r_o) \times C_s} \quad (6.48)$$



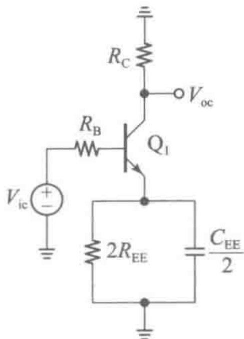
a）差模半边电路



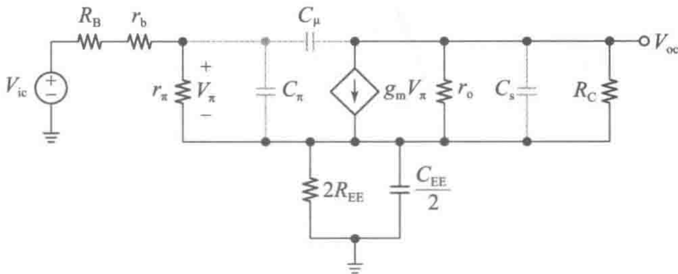
a）差模半边电路

图 6.25

为了求出 $a_{cm}(jf)$，我们利用图 6.26 所示半边等效电路。注意到，当我们将阻抗 Z_{EE}拆分成两个相同的部分时，R_{EE}必须加倍，因为$(2R_{EE}) \mathbin{/\!/} (2R_{EE}) = R_{EE}$，然而，$C_{EE}$必须减半，以使$(C_{EE}/2) \mathbin{/\!/} (C_{EE}/2) = C_{EE}/2 + C_{EE}/2 = C_{EE}$。



a）共模半边电路



b）其高频小信号等效电路

图 6.26

图 6.26 所示电路是我们熟知的 CE-ED 结构，但是由阻抗 $2Z_{EE} = (2R_{EE}) \mathbin{/\!/} [1/(s(C_{EE}/2)]$实现了简并。在足够低的频率下，$C_{EE}/2$ 与 $2R_{EE}$相比是开路的，因此，$a_{cm}(jf)$初始很低，CMRR 初始很高。随着工作频率的升高，由 $C_{EE}/2$ 产生的阻抗减小，引起 Z_{EE}也减小。这又导致随着频率增加，$a_{cm}(jf)$增加，CMRR 减小。显然，$a_{cm}(jf)$存在一个零点频率 $f_{z(cm)}$。这就是由 $C_{EE}/2$ 提供的阻抗与 $2R_{EE}$在大小上相等时的频率。这种情况产生了熟悉的结果 $f_{z(cm)} = 1/[2\pi(2R_{EE})(C_{EE}/2)]$，即

$$f_{z(cm)} = \frac{1}{2\pi R_{EE} C_{EE}} \quad (6.49)$$

由于 R_{EE} 通常很大，$f_{z(cm)}$ 通常比 $f_{p(dm)}$ 要低。这样我们可以得到以下结论：

- 当 $f \ll f_{z(cm)}$ 时，CMRR 初始很高。
- 在 $f = f_{z(cm)}$ 时，CMRR 开始随着频率上升而下降，显然，a_{cm} 的零频率是 CMRR 的一个极点。
- 当 $f_{z(cm)} < f < f_{p(dm)}$ 时，CMRR 以 -20dB/10 倍频的速率随频率上升而下降。
- 在 $f = f_{p(dm)}$ 时，CMRR 获得一个额外 -20dB/10 倍频的下降速度。显然，a_{dm} 的第一个极点频率是 CMRR 的第二个极点频率。
- 当 $f > f_{p(dm)}$ 时 CMRR 以 -40dB/10 倍频随 f 上升而下降。
- 随着 f 的上升而 CMRR 会陡降，一直持续到高阶的极点和零点开始起作用为止，此时 CMRR 已经恶化到相当低的数值。

例 6.9 (a) 图 6.24a 所示的射极耦合对中，使用的 BJT 有 $\beta_0 = 200$，$V_A = 50\text{V}$，$r_b = 200\Omega$，$C_\pi = 25\text{pF}$，$C_\mu = 0.3\text{pF}$，及 $C_s = 1\text{pF}$。再令 $R_B = 2\text{k}\Omega$，$R_C = 10\text{k}\Omega$，发射极-基极电流沉电流为 $I_{EE} = 1\text{mA}$，$R_{EE} = 1\text{M}\Omega$，$C_{EE} = 1.5\text{pF}$。估计 CMRR 的低频值以及它的两个主要极点。

(b) 利用 PSpice 显示 $|a_{dm}|$，$|a_{cm}|$，$|a_{dm}/a_{cm}|$ 的伯德图，并且分析。

解：

(a) 我们有 $g_m = ((200/201)\times(0.5)/26)\text{mA/V} = 19.1\text{mA/V}$，$r_\pi = 10.5\text{k}\Omega$，$r_o = 100\text{k}\Omega$，$2R_{EE} = 2\text{M}\Omega$，及 $C_{EE}/2 = 0.75\text{pF}$，还有 $(R_B + r_b) /\!/ r_\pi = 1.82\text{k}\Omega$，$R_C /\!/ r_o = 9.091\text{k}\Omega$，于是，由式(6.48)和式(6.49)，给出：

$$f_{P(dm)} \approx \frac{1}{2\pi 1.82\times10^3\times[25+0.3\times(1+19.1\times9.09)+(9.09/1.82)\times1]\times10^{-12}}\text{Hz} = 1.06\text{MHz}$$

且

$$f_{z(cm)} = \frac{1}{2\pi\times1\times10^6\times1.5\times10^{-12}}\text{Hz} = 106\text{kHz}$$

在低频时，$\text{CMRR} = |a_{dm0}/a_{cm0}| \approx |-g_m(R_C /\!/ r_o)/(-R_C/(2R_{EE}))| = 174/0.005 = 34\,800 = 90.8\text{dB}$。

(b) 为了产生 $|a_{dm}|$ 的伯德图，我们重新利用图 6.22 所示的 PSpice 电路，但采用的是当前的参数值。为了产生 $|a_{dm}|$ 伯德图，我们再次使用相同的电路，不同的是，让发射极不再接地，且依照图 6.26 所示在发射极和地之间插入一个并联的 2MΩ 电阻和 0.75pF 电容。$|a_{dm}|$、$|a_{cm}|$，以及 $|a_{dm}/a_{cm}|$ 如图 6.27 所示。PSpice 值 $|a_{dm0}/a_{cm0}| = 90.1\text{dB}$，$f_{p(dm)} = 1.05\text{MHz}$，以及 $f_{z(cm)} = 161\text{kHz}$ 与计算值相当一致。

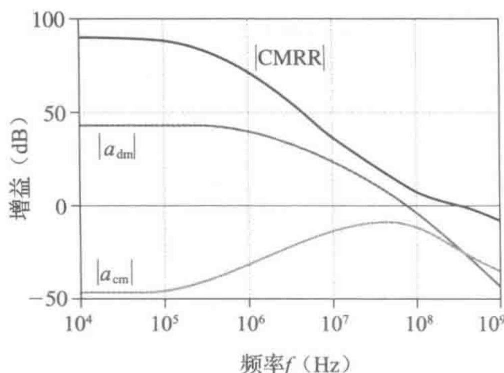


图 6.27 例 6.9 射极耦合对伯德图

◀

以上对于射极耦合对所获得的结果，很容易地应用到源极耦合对。$a_{dm}(\text{j}f)$ 的主极点也是 CMRR 的第二个极点，现在为：

$$f_{p(dm)} \approx \frac{1/(2\pi)}{R_{sig}\{C_{gs}+C_{gd}[1+g_m(R_D /\!/ r_o)]\}+(R_D /\!/ r_o)C_{db}} \tag{6.50}$$

而 $a_{cm}(\text{j}f)$ 的主极点，也是 CMRR 第一个极点，为：

$$f_{z(cm)} = \frac{1}{2\pi R_{SS}C_{SS}} \tag{6.51}$$

该伯德图与图 6.27 所示伯德图定性相似。

有源负载差分放大器

利用有源负载时，电路失去了其对称性，而且由负载晶体管引入的额外寄生使分析复杂化。然而，如果我们愿意进行适当的近似，仍然可以快速地洞察出电路的主要特性。图6.28画出了CMOS的版本，电路拥有两个主要的节点，记为V_1和V_o。当输入驱动是平衡的，且M_1和M_2的漏极处于同样的状态，记为V_{SS}的第三个节点将可以看作是交流地。实际上，M_1的漏极端接在电阻$(1/g_{m3})/\!/r_{o3}\approx 1/g_{m3}$上，而$M_2$的漏极接在电阻$r_{o4}$上，而$r_{o4}\gg 1/g_{m3}$。这种不平衡导致$V_{SS}\neq 0$。让我们仍然继续假定$V_{SS}$为交流地，这样就可以应用半电路概念来简化分析。

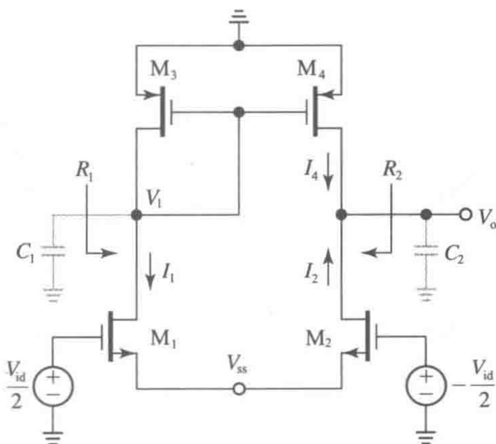


图6.28　带有源负载CMOS差分放大器的高频模型(为了便于分析，所有的寄生电容被移动到场效应管的外面且被汇总为所示的两个等效电容C_1和C_2)

与节点V_1和V_o相关的净电容分别为：

$$C_1 \approx C_{gs3}+C_{gs4}+C_{db3}+C_{db1}+C_{gd1} \quad (6.52a)$$

$$C_2 \approx C_{gd4}+C_{db4}+C_{gd2}+C_{db2}+C_L \quad (6.52b)$$

式中：C_L是外部负载电容。可以证明，从这些电容看到的等效电阻分别为：

$$R_1 = \frac{r_{op}/\!/(2r_{on}+r_{op})}{1+g_{mp}r_{op}} \quad (6.53a)$$

$$R_2 = r_{op}/\!/r_{on} \quad (6.53b)$$

这样产生两个极点频率为$\omega_1=1/(R_1C_1)$和$\omega_2=1/(R_2C_2)$。

练习6.4

证明式(6.53)。

提示：用小信号模型替代每个晶体管并采用测试的方法，注意利用M_1和M_2是匹配的，M_3和M_4也是匹配的事实。

由叠加原理，$V_o=V_{o4}+V_{o2}$，其中，V_{o4}是M_4对$+V_{id}/2$的响应，V_{o2}是M_2对$-V_{id}/2$的响应。通过检查，$V_{o2}=[R_2/\!/(1/(sC_2))]I_2$，其中，$I_2=g_{m2}V_{id}/2$，展开，我们得到：

$$V_{o2} = \frac{g_{m2}R_2}{1+sR_2C_2}\frac{V_{id}}{2} \quad (6.54a)$$

类似地，$V_{o4}=[R_2/\!/(1/(sC_2))]I_4$，其中，$I_4=g_{m4}V_1$，但是，

$$V_1 \approx \frac{(1/g_{m3})I_1}{1+sR_1C_1} = \frac{(1/g_{m3})}{1+sR_1C_1}g_{m1}\frac{V_{id}}{2}$$

代入，并利用匹配带来的$g_{m4}/g_{m3}=1$，我们得到：

$$V_{o4} \approx \frac{1}{1+sR_1C_1}\frac{g_{m2}R_2}{1+sR_2C_2}\frac{V_{id}}{2} \quad (6.54b)$$

有趣的是，V_{id}会通过由M_2构成的较短信号路径和由M_1-M_3-M_4构成的较长信号路径来贡献V_o。两个路径在由R_2和C_2形成的输出节点处相交。然而，较长的路径速度更慢，因为它还包括了由R_1和C_1形成的额外极点。令$V_o=V_{o4}+V_{o2}$，移项并化简，我们最终得到：

$$a_{dm}(s) = \frac{V_o}{V_{id}} = g_{m2}R_2\frac{1+s0.5R_1C_1}{1+sR_1C_1}\frac{1}{1+sR_2C_2}$$

令$s\to 2\pi f$，$g_{m1}=g_{m2}=g_{mn}$，我们将增益表示为更易观察的形式，即

$$a_{dm}(jf) = a_{dm0}\frac{1+jf/f_0}{(1+jf/f_1)(1+jf/f_2)} \quad (6.55)$$

式中：

$$a_{dm0} = g_{mn}(r_{op} \mathbin{/\!/} r_{op}) \tag{6.56}$$

$$f_1 = \frac{1}{2\pi R_1 C_1}, \quad f_2 = \frac{1}{2\pi R_2 C_2}, \quad f_0 = 2f_1 \tag{6.57}$$

很明显，在前面提到的极点频率 f_1 和 f_2 附近，$a_{dm}(jf)$ 也有一个零点频率 f_0，它来自通过 M_2 的直接信号通路。在足够高的频率下，通过 M_1-M_3-M_4 较慢的信号路径会从 C_1 上流过，只留下通过 M_2 的更快路径。不管怎样，由于 $R_2 \gg R_1$，总的频率响应由 f_2 主导。

例 6.10 在图 6.28 所示电路中，所有 MOSFET 有 $g_m = 1\text{mA/V}$，$r_o = 50\text{k}\Omega$，$C_{gs} = 50\text{fF}$，及 $C_{gd} = C_{db} = 5\text{fF}$，而且假定电路终端接了一个电容负载 $C_L = 0.25\text{pF}$。估计所有影响 $a_{dm}(jf)$ 计算的参数。

解：

将给定的数据代入式(6.52)和式(6.53)，得到 $C_1 = 115\text{fF}$，$R_1 = 735\Omega$，$C_2 = 270\text{fF}$，以及 $R_2 = 25\text{k}\Omega$，再代入式(6.56)和式(6.57)，我们得到：

$$a_{dm0} = 25\text{V/V}, f_2 = 23.6\text{MHz}, f_1 = 1.88\text{GHz}, f_0 = 3.27\text{GHz}$$

通过 PSpice 仿真得到图 6.29a 所示的增益曲线。利用光标可以很方便地求得 $a_{dm0} = 24.7\text{V/V}$，及 $f_{-3dB} = 23.3\text{MHz}$，与计算结果非常一致。图 6.29b 画出了放大器短路跨导 $G_m = I_{o(sc)}/V_{id}$，将输出节点短路，消除了极点频率 f_2，因此该曲线只有零极点频率对 f_1 和 f_0，两者都在 GHz 范围内。◀

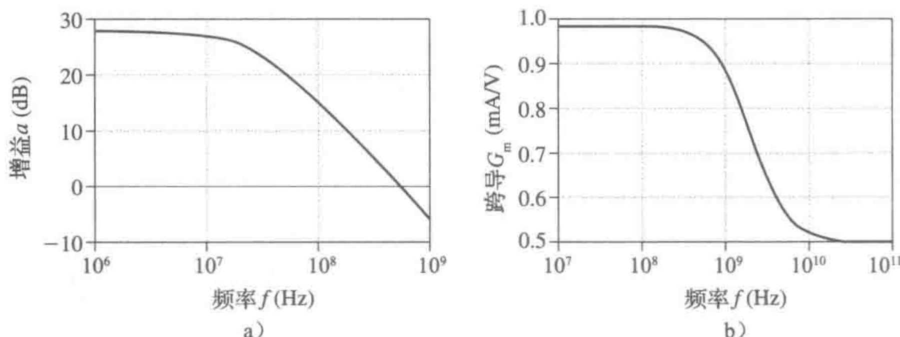


图 6.29 例 6.10 带有源负载 CMOS 放大器的频率响应

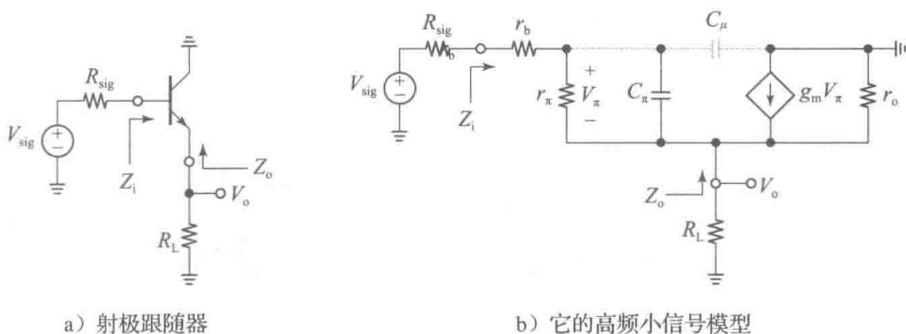
6.5 双极型电压和电流缓冲器

回想一下，电压缓冲器的作用是提供单位电压增益，以及高输入阻抗和低输出阻抗，而电流缓冲的作用是提供单位电流增益，以及低输入阻抗和高输出阻抗。我们将要看到，CC 和 CB 的结构在相当宽的频带内接近上述特点，因为它们不受米勒效应影响，而它是限制共射放大器主要频率的原因。然而，BJT 的寄生电容在高频时才发挥作用，此时它们会使增益和终端阻抗降低。具体来说，初始很高的阻抗会随着频率增高逐渐降低，表现出容性行为，而初始很低的阻抗随着频率增高逐渐增加(至少在一定程度上是上升的)，这就表现出感性行为。而且，在高频时增益可能会明显偏离单位增益。

增益是最重要的放大器参数，如果对电压放大器的研究着重于增益的频率特性，那么对缓冲器的研究就要着重于终端阻抗的频率响应，因为缓冲器的主要功能就是改变阻抗。

射极跟随器的频率特性

图 6.30 画出了射极跟随器的交流等效电路，以及它的高频模型。由于 C_μ 的右极板接地，它不受米勒倍增的影响，因此我们预计 CC 是一种固有的快速电路结构。事实上，为了对电路的快速(哪怕只是近似)的理解，可以完全忽略 C_μ(存在 C_μ 的一般情况将在 6.7 节中讨论)。我们希望研究从信号源看到的阻抗 $Z_i(j\omega)$、源到负载的电压增益 $a(j\omega) = V_o/V_{sig}$、从负载看到的阻抗 $Z_o(j\omega)$ 跟频率的相关性。



a）射极跟随器　　　　b）它的高频小信号模型

图　6.30

首先从式(2.83)，式(2.84)和式(2.85)开始，并做出以下替代：

$$\beta_0 \to \beta(j\omega),\quad r_\pi \to z_\pi(j\omega) \tag{6.58}$$

式中：

$$\beta(j\omega) = \frac{\beta_0}{1 + j\omega/\omega_\beta} \tag{6.59a}$$

且

$$z_\pi(j\omega) = r_\pi \ /\!/ \ \frac{1}{j\omega C_\pi} = \frac{r_\pi}{1 + j\omega r_\pi C_\pi}$$

由式(6.8)，$\omega_\beta = 1/[r_\pi(C_\pi + C_\mu)]$，只要 $C_\mu \ll C_\pi$，我们将它可以近似为 $\omega_\beta \approx 1/(r_\pi C_\pi)$，且写出：

$$z_\pi(j\omega) \approx \frac{r_\pi}{1 + j\omega/\omega_\beta} = \frac{\beta(j\omega)}{g_m} \tag{6.59b}$$

通过上面的替换，射极跟随器参数变为：

$$Z_i(j\omega) = r_b + z_\pi(j\omega) + [\beta(j\omega) + 1](R_L \ /\!/ \ r_o)$$

$$Z_o(j\omega) = \frac{R_{sig} + r_b + z_\pi(j\omega)}{\beta(j\omega) + 1} \ /\!/ \ r_o \tag{6.60a}$$

$$a(j\omega) = \frac{V_o}{V_{sig}} = \frac{1}{1 + \dfrac{R_{sig} + r_b + z_\pi(j\omega)}{[\beta(j\omega) + 1](R_L \ /\!/ \ r_o)}} \tag{6.60b}$$

在足够低的频率下，C_π 可看作是开路，有 $\beta \to \beta_0$ 及 $z_\pi \to r_\pi$，因此，上面的表达式变成了熟悉的低频形式，我们用下标 0 来进行区分，即

$$Z_{i0} = r_b + r_\pi + (\beta_0 + 1)(R_L \ /\!/ \ r_o),\ Z_{o0} = \frac{R_{sig} + r_b + r_\pi}{\beta_0 + 1} \ /\!/ \ r_o \tag{6.61a}$$

$$a_0 = \frac{1}{1 + \dfrac{R_{sig} + r_b + r_\pi}{(\beta_0 + 1)(R_L \ /\!/ \ r_o)}} \tag{6.61b}$$

另一方面，在足够高的频率下，C_π 可看作短路，有 $\beta \to 0$ 及 $z_\pi \to 0$，因此，高频渐近线通过下角标∞辨别，为：

$$Z_{i\infty} = r_b + (R_L \ /\!/ \ r_o),\ Z_{o\infty} = (R_{sig} + r_b) \ /\!/ \ r_o \tag{6.62a}$$

$$a_\infty = \frac{1}{1 + \dfrac{R_{sig} + r_b}{R_L \ /\!/ \ r_o}} \tag{6.62b}$$

我们注意到 $Z_{i\infty} \ll Z_{i0}$，表明 Z_i 始终为容性阻抗。然而，Z_o 也许是感性的，容性的，或者甚至纯阻性的，取决于乘积 $g_m(R_{sig} + r_b)$ 与单位 1 的比较。可以证明(看习题 6.18)如果 BJT 偏置在足够低的电流，使得 $g_m(R_{sig} + r_b) \leqslant 1$，那么有 $a_\infty \geqslant a_0$ 和 $Z_{o\infty} \leqslant Z_{o0}$，在实际电路中，$g_m(R_{sig} + r_b) \gg 1$ 更常见，在这种情形下，$a_\infty < a_0$ 及 $Z_{o\infty} \gg Z_{o0}$，表现出感性的阻抗 Z_o。

图 6.31 显示了 $C_\mu=0$ 及 $g_m(R_{sig}+r_b)\gg 1$ 时，Z_i，a，及 Z_o 典型的幅度曲线。依照附录 6A，这些参数必须呈现为以下形式：

$$Z_i(j\omega)=Z_{i0}\frac{1+j\omega/\omega_{zi}}{1+j\omega/\omega_{pi}},\quad a(j\omega)=a_0\frac{1+j\omega/\omega_{za}}{1+j\omega/\omega_{pa}}$$

$$Z_o(j\omega)=Z_{o0}\frac{1+j\omega/\omega_{zo}}{1+j\omega/\omega_{po}} \tag{6.63}$$

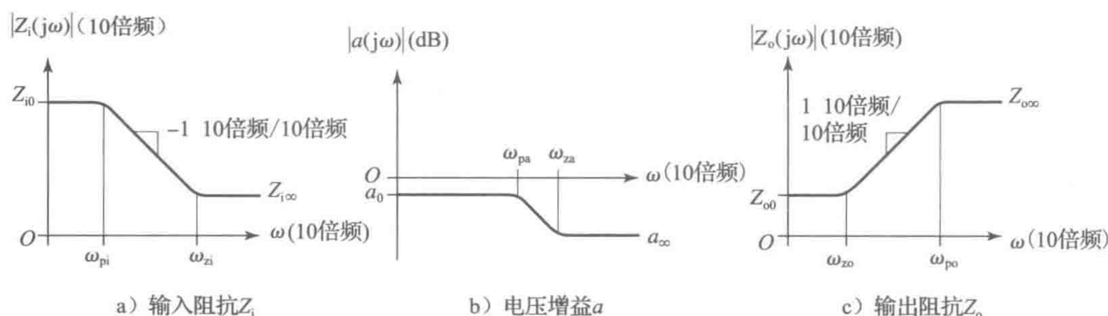


图 6.31　典型的 $c_\mu=0$ 时的射极跟随器。曲线 a 和 Z_o 均是 $g_m(R_{sig}+r_b)\gg 1$ 时的情形

我们现在试图估计上述每个表达式的零点频率 ω_z 和极点频率 ω_p，也称为拐点频率。在上面的表达式中使 $\omega\to\infty$，这个任务变得容易解决，我们得到：

$$\frac{Z_{i0}}{Z_{i\infty}}=\frac{\omega_{zi}}{\omega_{pi}},\quad \frac{a_0}{a_\infty}=\frac{\omega_{za}}{\omega_{pa}},\quad \frac{Z_{o\infty}}{Z_{o0}}=\frac{\omega_{po}}{\omega_{zo}} \tag{6.64}$$

因此，对于每一个表达式，我们只需要估计它的两个拐点频率之一。另一个可以通过适当约束条件下的式(6.64)求出。准确的推导留作练习题 6.19，在这里我们只作快速的估算来实现初步理解。根据式(6.60)，$Z_i(j\omega)$，$Z_o(j\omega)$，以及 $a(j\omega)$ 都包含项 $z_\pi(j\omega)$ 和 $\beta(j\omega)+1$。这两项在频率不超过 ω_T 时都会产生影响，超出该频率，$z_\pi(j\omega)$ 与电路中的其他电阻相比变为可忽略不计，且 $\beta(j\omega)$ 与 1 相比变为可忽略不计。因此，我们期望图 6.31 所示的每个曲线在 ω_T 附近过渡到它的高频渐近线，这样给出：

$$\omega_{zi}\approx\omega_{za}\approx\omega_{po}\approx\omega_T \tag{6.65}$$

例 6.11　(a) 假设图 6.30 所示的 BJT 有 $\beta_0=150$，$V_A=80$V，$r_b=200\Omega$，及 $C_\mu=1$pF，且假设其偏置在 $I_c=2$mA，此时有 $f_T=400$MHz。此外，令 $R_{sig}=2$kΩ，$R_L=5$kΩ。忽视 C_μ，快速估算渐进值，以及 a，Z_i 和 Z_o 的极点和零点频率。

(b) 用 PSpice 证实，并与计算值进行比较。

(c) 令 $C_\mu=1$pF，重新运行 PSpice，从物理角度解释曲线接下来发生的变化。

解：

(a) 像往常一样计算，我们求出 $g_m=1/(13\Omega)$，$r_\pi=1.95$kΩ，及 $r_o=40$kΩ，$R_{sig}+r_b=(2+0.2)$kΩ$=2.2$kΩ，$R_L/\!/r_o=(5/\!/40)$kΩ$=4.4$kΩ。增益渐进值为：

$$a_0=\frac{1}{1+\dfrac{2.2+1.95}{151\times 4.44}}\text{V/V}=0.994\text{V/V}=-0.05\text{dB}$$

$$a_\infty=\frac{1}{1+\dfrac{2.2}{4.44}}\text{V/V}=0.669\text{V/V}=-3.5\text{dB}$$

它的零点频率和极点频率分别为：

$$f_{za}\approx f_T=400\text{MHz},\quad f_{pa}\approx\frac{a_\infty}{a_0}f_{za}=\frac{0.669}{0.994}\times 400\text{MHz}=269\text{MHz}$$

它们非常高且互相靠得很近。Z_i 的渐进值为：

$$Z_{i0}=(0.2+1.95+151\times 4.44)\text{k}\Omega=673\text{k}\Omega,\quad Z_{i\infty}=(0.2+4.44)\text{k}\Omega=4.64\text{k}\Omega$$

以及 Z_i 近似的零点频率和极点频率分别为：

$$f_{zi} \approx f_T = 400\text{MHz}, f_{pi} \approx \frac{Z_{i\infty}}{Z_{i0}} f_T = \frac{4.64}{673} \times 400\text{MHz} = 2.76\text{MHz}$$

最后，Z_o 的渐近值为：

$$Z_{o0} = \frac{2.2 + 1.95}{151}\Omega = 27.5\Omega, Z_{o\infty} = ((2 + 0.2) /\!/ 40)\text{k}\Omega = 2.09\text{k}\Omega$$

以及 Z_o 近似的极点频率和零点频率分别为：

$$f_{po} \approx f_T = 400\text{MHz}, f_{z0} \approx \frac{Z_{o0}}{Z_{o\infty}} f_T = \frac{27.5}{2\,090} \times 400\text{MHz} = 5.26\text{MHz}$$

(b) 利用图 6.32 所示的 PSpice 电路我们得到图 6.33 所示的曲线，$C_\mu = 0$ 时，其渐近值和拐点频率与上述计算值非常一致。

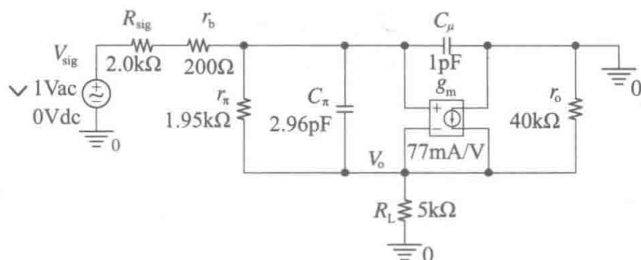


图 6.32 例 6.11 用于显示射极跟随器的伯德图的 PSpice 电路

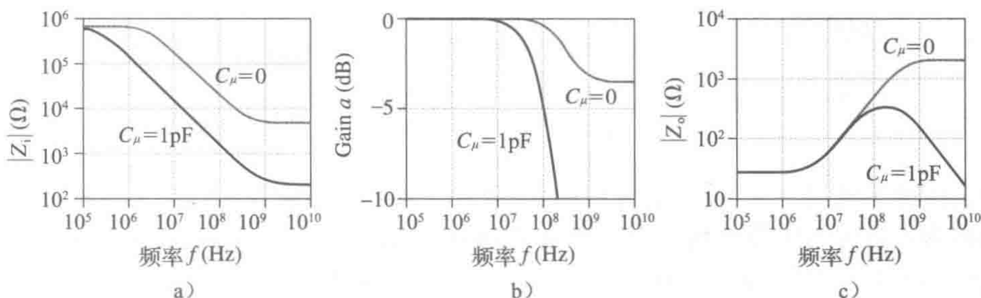


图 6.33 例 6.11 中射极跟随器的增益和阻抗曲线

(c) $C_\mu = 1\text{pF}$ 时重新运行 PSpice 表明，每个曲线中存在一个额外的极点。从物理角度看来，我们估算 Z_i 额外的极点频率在 $1/(2\pi Z_{i0} C_\mu) = 236\text{MHz}$ 附近，a 的极点频率在 $1/[2\pi(R_{sig} + r_b)C_\mu] = 72\text{MHz}$ 附近，Z_o 的极点频率在 $1/\{2\pi[(R_{sig} + r_b) /\!/ R_L]C_\mu\} = 104\text{MHz}$ 附近。超过这个频率，Z_o 从感性变为容性。◀

当射极跟随器驱动容性负载时，其感性的电路行为可能会带来问题，因为容性和感性阻抗会有一起振荡的倾向。阻尼条件变化时，发射极跟随器可能表现出不期望的抖动甚至振荡。为了更好地评估这种情况，用一个适当的网络来模拟 Z_o 是很简便的，如图 6.34 所示，它由一个等效电感 L_o 与一个串联电阻 R_s，再和一个电阻 R_p 并联组成。它们的值可以通过等效网络的渐近值和拐点频率与 Z_o 匹配来得到的。

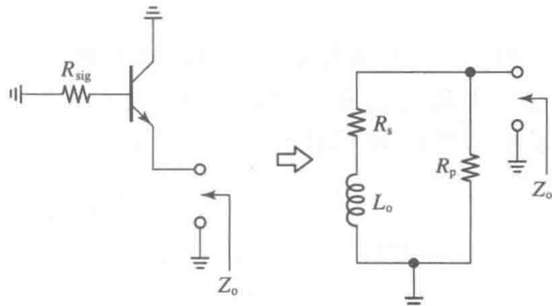


图 6.34 $C_\mu = 0$ 时，射极跟随器输出阻抗 Z_o 的等效网络

例 6.12 求出例 6.11 射极跟随器的 R_p，R_s 及 L_o。再次忽略 C_μ。

解：

在极限 $f \to \infty$ 时，L_o 可看作开路，给出 $R_p = Z_{o\infty}$，由例 6.11，我们有：

$$R_p = 2.09\text{k}\Omega$$

在极限 $f\to 0$ 时，L_o 可看作短路，给出 $R_s /\!/ R_p = Z_{o0}$，通过例 6.11，我们有 $1/R_s + 1/2\,090 = 1/27.5$，给出

$$R_s \approx 27.5\Omega$$

为了求出 L_o，假定我们从 $f=0$ 开始，此时 L_o 与 R_s 相比，可看作短路，我们逐渐增加 f 直到 $|Z_L|$ 变为与 R_s 相等。这就是零点频率 $Z_o(jf)$，再利用 $|j2\pi f_{zo} L_o| = R_s$ 给出

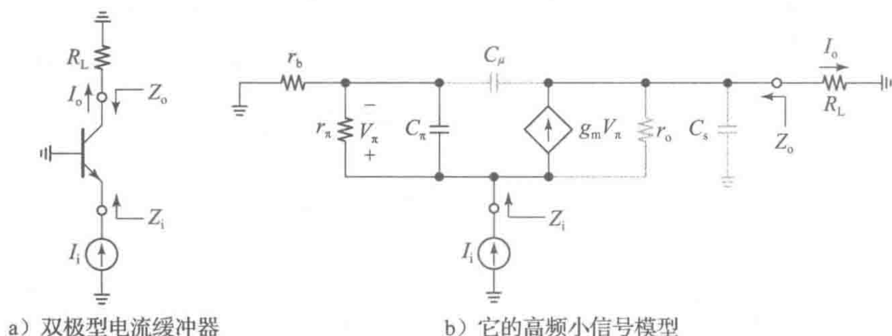
$$L_o = \frac{R_s}{2\pi f_{zo}} = \frac{27.5}{2\pi 5\times 10^6}\text{H} \approx 875\text{nH}$$

另外，从物理角度看极点频率，可以得到：

$$L_o = R_p/(2\pi f_{po})$$ ◀

双极型电流缓冲器的频率特性

图 6.35 画出了双极型电流缓冲器的交流等效电路，以及它的高频模型。类似 CC 配置，CB 配置本身就是快速的，因为 C_μ 不受米勒效应的影响。我们希望求出从射极看进去的的阻抗 $Z_i(j\omega)$、电流增益 $a(j\omega)=I_o/I_i$，从集电极看进去的阻抗 $Z_o(j\omega)$ 与频率的相关性。



a）双极型电流缓冲器　　　b）它的高频小信号模型

图 6.35

为了快速了解 Z_i 和 a（哪怕是近似的），忽略 r_o 和 C_μ 是很方便的，于是输入端和输出端是隔离的，且可以单独分析。为了求出 $Z_i(j\omega)$，我们可以重新利用先前对 CC 配置推导的 $Z_o(j\omega)$ 的表达式，不同的是 $R_{sig}=0$，当 $r_o\to\infty$ 时，结果为：

$$Z_i(j\omega) = Z_{i0}\frac{1+j\omega/\omega_{zi}}{1+j\omega/\omega_{pi}} \tag{6.66a}$$

式中：

$$Z_{i0} \approx \frac{r_b + r_\pi}{\beta_0 + 1};\quad \omega_{pi}\approx\omega_T;\quad \omega_{zi} = \frac{Z_{i0}}{r_b}\omega_{pi} \tag{6.66b}$$

同样很容易证明，当 $g_m r_b > 1$ 时，是感性的，$g_m r_b < 1$ 时，电路是容性的，$g_m r_b = 1$ 时，电路是电阻性的。

利用式(6.59a)并展开，容易得到短路电流增益为：

$$\alpha(j\omega) = \frac{I_{0(sc)}}{I_i} = \frac{\beta(j\omega)}{\beta(j\omega)+1} \approx \frac{\alpha_0}{1+j\omega/\omega_T} \tag{6.67}$$

式中：$I_{0(sc)}$ 是极限 $R_L\to 0$ 时的集电极电流；$\alpha_0=\beta_0/(\beta_0+1)$。一旦 $I_{o(sc)}$ 到达集电极节点，它会在 R_L、C_μ 和 C_s 之间分流。由于 r_b 很小，我们可以把 C_μ 的左极板看作直接接地，这样就可以将 C_μ 和 C_s 合并，利用电流分配公式，当 $r_o\to\infty$ 时，我们得到：

$$I_o \approx \frac{1/[j\omega(C_\mu + C_s)]}{R_L + 1/[j\omega(C_\mu + C_s)]}\alpha(j\omega)I_i = \frac{\alpha(j\omega)}{1+j\omega R_L(C_\mu + C_s)}I_i$$

代入式(6.67)，我们得到总的电流增益为：

$$a(j\omega) = \frac{I_o}{I_i} \approx \frac{\alpha_0}{(1+j\omega/\omega_L)(1+j\omega/\omega_T)}$$

式中：

$$\omega_L \approx \frac{1}{R_L(C_\mu + C_s)} \tag{6.68}$$

显然，当负载短路时，CB 结构提供了最大的带宽 ω_T。当 $R_L \neq 0$ 时，由 R_L 和有效集电极电容 $C_\mu + C_s$ 形成的额外极点会相应地降低带宽。

为了得到图 6.35 所示电路中从集电极看进去的阻抗 $Z_o(j\omega)$ 的表达式，回想到低频下阻抗呈现出相似的形式 $Z_{o0}=(\beta_0+1)r_o$。这个电阻和电容 $C_\mu+C_s$ 形成一个极点 ω_{po}，因此我们有：

$$Z_o(j\omega) = \frac{(\beta_0+1)r_o}{1+j\omega/\omega_{po}}, \omega_{po} = \frac{1}{(\beta_0+1)r_o(C_\mu+C_s)} \tag{6.69}$$

例 6.13 图 6.35a 所示的 CB 放大器采用的 BJT 有 $\beta_0=200$，$V_A=50\text{V}$，$r_b=250\Omega$，$C_\mu=0.5\text{pF}$，及 $C_s=1\text{pF}$。而且，BJT 被偏置在 $I_C=1\text{mA}$，此时 $f_T=500\text{MHz}$。如果 $R_L=5\text{k}\Omega$，估算 $a(jf)$，$Z_i(jf)$ 和 $Z_o(jf)$ 的表达式。

解：

我们有 $r_\pi=5.2\text{k}\Omega$，$r_o=50\text{k}\Omega$，及 $C_\mu+C_s=(0.5+1)\text{pF}=1.5\text{pF}$。代入上面的公式我们得到 $a_0=0.995$，$f_L\approx 21\text{MHz}$，$Z_{i0}\approx 27\Omega$，$f_{zi}\approx 54\text{MHz}$，$Z_{o0}\approx 10\text{M}\Omega$，以及 $f_{po}\approx 10.6\text{kHz}$，因此，

$$a(jf) \approx \frac{0.995}{[1+jf/(21\text{MHz})][1+jf/(500\text{MHz})]}$$

表明 $a(jf)$ 带宽限制的瓶颈是极点 f_L。我们还可以得到：

$$Z_i(jf) \approx (27\Omega)\frac{1+jf/(54\text{MHz})}{1+jf/(500\text{MHz})}, \quad Z_o(jf) = \frac{10\text{M}\Omega}{1+jf/(10.6\text{kHz})}$$

这表示 Z_i 为感性，Z_o 为容性（我们知道，由于 C_μ 和 C_s，Z_i 最终会变为容性）。

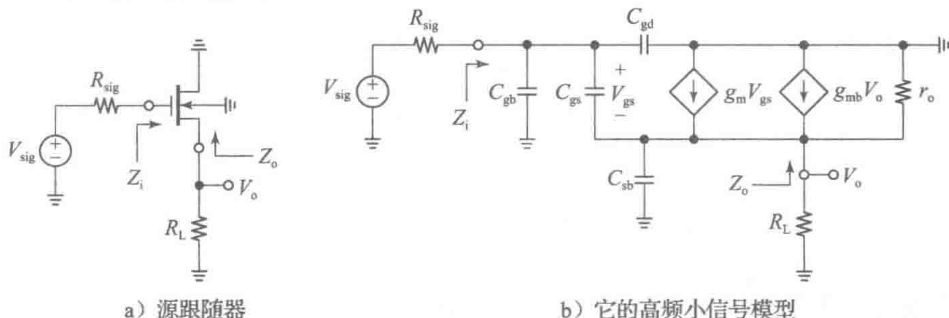
备注： 一个如缓冲器一样的非常简单的电路，完全用纸笔分析也是过于复杂的。合理的做法是，(a)从一个简化的但更可控的电路版本开始计算（如图 6.30b 所示，其中忽略了 C_μ，专注于更重要的 C_π），(b)培养对简化的电路的基本感觉，(c)利用 Pspice 去研究高阶影响（如图 6.33 所示 $C_\mu=1\text{pF}$ 时的影响）。无论如何，我们仍然需要手工分析以预测计算机模拟的结果，并且以此提供一种检查的形式。这就是工程师们日常工作的过程。◀

6.6 MOS 电压和电流缓冲器

需要复习在 6.5 节的开头关于电压/电流缓冲器的研究，其对 MOSFET 也有效，所以我们可以像研究双极型一样来研究 MOS 型电路，且特别重视终端阻抗的频率特性。

源跟随器的频率特性

源跟随器的等效电路以及它的高频模型如图 6.36 所示。由于其右极板接地，C_{gd} 不受米勒效应的影响，因此我们预计 CD 是一种固有的快速的电路结构。事实上，为了对电路的快速（哪怕是近似的）了解，可以忽视除 C_{gs} 外的电容，因为 C_{gs} 是电路的主要电容。我们希望研究从信号源看进去的阻抗 $Z_i(j\omega)$、源到负载增益 $a(j\omega)=V_o/V_{sig}$，及从负载看进去的阻抗 $Z_o(j\omega)$ 跟频率的相关性。



a）源跟随器 b）它的高频小信号模型

图 6.36

为了求出电压增益，参考图 6.37 所示的简化等效电路，该图可通过将图 6.36b 所示 R_1，r_o，以及 $1/g_m$合并为单个等效电阻得到：

$$R_1 = R_L /\!/ r_o /\!/ \frac{1}{g_{mb}} \tag{6.70}$$

尽管 C_{gd}和 C_{gb}在当前的分析中被忽略了，但因为它们与原电路是并联的，于是也汇总到一起了。应用欧姆定律，KCL，以及电压分压规则，我们写出：

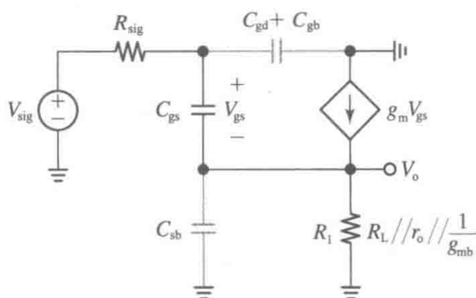


图 6.37　图 6.36b 所示简化等效电路

$$V_o = R_1\left(\frac{V_{gs}}{1/(j\omega C_{gs})} + g_m v_{gs}\right)$$
$$= R_1(j\omega C_{gs} + g_m)V_{gs}$$
$$V_{gs} = \frac{1/(j\omega C_{gs})}{R_{sig} + 1/(j\omega C_{gs})}(V_{sig} - V_o)$$
$$= \frac{1}{1 + j\omega R_{sig} C_{gs}}(V_{sig} - V_o)$$

消去 V_{gs}，并整理得到：

$$a(j\omega) = \frac{V_o}{V_{sig}} = \frac{g_m R_1 + j\omega R_1 C_{gs}}{1 + g_m R_1 + j\omega(R_{sig} + R_1)C_{gs}}$$

经过一点代数计算，我们将增益写为附录 6A 中提倡的更易观察的形式，即

$$a(j\omega) = a_0 \frac{1 + j\omega/\omega_{za}}{1 + j\omega/\omega_{pa}} \tag{6.71a}$$

式中：

$$a_0 = \frac{1}{1 + 1/(g_m R_1)};\quad \omega_{za} = \frac{g_m}{C_{gs}};\quad \omega_{pa} = \frac{1 + g_m R_1}{(R_{sig} + R_1)C_{gs}} \tag{6.71b}$$

当 $C_{gd} \ll C_{gs}$时，由式(6.24)我们近似有 $\omega_{za} \approx \omega_T$。我们也注意到在足够高的频率下，$C_{gs}$可看作短路，$R_1$和 R_{sig}形成一个电压分压器，产生一个渐进电压增益值 $a_\infty = 1/(1+R_{sig}/R_1)$。很容易证明 $g_m R_{sig} \geq 1$ 时，$a_\infty/a_0 \leq 1$，而 $g_m R_{sig} \leq 1$ 时，$a_\infty/a_0 \geq 1$（这当然是在假设 C_{gb}，C_{gs}和 C_{sb}均可忽略的情况下）。

接下来，我们研究由信号源看到的阻抗 $Z_i(j\omega)$，即由栅极看到的阻抗。利用图 6.38a 所示的测试电路，可以证明(见习题 6.24)：

$$Z_i(j\omega) = \frac{V_i}{I_i} = \frac{1}{j\omega C_1} + R_1 \tag{6.72a}$$

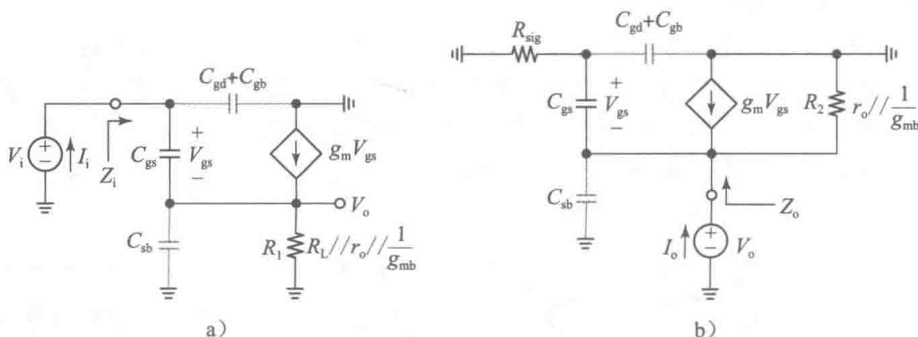


图 6.38　求出(a)从栅极看进去的阻抗 Z_i和(b)从源看进去的阻抗 Z_o

式中：

$$C_1 = \frac{C_{gs}}{1 + g_m R_1} \tag{6.72b}$$

表明 Z_i表现为一个等效电容 C_1与电阻 R_1的串联。如图 6.39 所示，在低频时 C_1起主要作用，这就是熟悉的直流极限 $Z_{i0} = \infty$。在高频时，其中的 C_{gs}看作短路，R_1占主导地位，得

到 $Z_{i\infty}=R_1$。零点频率为 $\omega_{zi}=1/(R_1C_1)$。当 $g_mR_1\gg1$ 时，可以近似有 $\omega_{zi}\approx\omega_T$。

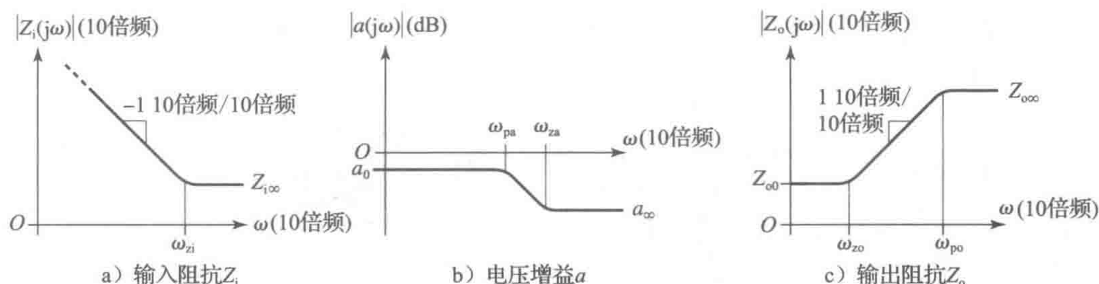


图 6.39 $C_{gb}=C_{gd}=C_{sb}=0$ 时典型的源跟随器特性。a 和 Z_o 的曲线均是在 $g_mR_{sig}\gg1$ 的情形下

最终，为了得到从负载看进去的阻抗 $Z_o(j\omega)$，我们利用图 6.38b 所示的测试电路。其中，

$$R_2 = r_o \,/\!/\, \frac{1}{g_{mb}} \tag{6.73}$$

结果(见习题 6.24)为：

$$Z_o(j\omega) = Z_{o0}\,\frac{1+j\omega/\omega_{zo}}{1+j\omega/\omega_{po}} \tag{6.74a}$$

式中：Z_{o0} 是熟悉的从源端看进去的低频阻抗；ω_{zo} 和 ω_{po} 分别是零点频率和极点频率；

$$Z_{o0}=\frac{1}{g_m}\,/\!/\,R_2,\quad \omega_{zo}=\frac{1}{R_{sig}C_{gs}},\quad \omega_{po}=\frac{1+g_mR_2}{(R_{sig}+R_2)C_{gs}} \tag{6.74b}$$

显然高频渐进值为 $Z_{o\infty}=R_{sig}/\!/R_1$，只要 C_{gb}，C_{gd} 和 C_{sb} 能够被忽略，很容易证明当 $g_mR_{sig}>1$ 时，Z_o 是感性的，当 $g_mR_{sig}<1$ 时，Z_o 是容性的。

例 6.14 (a) 图 6.36 所示源跟随器中使用的 MOSFET 有 $g_m=1\text{mA/V}$，$g_{mb}=0.1\text{mA/V}$，$r_o=50\text{k}\Omega$，and $C_{gs}=400\text{fF}$，且 $R_{sig}=R_L=10\text{k}\Omega$。假定 $C_{gb}=C_{gd}=C_{sb}=0$，求出 Z_i，a 和 Z_o 的频率特性。

(b) 用 PSpice 验证 $C_{gb}=C_{gd}=C_{sb}=0$ 和 $C_{gb}=C_{gd}=C_{sb}=25\text{pF}$ 的情形，且作出评论。

解：

(a) 我们有

$$f_T\approx\frac{g_m}{2\pi C_{gs}}=\frac{10^{-3}}{2\pi400\times10^{-12}}\text{Hz}\approx400\text{MHz}$$

$$R_1=\left(10\,/\!/\,50\,/\!/\,\frac{1}{0.1}\right)\text{k}\Omega=4.55\text{k}\Omega$$

$$C_1=\frac{400}{1+1\times4.55}\text{fF}\approx72\text{fF}$$

$$R_2=\left(50\,/\!/\,\frac{1}{0.1}\right)\text{k}\Omega=8.33\text{k}\Omega$$

由式(6.72)得，由信号源看到的阻抗为：

$$Z_i=\left(\frac{1}{j2\pi f\times72\times10^{-15}}+4.55\times10^3\right)\Omega=\left(\frac{-j2.21\times10^9}{f}+4.55\right)\text{k}\Omega$$

其中，有一个零点频率为 $f_{zi}=1/(2\pi R_1C_1)=486\text{MHz}$。通过式(6.71)，增益参数为：

$$a_0=\frac{1}{1+1/(1\times4.55)}\text{V/V}=0.820\text{V/V}=-1.72\text{dB}$$

$$a_\infty=\frac{1}{1+10/4.55}\text{V/V}=0.312\text{V/V}=-10.1\text{dB}$$

$$f_{za}=400\text{MHz}$$

$$f_{pa}=\frac{1+1\times4.55}{2\pi(10+4.55)\times10^3\times400\times10^{-15}}\text{Hz}=152\text{MHz}$$

由式(6.74)，从负载看到的阻抗参数为：

$$Z_{o0}=\left(\frac{1}{1}\ /\!/\ 8.33\right)\text{k}\Omega=0.893\text{k}\Omega, Z_{o\infty}=(10\ /\!/\ 8.33)\text{k}\Omega=4.55\text{k}\Omega$$

$$f_{zo}=\frac{1/(2\pi)}{10^4\times 400\times 10^{-15}}\text{Hz}\approx 40\text{MHz}$$

$$f_{po}=\frac{1+1\times 8.33}{2\pi(10+8.33)\times 10^3\times 400\times 10^{-15}}\text{Hz}=202\text{MHz}$$

很显然，Z_o是感性的，至少是变得更感性了一些。

(b) 调整图 6.32 所示的 Pspice 电路到当前的情形，我们得到图 6.40 所示的频率曲线。渐进值和拐点频率均与假设 $C_{gb}=C_{gd}=C_{sb}=0$ 下的计算情况非常一致。而 $C_{gb}=C_{gd}=C_{sb}=25\text{pF}$ 时，高频渐进值倾向于零，在高频时，将 Z_o从感性转变为容性。◀

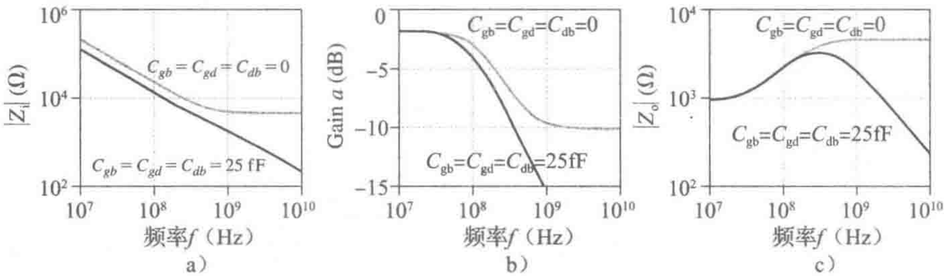


图 6.40　例 6.14 源跟随器的增益和阻抗曲线

MOSFET 电流缓冲器的频率特性

图 6.41 画出了 MOSFET 电流缓冲器的等效电路，以及其高频模型。如 CD 配置一样，CG 本身就是一种快速的电路结构，因为 C_{gd}不受米勒效应的影响。我们希望得到从源端看进去的阻抗 $Z_i(j\omega)$、电流增益 $a(j\omega)=I_o/I_i$、从漏极看进去的阻抗 $Z_o(j\omega)$与频率的相关性。为此，参考图 6.42 所示的更简洁等效电路，其合并相关电容。

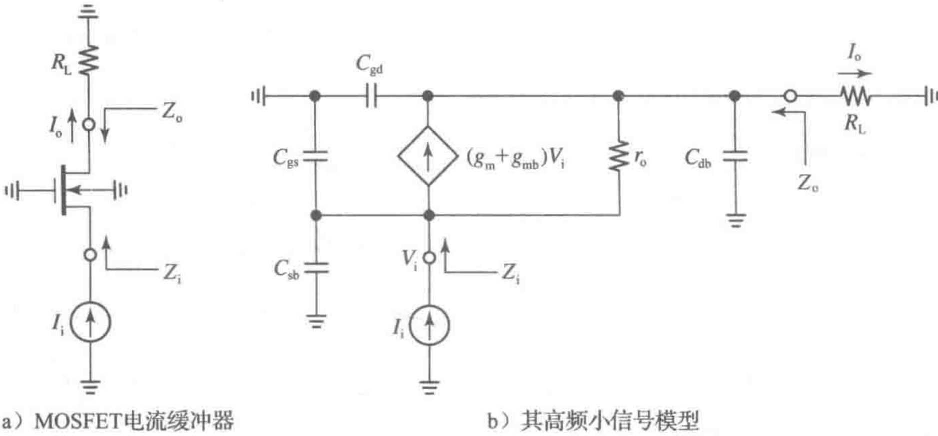


图　6.41

为了快速理解 Z_i和 a 的频率相关性，简便的做法是忽视 r_o，于是输入端口和输出端口隔离，从而能够单独分析。当 $r_o\to\infty$时，在输入节点，由 KCL 给出：

$$I_i=(g_m+g_{mb})V_i+\frac{V_i}{1/[j\omega(C_{gs}+C_{sb})]}=(g_m+g_{mb})\left[1+\frac{j\omega(C_{gs}+C_{sb})}{g_m+g_{mb}}\right]V_i$$

因此，从信号源看到的阻抗为：

$$Z_i=\frac{V_i}{I_i}=\frac{1}{g_m+g_{mb}}\times\frac{1}{1+j\omega/\omega_{pi}}$$

式中：

$$\omega_{pi}=\frac{g_m+g_{mb}}{C_{gs}+C_{sb}}\tag{6.75}$$

当 $r_o \to \infty$ 时，流入短路负载($R_L = 0$)电流为 $I_{o(sc)} = (g_m + g_{mb})V_i = (g_m + g_{mb})Z_i I_i$，因此，短路电流增益为：

$$\alpha(j\omega) = \frac{I_{o(sc)}}{I_i} = \frac{1}{1 + j\omega/\omega_{pi}} \quad (6.76)$$

式中：ω_{pi} 如式(6.75)给出。一旦 $I_{o(sc)}$ 到达漏极节点，它会在 R_L 和电容对 $C_{gd} + C_{db}$ 之间分流，因此，当 $r_o \to \infty$ 时，我们利用电流分流规则写出：

$$I_o = \frac{1/[j\omega(C_{gd} + C_{db})]}{R_L + 1/[j\omega(C_{gd} + C_{db})]}\alpha(j\omega) I_i = \frac{\alpha(j\omega)}{1 + j\omega R_L(C_{gd} + C_{db})} I_i$$

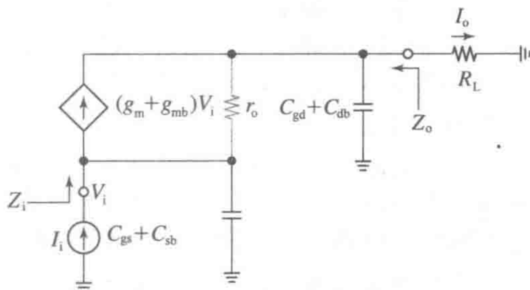


图 6.42 MOSFET 电流缓冲器的简化电路

代入式(6.76)，我们最终得到总的电流增益为：

$$a(j\omega) = \frac{I_o}{I_i} \approx \frac{1}{(1 + j\omega/\omega_{pi})(1 + j\omega/\omega_L)}$$

式中：

$$\omega_L \approx \frac{1}{R_L(C_{gd} + C_{db})} \quad (6.77)$$

显然，当负载短路时，CG 结构提供了最大带宽 $\omega_{pi}(\approx \omega_T)$。当 $R_L \neq 0$ 时，由 R_L 和有效漏电容 $C_{gd} + C_{db}$ 形成的极点减小了相应的带宽。

证明由负载看到的阻抗为：

$$Z_o(j\omega) = \frac{1}{j\omega C_o} \times \frac{1 + j\omega/\omega_{zo}}{1 + j\omega/\omega_{po}}$$

式中：

$$C_o = C_{gd} + C_{db} + \frac{C_{gs} + C_{sb}}{1 + (g_m + g_{mb})r_o} \quad (6.78a)$$

$$\omega_{zo} = \frac{1 + (g_m + g_{mb})r_o}{r_o(C_{gs} + C_{sb})}; \quad \omega_{po} = \omega_{zo} + \frac{1}{r_o(C_{gd} + C_{db})} \quad (6.78b)$$

这留作练习(见习题 6.28)。Z_o 的频率相关性由 C_o 主导，在直流时 $Z_{o0} \to \infty$，因为已经假设信号源是理想的。一个实际的信号源将有 $R_{sig} < \infty$，这种情形下，我们近似有：

$$Z_o(j\omega) \approx \frac{Z_{o0}}{1 + j\omega/\omega_o}$$

式中：

$$Z_{o0} = r_o + [1 + (g_m + g_{mb})r_o]R_{sig}; \quad \omega_o = \frac{1}{Z_{o0}C_o} \quad (6.79)$$

CG 结构将会在本章最后习题中进一步研究。

6.7 开路时间常数分析

前面的章节表明，即使再简单的电路，如单晶体管级的情况下，交流分析也会变得相当复杂。由于电容数量增加，要通过纸笔进行精确分析，很快可能变得望而却步。然而，在日常实践中，设计师必须在近似的情况下，尽快估算出电路最重要的交流特性，如它的 −3dB 频率，以及确定在不满足相关条件时，电路需要作出什么改变。接着，再用计算机仿真来验证这些修改设计。

如果电路包含单个极点，它的 −3dB 频率就是它自身的极点频率。即使它包含了额外的极点或者零点，但是在足够高的频率下，ω_{-3dB} 将仍然与最低的极点接近，这称为主极点频率。6.3 节的共射/共源放大器提供了有说服力的例子，这里我们利用米勒近似来快速估计 ω_{-3dB}。我们想知道是否有一个快速的方法来估计多极点电路的 ω_{-3dB}，一个广泛使用的技术是开路时间常数(OCTC)分析技术，由 P. E. 格雷(P. E. Gray)和 C. L. 塞尔(C. L. Searle)在 1969 年提出。

为了能直接地理解电路，我们从包含单个电容 C_k 的电路开始。我们知道，当在频率 ω_k 下，C_k 的阻抗与周围电路提供给 C_k 的等效电阻 $R_k=1/(\omega_k C_k)$ 在幅度上相等时，就产生了一个极点。这就得到 $\omega_k=1/\tau_k$，其中，$\tau_k=R_k C_k$ 是 C_k 和 R_k 产生的时间常数。作为频率的函数，C_k 在 $\omega\ll\omega_k$ 时，可看作开路，它在 $\omega=\omega_k$ 时呈现的阻抗在幅值上等于 R_k，且当 $\omega\gg\omega_p$ 时可看作短路。

如果电路包含的电容超过一个会怎样呢？如果存在主极点，我们就能说在该极点频率下所有电容可看作开路，除了产生该极点的电容外，该极点电容表现为一个阻抗，其幅值等于其周围电路提供的阻抗。为了得到主导主极点的电容，我们需要对电容测试一次，同时假定其余所有电容开路。仔细地求出由该电容看到的等效电阻，再计算出相应的时间常数。我们对每一个存在的电容重复上述过程，最终我们使 $\omega_{-3dB}\approx 1/\tau_D$，其中，$\tau_D$ 是目前为止最长的时间常数，从而也是最主要的。

如果电路没有确切的时间常数又会怎样呢？以上得到的信息仍然是有用的，因为 OCTC 技术表明，我们可以估计 −3dB 频率为：

$$\omega_{-3dB}\approx\frac{1}{R_1C_1+R_2C_2+\cdots+R_nC_n} \tag{6.80}$$

式中：R_i 是由电容 $C_i(i=1,2,\cdots,n)$ 看进去的等效电阻。同时其他所有电阻均是开路。注意到这种技术没有提供关于高阶极点和可能的零点信息。它仅仅给出了 −3dB 频率的估计，这也称为半功耗带宽，只是通过 n 次简单时间常数计算得到的。而且，只要确认哪个时间常数对 −3dB 频率贡献最大，这样如果设计不能满足一些特定的带宽需求，我们知道怎么去修改电路了。一些例子将很好地说明 OCTC 技术。

共射/共源放大器的 OCTC 分析

作为开路时间常数（OCTC）技术的第一个应用，让我们回到图 6.21 所示的电路（图 6.43 重新画出了），其表示共射/共源放大器。有三个电容存在（C_1，C_2 和 C_f），我们需要求出三个开路的等效电阻。参考图 6.44a 所示电路，显然由 C_1 和 C_2 看到的电阻正好是 R_1 和 R_2。然而，为了求出 R_f，我们不能仅仅依赖观察，由于受控源的存在，需要采用测试的方法。参考图 6.44b 所示电路，通过欧姆定律得到 $v_1=R_1 i$。

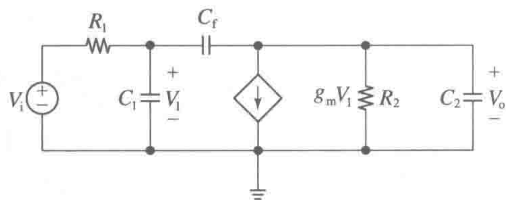
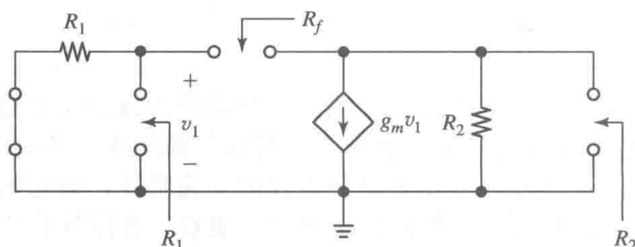


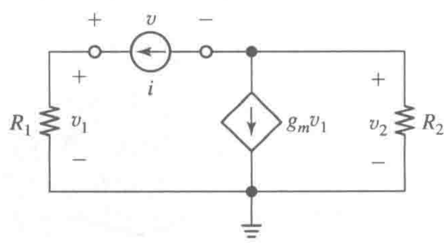
图 6.43 重温共射/共源放大器

由 KCL 可知，R_2 必须提供电流 $i+g_m v_1=i+g_m R_1 i$，因此 $v_2=-R_2(i+g_m R_1 i)=-R_2(1+g_m R_1)i$。再由 KVL，得：

$$v=v_1-v_2=R_1 i-[-R_2(1+g_m R_1)i]$$



a）从图6.43所示放大器中电容两端看的开路电阻



b）使用测试法求R_f

图 6.44

因此，代入比值 $R_f=v/i$，我们得到：

$$R_f=R_1+R_2+g_m R_1 R_2 \tag{6.81}$$

最终，我们用式（6.80）估计 −3dB 频率，有：

$$\omega_{-3dB}\approx\frac{1}{R_1C_1+R_fC_f+R_2C_2}=\frac{1}{R_1C_1+(R_1+R_2+g_mR_1R_2)C_f+R_2C_2} \tag{6.82}$$

式(6.82)与式(6.45)是相同的，只是重新整理了分母项，这是通过更费力的精确分析获得的。当然，精确的分析也能提供高阶极点和零点频率的信息，而OCTC方法仅估计ω_{-3dB}。但ω_{-3dB}经常是所有设计师想知道的，考虑到OCTC技术能大大简化计算，其确实是一个强大的工具。最后我们观察到，如果定义乘数项为：

$$M = 1 + g_m R_2 + \frac{R_2}{R_1} \tag{6.83}$$

那么与C_f相关的时间常数τ_f通过OCTC可近似表示为$\tau_f = (R_1 M)C_f$，而用米勒近似表示为$\tau_f = R_1(MC_f)$。对于相同的结果，我们有两种不同的观点！

例6.15 重新考虑例6.8的共射放大器，其中$g_m = 1/(26\Omega)$，$R_1 = 0.975\text{k}\Omega$，$R_2 = 4.55\text{k}\Omega$，$C_\pi = 12\text{pF}$，$C_\mu = 0.5\text{pF}$，及$C_s = 1\text{pF}$。

(a) 通过OCTC方法估计f_{-3dB}，并指出哪个电容对主极点频率作用最大，哪个电容作用最小。

(b) 提出一种方法增加电路的带宽而不减小它的低频增益a_0。

解：

(a) 通过观察，由C_π和C_s看到的电阻分别为，$R_\pi = 0.975\text{k}\Omega$及$R_s = 4.55\text{k}\Omega$，在这种情况下应用式(6.81)，我们得到$R_\mu = (0.975 + 4.55 + 0.975 \times 4.55/0.026)\text{k}\Omega = 176\text{k}\Omega$。电阻单位为$\text{k}\Omega$($10^3$)而电容为pF($10^{-12}$)，式(6.82)的时间常数将在ns($10^{-9}$)数量级。

$$f_{-3dB} \approx \frac{1/(2\pi)}{(0.975 \times 12 + 176 \times 0.5 + 4.55 \times 1)\text{ns}}$$
$$= \frac{1/(2\pi)}{(11.7 + 88 + 4.6)\text{ns}} = 1.53\text{MHz}$$

这与例6.8非常一致。正如预期的，限制带宽的罪魁祸首就是与C_μ相关的时间常数，而与C_s相关的时间常数限制最小。

(b) 一个明显能增加带宽的方法就是减小R_μ，它会影响最长的时间常数。由式(6.81)，这个电阻同时取决于R_1和R_2。为了避免显著改变低频增益a_0，不能改变R_2。这就仅剩下R_1，用低输出阻抗的信号源来驱动该放大器，可以减小R_1。在极限$R_{sig} \to 0$下，我们有$R_1 = r_\pi /\!/ r_b$，因此，有：

$$R_\pi = R_1 = (5.2 /\!/ 0.2)\text{k}\Omega = 0.193\text{k}\Omega$$
$$R_\mu = (0.193 + 4.55 + 0.193 \times 4.55/0.026)\text{k}\Omega = 38.4\text{k}\Omega$$

所以在极限$R_{sig} \to 0$下，我们得到：

$$f_{-3dB} \approx \frac{1/(2\pi)}{(0.193 \times 12 + 38.4 \times 0.5 + 4.55 \times 1)\text{ns}}$$
$$= \frac{1/(2\pi)}{(2.3 + 19.2 + 4.6)\text{ns}} \approx 6\text{MHz}$$

表明带宽扩展了几乎两个8倍频(可以看出当$R_{sig} = 0$时，a_0从-142V/V升高到-169V/V。通常这不是一个问题，但如果它成为一个问题，我们可以调整R_2的值来重新得到原始的增益)。

备注：如果可用的信号源没有足够低的R_{sig}，我们可以在信号源和放大器之间加入一个缓冲器。缓冲器提供了高输入阻抗、低输出阻抗，且在比所考虑放大器宽得多的带宽内，都能提供接近1的单位增益，因此其能很好地提供所需的阻抗转换的功能。◀

例6.16 重新考虑练习6.3中的共源放大器，其中，$g_m = 4\text{mA/V}$，$R_1 = 10\text{k}\Omega$，$R_2 = 4.55\text{k}\Omega$，$C_{gs} = 1.17\text{pF}$，且$C_{gd} = 0.1\text{pF}$，通过OCTC方法估计f_{-3dB}。

解：

通过观察，$R_{gs} = 10\text{k}\Omega$、$R_{db} = 4.55\text{k}\Omega$，在当前的情况下应用式(6.81)，$R_{gd} = (10 + 4.55 + 4 \times 10 \times 4.55)\text{k}\Omega = 196\text{k}\Omega$。由于电阻单位为$\text{k}\Omega$，以及电容单位为pF，时间常数将

在 ns 数量级，有：

$$f_{-3\text{dB}} \approx \frac{1/(2\pi)}{(10 \times 1.17 + 196 \times 0.1 + 4.55 \times 0.2)\text{ns}}$$

$$= \frac{1/(2\pi)}{(11.7 + 19.6 + 0.91)\text{ns}} = 4.9\text{MHz}$$

与练习 6.3 接近一致。 ◀

电压缓冲器 OCTC 分析

考虑图 6.30b 所示的射极跟随器，为了方便，在图 6.45 中再次画出，其在 $C_\mu=0$ 的假设下进行了分析，使得推导更简单。我们现在希望通过 OCTC 技术来估计 −3dB 频率，而且要考虑 C_μ 的存在。为了得到开路等效电阻，利用图 6.46a 所示电路，且 $R_1=R_{\text{sig}}+r_b$ 及 $R_2=R_L // r_o$，如图 6.45 所示。参考 R_1 和 r_π 公共节点，我们注意到往左边看我们看到 R_1，而往右看我们看到 $r_\pi+(\beta_0+1)R_2$，因此通过 C_μ 看到的电阻为：

$$R_\mu = R_1 // [r_\pi + (\beta_0 + 1)R_2] \qquad (6.84)$$

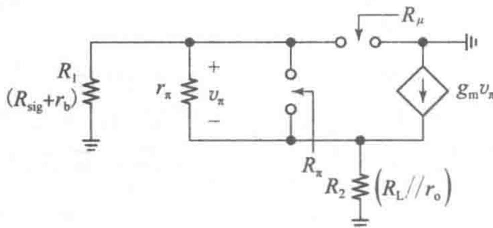
为了求出 R_π，我们需要运用图 6.46b 所示的测试方法。通过 KCL，流入 R_1 的电流为 $i_1=i-v/r_\pi$，流入 R_2 电流为 $i_2=v/r_\pi+g_m v-i$，因此我们可以写出：

$$v = R_1 i_1 - R_2 i_2 = R_1\left(i - \frac{v}{r_\pi}\right) - R_2\left(\frac{v}{r_\pi} + g_m v - i\right)$$

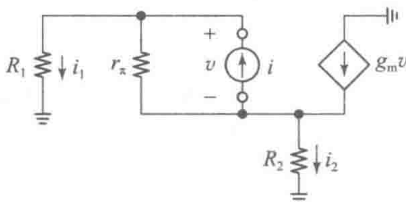
图 6.45 重温射极跟随器

整理及代入值 $R_\pi=v/i$，进行一些代数运算后，我们得到：

$$R_\pi = r_\pi // \frac{R_1 + R_2}{1 + g_m R_2} \qquad (6.85)$$



a）由图6.45所示射极跟随器的电容看到的开路电阻



b）利用测试的方法出 R_π

图 6.46

最后有：

$$\omega_{-3\text{dB}} \approx \frac{1}{R_\pi C_\pi + R_\mu C_\mu}$$

$$= \frac{1}{\{r_\pi // [(R_1 + R_2)/(1 + g_m R_2)]\} C_\pi + \{R_1 // [r_\pi + (\beta_0 + 1)R_2]\} C_\mu} \qquad (6.86)$$

例 6.17 重新考虑例 6.11 的射极跟随器，其中，$\beta_0=150$，$g_m=1/(13\Omega)$，$r_\pi=1.95\text{k}\Omega$，$R_1=2.2\text{k}\Omega$，$R_2=4.441\text{k}\Omega$，$C_\pi=29.6\text{pF}$，且 $C_\mu=1\text{pF}$。通过 OCTC 方法估计 $f_{-3\text{dB}}$，且评论。

解：

通过式(6.84)到式(6.86)，我们得到：

$$R_\pi = \left(1.95 // \frac{2.2 + 4.44}{1 + 4.44/0.013}\right)\text{k}\Omega = 19.2\Omega$$

$$R_\mu = [2.2 // (1.95 + 151 \times 4.44)]\text{k}\Omega = 2.19\text{k}\Omega$$

$$f_{-3\text{dB}} \approx \frac{1/(2\pi)}{(19.2 \times 29.6 \times 10^{-12} + 2.19 \times 10^3 \times 10^{-12})\text{s}}$$

$$= \frac{1/(2\pi)}{(0.57 + 2.19)\text{ns}} = 58\text{MHz}$$

这个估计与通过图 6.32 所示的 PSpice 电路得到的 66MHz 值合理吻合。显然，由于 C_μ 产生的时间常数在这种情况下是起主导作用的。◀

接下来，我们研究图 6.36b 所示的源极跟随器，为了方便在图 6.47 再次画出了。为了得到它的开路等效电阻，我们以图 6.48 所示的形式重新整理，通过观察，有：

$$R_{gb}=R_{sig},R_{sb}=R_L\ /\!/\ r_o\ /\!/\ \frac{1}{g_{mb}}\ /\!/\ \frac{1}{g_m} \tag{6.87}$$

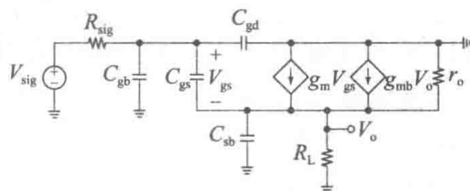


图 6.47 重温源跟随器

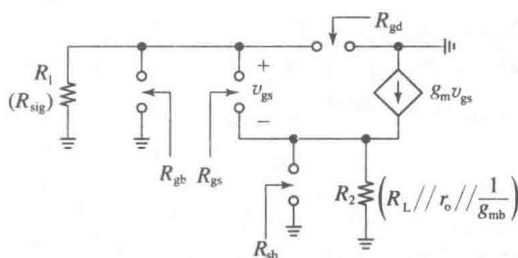


图 6.48 图 6.47 所示源跟随器中电容看到的开路电阻

为了求出 R_{gs} 和 R_{gd}，我们注意到这个电路与图 6.46 所示双极型电路的相似性，只是 $r_\pi\to\infty$。为了节省精力我们重新利用式(6.84)和式(6.85)，通过 $r_\pi\to\infty$ 和 $\beta_0\to\infty$，我们得到：

$$\begin{aligned} R_{gd}&=R_1=R_{sig}\\ R_{gs}&=\frac{R_1+R_2}{1+g_mR_2}\\ &=\frac{R_{sig}+[R_L\ /\!/\ r_o\ /\!/\ (1/g_{mb})]}{1+g_m[R_L\ /\!/\ r_o\ /\!/\ (1/g_{mb})]} \end{aligned} \tag{6.88}$$

我们现在有了估计 f_{-3dB} 所需要的所有参数。

练习 6.5

重新考虑例 6.14 源跟随器，有 $g_m=1\ \text{mA/V}$，$g_{mb}=0.1\text{mA/V}$，$r_o=50\text{k}\Omega$，$C_{gs}=400\text{fF}$，$C_{gb}=C_{gd}=C_{sb}=25\text{fF}$，且 $R_{sig}=R_L=10\text{k}\Omega$。利用 OCTC 技术估计 f_{-3dB}。

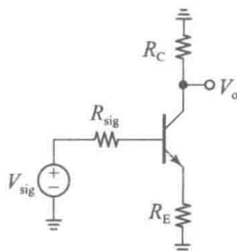
答案： 122MHz

射极/源极简并的电压放大器

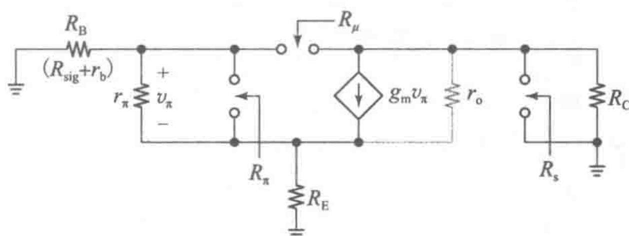
回想一下，简并降低了共射/共源放大器增益。因此，我们期望的米勒乘数减小了，从而 f_{-3dB} 的值更高。增益和带宽的折中在电子学中一直存在，接下来我们将频繁地看到这种现象。我们希望使用 OCTC 技术来估算带简并的电压放大器的 −3dB 频率。

首先考虑图 6.49a 中以交流形式显示的 CE-CD 放大器。只要 r_o 与 BJT 的外部电阻相比相当大，我们就可以完全忽视 r_o，以简化我们的分析。再考虑图 6.49b 所示开路等效电路，应用式(6.85)，可以获得 R_π 的表达式为：

$$R_\pi\approx r_\pi\ /\!/\ \frac{R_B+R_E}{1+g_mR_E} \tag{6.89}$$



a) CE-ED放大器



b) 由它的电容看到的开路电阻

图 6.49

同样通过观察，有：

$$R_s\approx R_C \tag{6.90}$$

将图 6.49b 所示的电路简化为图 6.50 所示更简洁的形式后，我们利用测试的方法去得到 R_μ。这里 R_1 和 R_2 表示从测试源正极和负极看进去的等效电阻，且 G_m 表示简并的跨导。应

用图 4.9 列出的表达式，在 $R_C \ll r_o$ 时，我们有：

$$R_1 \approx (R_{sig} + r_b) /\!/ [r_\pi + (\beta_0 + 1)R_E], R_2 \approx R_C \tag{6.91}$$

$$G_m = \frac{g_m}{1 + g_m R_E} \tag{6.92}$$

但是图 6.50 所示电路与图 6.44b 所示电路在形式上是相同的，因此在这种情况下，应用式(6.81)，可以得到：

$$R_\mu \approx R_1 + R_2 + G_m R_1 R_2 \tag{6.93}$$

我们现在有了估计 f_{-3dB}所需要的所有参数。

图 6.50　求出图 6.49b 所示 R_μ 的等效电路

例 6.18 (a) 探讨添加一个射极简并电阻 $R_E = 500\Omega$ 到例 6.8 共射放大器所产生的影响。与原情形进行比较，且讨论。

解：

(a) 回想到 $\beta_0 = 200$，$r_b = 200\Omega$，$g_m = 1/(26\Omega)$，$r_\pi = 5.21\text{k}\Omega$，$r_o = 501\text{k}\Omega$，$C_\pi = 12\text{pF}$，$C_\mu = 0.5\text{pF}$，且 $C_s = 1\text{pF}$。且 $R_{sig} = 1\text{k}\Omega$，$R_C = 5\text{k}\Omega$，$R_E = 0.5\Omega$，我们得到 $R_B = (1+0.2)\text{k}\Omega = 1.2\text{k}\Omega$。所有这些电阻均比 r_o更小，因此我们预测上面的近似是合理的。通过式(6.89)和式(6.90)，有：

$$R_\pi \approx \left(5.2 /\!/ \frac{1.2 + 0.5}{1 + 0.5/0.026}\right)\text{k}\Omega = 82.7\Omega, R_s \approx 5\text{k}\Omega$$

通过式(6.91)，有：$R_1 \approx (1.2 /\!/ (5.2 + 201 \times 0.5))\text{k}\Omega = (1.2 /\!/ 105.7)\text{k}\Omega = 1.19\text{k}\Omega$，及 $R_2 \approx 5\text{k}\Omega$。通过式(6.92)和式(6.93)，有：

$$G_m = \frac{1/26}{1 + 500/26}\Omega^{-1} = \frac{1}{526\Omega}, R_\mu = \left(1.19 + 5 + \frac{1.99 \times 5}{0.526}\right)\text{k}\Omega = 17.51\text{k}\Omega$$

最后，用单位 kΩ 表示电阻，pF 表示电容，我们得到：

$$f_{-3dB} = \frac{1/(2\pi)}{R_\pi C_\pi + R_\mu C_\mu + R_s C_s} \approx \frac{1/(2\pi)}{(1 + 8.75 + 5)\text{ns}} = 10.8\text{MHz}$$

与例 6.15 的 $R_E = 0$ 情形相比，τ_π 和 τ_μ 减小了一个数量级，导致 f_{-3dB}从 1.53MHz 增加到 10.8MHz。另一方面，低频增益从例 6.8 的 $a_0 = -142\text{V/V}(43\text{dB})$降为当前值：

$$a_0 = \frac{105.7}{1.2 + 105.7} \times \frac{-5}{0.526}\text{V/V} \approx -9.4\text{V/V}(19.5\text{dB})$$

(b) 重新利用图 6.22 所示电路，使射极端不再接地，在射极和地之间插入 $R_E = 500\Omega$，再通过 PSpice 验证。仿真生成图 6.51 所示伯德图，这与通过 OCRC 技术得到的结果吻合。◀

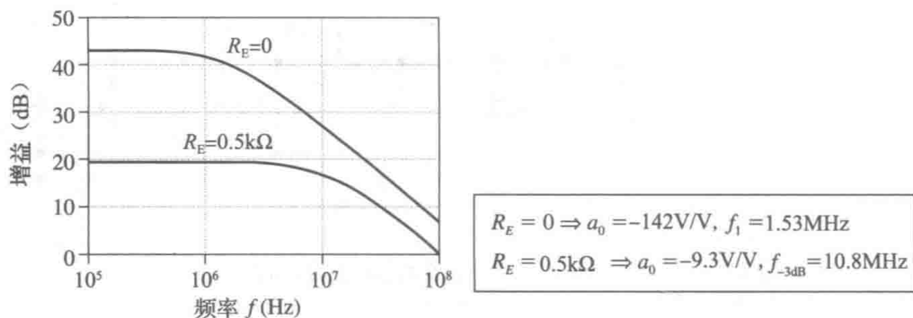
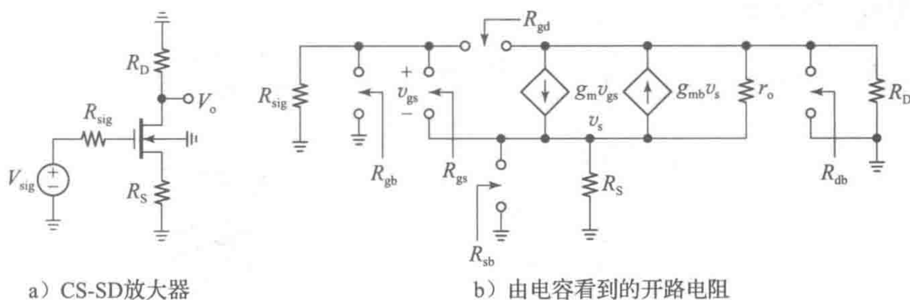


图 6.51　例 6.8 共射放大器的增益曲线($R_E = 0$)，及例 6.18 的 CE-ED 放大器($R_E = 0.5\text{k}\Omega$)

接下来，我们研究图 6.52a 所示的 CS-SD 放大器，参照图 6.52b 所示的开路等效电路，通过观察，我们发现：

$$R_{gb} = R_{sig}, R_{sb} = R_S /\!/ R_s, R_{db} = R_D /\!/ R_d \tag{6.94}$$



a）CS-SD放大器　　b）由电容看到的开路电阻

图　6.52

式中：R_s和 R_d是由源极和漏极看进去的电阻，两者都列在图 4.23 中。为了得到 R_{gd}我们将式(6.92)和式(6.93)应用到 MOSFET 情形，有：

$$R_{gd} \approx R_{sig} + R_{db} + \frac{g_m}{1+(g_m+g_{mb})R_S} R_{sig} R_{db} \tag{6.95}$$

最后，为了得到 R_{sg}，我们像往常一样，应用测试的方法。下面结果的推导将作为习题留给读者：

$$R_{gs} = \frac{R_{sig} + R_S + g_{mb} R_{sig} R_S + (R_{sig} R_S + R_{sig} R_D + R_D R_S)/r_o}{1+(g_m+g_{mb})R_S + (R_D + R_S)/r_o} \tag{6.96}$$

例 6.19　图 6.52a 所示的 CS-SD 放大器有 $g_m = 2\text{mA/V}$，$g_{mb} = 0.25\text{mA/V}$，$r_o = -25\text{k}\Omega$，$C_{gs} = 100\text{fF}$，$c_{gb} = C_{sb} = C_{gd} = C_{db} = 7.5\text{fF}$。如果 $R_{sig} = 10\text{k}\Omega$，$R_D = 20\text{k}\Omega$，$R_S = 1\text{k}\Omega$，通过 OCTC 方法估计增益带宽积。

解：

由式(4.39a)，低频增益为：

$$a_0 = \frac{-2\times 20}{1+(2+0.25)\times 1 + (20+1)/25} \text{V/V} = -9.78\text{V/V}$$

由源和漏极看进去的电阻为 $R_s = 0.786\Omega$ 和 $R_d = 82.3\text{k}\Omega$，因此由式(6.94)，给出：

$$R_{gb} = 10\text{k}\Omega, R_{sb} = (1 /\!/ 0.786)\text{k}\Omega = 0.44\text{k}\Omega, R_{db} = (20 /\!/ 82.3)\text{k}\Omega = 16.1\text{k}\Omega$$

同样地，由式(6.95)和式(6.96)，给出：

$$R_{gd} \approx 125\text{k}\Omega, R_{gs} = 5.55\text{k}\Omega$$

因此，

$$f_{-3\text{dB}} = \frac{1/(2\pi)}{\tau_{gb} + \tau_{sb} + \tau_{gd} + \tau_{gs} + \tau_{db}}$$

$$\approx \frac{1/(2\pi)}{(75+3.3+937.5+555+121)\text{ps}} \approx 94.1\text{MHz}$$

最后，GBP≈9.78×94.1MHz≈920MHz，主要带宽限制因素是 C_{gd}和 C_{gs}。PSpice 仿真证实了上面的结果。◀

额外的 OCTC 分析的例子，在本章后面的习题中将会给出。

6.8　共源共栅放大器的频率响应

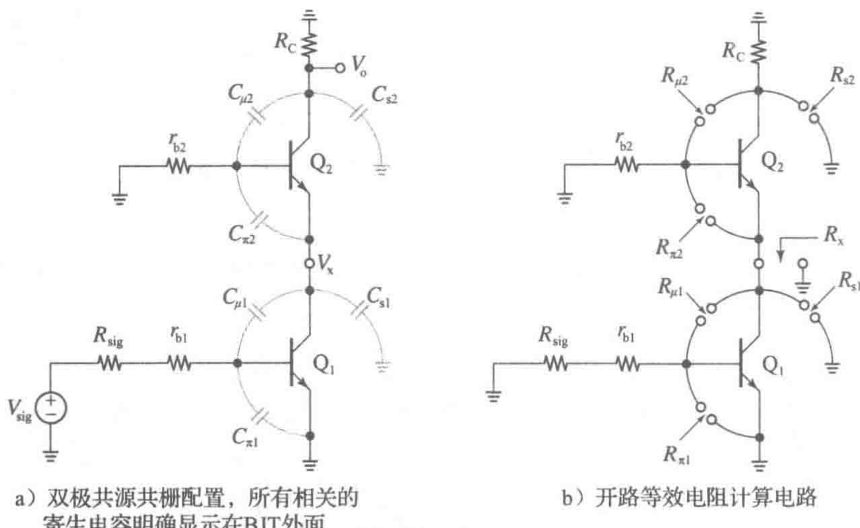
第 4 章我们探讨了共源共栅的使用可以显著地提高无负载电压增益。我们现在研究共源共栅另一个固有的优势，即增加增益带宽积(GBP)。

双极共源共栅

图 6.53a 所示的为双极共源共栅结构的交流等效电路，标明了影响频率响应的电容。我们希望通过 OCTC 分析来估计−3dB 频率。标记为 V_x的节点在电路中扮演着重要的角色，我们先求出该节点和地之间的开路等效电阻 R_x。参照图 6.53b 所示电路，我们注意到 $R_x = r_{o1} /\!/ R_{e2}$，其中，R_{e2}是从 Q_2的射极看进去的电阻。这可以通过在当前情况下应用

式(4.10)得到。该结果为：

$$R_x = r_{o1} \mathbin{/\!/} \left[\left(\frac{r_{b2}+r_{\pi 2}}{\beta_{02}+1} \mathbin{/\!/} r_{o2}\right)\times\frac{1+R_C/r_{o2}}{1+R_C/[(\beta_{02}+1)r_{o2}+r_{b2}+r_{\pi 2}]}\right] \tag{6.97}$$



a）双极共源共栅配置，所有相关的寄生电容明确显示在BJT外面　　b）开路等效电阻计算电路

图　6.53

注意到对于大的 r_{o1} 和 β_{02}，当 $R_C \to 0$ 时，我们有 $R_x \approx r_{e2}+r_{b2}/(\beta_{02}+1)$，当 $R_C\to\infty$时，有 $R_x\approx r_{\pi 2}+r_{b2}$。

我们观察到 Q_1 与图 6.43 所示电路的相似，不同的是 $R_2 = R_x$。我们可以重新利用前文研究出的结果并写出：

$$R_{\pi 1} = (R_{sig}+r_{b1}) \mathbin{/\!/} r_{\pi 1}, R_{\mu 1} = R_{\pi 1}+R_x+g_{m1}R_{\pi 1}R_x, R_{s1} = R_x \tag{6.98}$$

同样地，Q_2 与图 6.49b 所示电路的等效，不同的是 $R_B = r_{b2}$、$R_E = r_{o1}$。我们可以重新利用前文研究出的结果并写出：

$$R_{\pi 2} \approx r_{\pi 2} \mathbin{/\!/} \frac{r_{b2}+r_{o1}}{1+g_{m2}r_{o1}} \approx r_{e2}, R_{\mu 2} \approx R_1+R_2+G_{m2}R_1R_2, R_{s2}\approx R_C \tag{6.99}$$

式中：

$$R_1 \approx r_{b2} \mathbin{/\!/} [r_{\pi 2}+(\beta_{02}+1)r_{o1}] \approx r_{b2}; R_2 \approx R_C; G_{m2} = \frac{g_{m2}}{1+g_{m2}r_{o1}} \approx \frac{1}{r_{o1}} \tag{6.100}$$

现在运用式(6.80)去估计双极共源共栅的 f_{-3dB} 频率，成了很简单的事情。

例 6.20　例 6.15 的共射极放大器的 $f_{-3dB} = 1.53\text{MHz}$，且 $R_{sig} = 1\text{k}\Omega$、$R_C = 5\text{k}\Omega$。如果我们通过 CB 级将其缓冲到 R_c，从而形成一个共源共栅对，将会发生什么？比较并作出评论(为了简化假设 BJT 参数相同，即 $\beta_0 = 200$，$r_b = 200\Omega$，$g_m = 1/(26\Omega)$，$r_\pi = 5.2\text{k}\Omega$，$r_o = 50\text{k}\Omega$，$C_\pi = 12\text{pF}$，$C_\mu = 0.5\text{pF}$ 及 $C_s = 1\text{pF}$。也假定 $r_\mu = \infty$)。

解：

应用式(6.97)并通过适当的近似，我们得到：

$$R_x \approx \frac{200+5\,200}{201}\times\frac{1+5/50}{1+0}\Omega = 29.5\Omega$$

我们立刻注意到，Q_1 将会提供非常低的电压增益，因为其含有很小的等效集电极电阻，导致 $C_{\mu 1}$ 有一个非常小的米勒倍乘数。通过给定的数据，增益为 $v_x/v_{b1} = -g_{m1}R_x = (-29.5/26-1.13)\text{V/V}$，表明米勒倍乘数刚刚超过 2。因此认为与例 6.15 基本的共射极放大器相比，CE-CB 对有更宽的带宽。利用式(6.98)到式(6.100)，我们容易计算出：

$$R_{\pi 1} = 975\Omega,\quad R_{\mu 1} = 2\,111\Omega,\quad R_{s1} = 29.5\Omega$$
$$R_{\pi 2} \approx 26\Omega,\quad R_{\mu 2} \approx 5\text{k}\Omega,\quad R_{s2} = 5\text{k}\Omega$$

由于电阻在 kΩ(10^3)数量级，电容在 pF(10^{-12})数量级，时间常数将在 ns (10^{-9})数量级，有：

$$f_{-3dB} \approx \frac{1}{2\pi(\tau_{\pi1}+\tau_{\mu1}+\tau_{s1}+\tau_{\pi2}+\tau_{\mu2}+\tau_{s2})}$$

$$= \frac{1/(2\pi)}{(11.7+1.06+0.03+0.31+2.5+5)\text{ns}} \approx 7.7\text{MHz}$$

与例 6.15 基本的共射极放大器相比，共源共栅对受米勒效应的影响更小。事实上，$\tau_{\mu1}$ 现在相当小，且主要的带宽限制因素是 $C_{\pi1}$ 和 C_{s2}。◀

例 6.21 将例 6.20 的共源共栅电路接上一个理想的电流源负载($R_C \to \infty$)，讨论限制条件。比较两种情形，用 PSpice 验证，且作出评论。

解：

令 $R_C \to \infty$，使得式(6.97)中的 R_x 上升到：

$$R_x = r_{o1} \mathbin{/\!/} (r_{b2}+r_{\pi2}) = [50 \mathbin{/\!/} (0.2+5.2)]\text{k}\Omega = 4.87\text{k}\Omega$$

这种增加对 $R_{\pi1}$ 无影响，但是提高了 $R_{\mu1}$ 和 R_{s1}。再次利用式(6.98)到式(6.100)，我们得到：

$$R_{\pi1} = 975\Omega, R_{\mu1} \approx 188\text{k}\Omega, R_{s1} = 4.87\text{k}\Omega$$

同样，忽略 r_b，在这种情况下应用式(4.11)，有：

$$R_{s2} = R_{c2} \approx r_{o2}\left(1+\beta_{02}\frac{r_{o1}}{r_{o1}+r_{\pi2}}\right) = 9.1\text{M}\Omega, R_{\mu2} \approx R_{s2} = 9.1\text{M}\Omega$$

由于 Q_2 的集电极接在交流开路上，我们现在有：

$$R_{\pi2} = r_{\pi2} \mathbin{/\!/} (r_{b2}+r_{o1}) = 4.95\text{k}\Omega$$

最后，得：

$$f_{-3dB} \approx \frac{1/(2\pi)}{\tau_{\pi1}+\tau_{\mu1}+\tau_{s1}+\tau_{\pi2}+\tau_{\mu2}+\tau_{s2}} \approx \frac{1/(2\pi)}{(12+94+5+59+4\,550+9\,100)\text{ns}} \approx 11.5\text{kHz}$$

我们注意到，$R_C \to \infty$ 时显著增加了 R_x，导致 Q_1 提供更高的增益，即，$v_x/v_{b1} = -g_{m1}R_x = (-4\,870/26)\text{V/V} = -187\text{V/V}$。因此，现在的米勒倍数是 188，这使得 $\tau_{\mu1}$ 从 1ns 增加到 94ns。使 $R_C \to \infty$ 的另一个主要影响是输出阻抗 R_o 急剧增加，即从 5kΩ 增加到 9.1MΩ。同时提高了无负载增益 a_0，这同样成比例减小了极点频率 f_{-3dB}。

利用图 6.54 所示 PSpice 电路我们得到图 6.55 所示的频率曲线。显然在极限 $R_C \to \infty$ 时主要的带宽限制因素是 $C_{\mu2}$ 和 C_{s2}，这产生一个主极点频率为：

$$f_p = \frac{1}{2\pi R_o(C_{s2}+C_{\mu2})} = 11.7\text{kHz}$$

◀

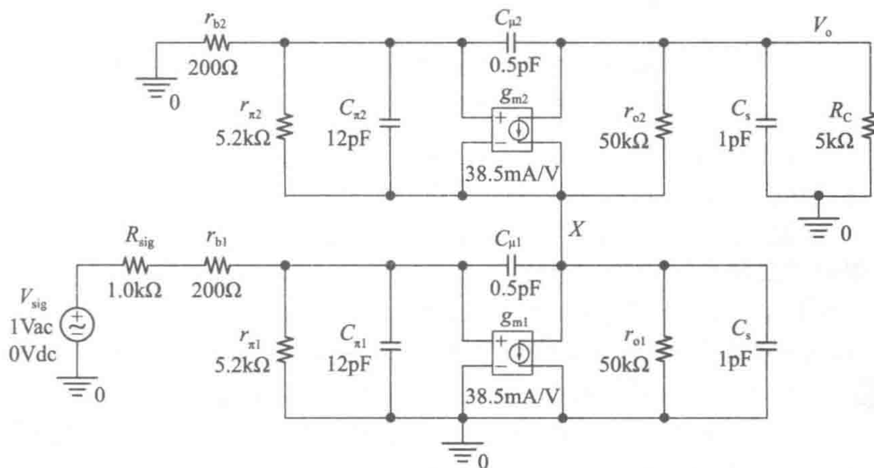


图 6.54 显示 CE-CB 放大器增益与频率的 PSpice 电路

MOSFET 共源共栅

图 6.56a 所示的是 MOSFET 共源共栅结构的交流等效电路，还包括所有影响它频率

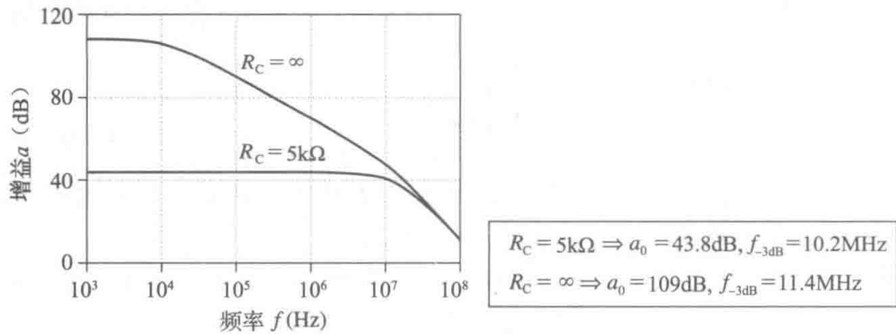


图 6.55　例 6.20($R_C=5k\Omega$)和例 6.21($R_C=\infty$)CE-CB 放大器的增益曲线

响应的电容。我们希望通过 OCTC 技术来估计 −3dB 频率。正如双极型的情形一样，被标记为 V_x的节点在电路中扮演者重要的角色，我们先求出该节点和地之间的开路等效电阻 R_x。参照图 6.56b 所示电路，我们注意到 $R_x=R_{d1}/\!/R_{s2}$，其中，R_{d1}和 R_{s2}分别是从 M_1的漏极和 M_2的源极看进去的电阻。前者仅仅为 r_{o1}，而后者可以通过应用式(4.40a)得到。该结果可写为：

$$R_x = r_{o1} /\!/ \frac{r_{o2}+R_D}{1+(g_{m2}+g_{mb2})r_{o2}} \tag{6.101}$$

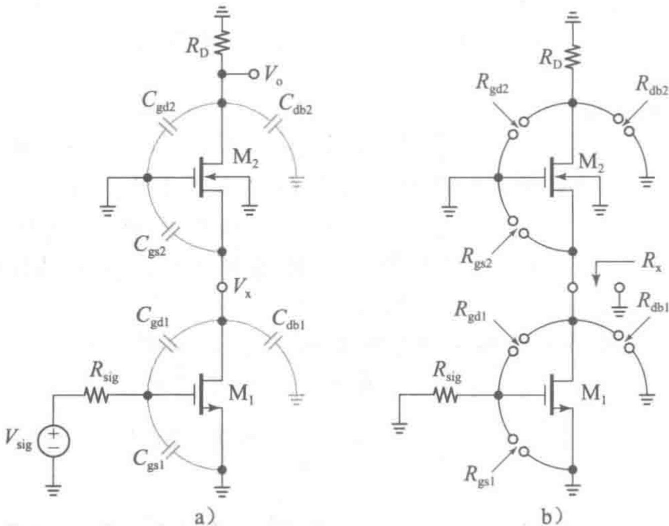


图 6.56　a) MOSFET 共源共栅结构，其中所有相关的寄生电容显示在 FET 外部。b)计算开路等价电阻的电路

注意到当 $R_D\to 0$ 时，有 $R_x\approx 1/(g_{m2}+g_{m2})$，而当 $R_D\to\infty$时，有 $R_x\approx r_{o1}$。接下来，通过观察并应用式(6.81)，我们写出：

$$R_{gs1}=R_{sig},\quad R_{gd1}=R_{sig}+R_x+g_{m1}R_{sig}R_x,\quad R_{db1}=R_x \tag{6.102}$$

最后，再次观察并应用式(4.41)，写出：

$$R_{gs2}=R_x,\quad R_{gd2}=R_D /\!/ [r_{o1}+r_{o2}+(g_{m2}+g_{mb2})r_{o1}r_{o2}],\quad R_{db2}=R_{gd2} \tag{6.103}$$

现在运用式(6.80)去估计 MOSFET 共源共栅的 f_{-3dB}频率，是一件很简单的事情。

例 6.22　(a) 求出由 MOSFET 实现的共源放大器的 $|a_0|\times f_{-3dB}$ 乘积。其中 MOSFET 有 $g_m=1.0mA/V$，$r_o=25k\Omega$，$C_{gs}=100fF$ 及 $C_{gd}=C_{db}=20fF$。假定电路由一个带有 $R_{sig}=10k\Omega$ 的电源驱动，且终止于一个理想的电流源负载，以使 $R_D=\infty$，且令低频增益和本征增益相等。

(b) 在下述情况下重复(a)问：其中 CS 级通过一个 CG 级缓冲到有源负载，从而变成了一个共源共栅对。比较并作出评论(为了简化，假定两个 MOSFET 的参数相同。同样，

假设 $\chi_2=0.1$)。

(c) 用 PSpice 证实。

解:

(a) 简单的共射放大器低频增益为:

$$a_0=-g_m r_o=-1\times 25\text{V/V}=-25\text{V/V}\approx 28\text{dB}$$

通过观察和应用式(6.81),我们写出:

$$R_{gd}=R_{sig}+r_o+g_m R_{sig} r_o=(10+25+1\times 10\times 25)\text{k}\Omega=285\text{k}\Omega$$

由于电阻在 $\text{k}\Omega(10^3)$数量级,电容在 $\text{fF}(10^{-15})$数量级,时间常数将在 $\text{ps}(10^{-12})$数量级,

$$f_{-3\text{dB}}\approx\frac{1}{2\pi(\tau_{gs}+\tau_{gd}+\tau_{db})}=\frac{1/(2\pi)}{(10\times 100+285\times 20+25\times 20)\text{ps}}$$
$$=\frac{1/(2\pi)}{(1+5.7+0.5)\text{ns}}\approx 22\text{MHz}$$

最后,$|a_0|\times f_{-3\text{dB}}=25\times 22\text{MHz}=550\text{MHz}$

(b) 共源共栅将会提高本征增益到

$$a_0=-g_{m1}r_{o1}[1+(g_{m2}+g_{mb2})r_{o2}]=-25(1+1.1\times 25)\text{V/V}$$
$$=-712.5\text{V/V}=57\text{dB}$$

要运用 OCTC 方法,我们注意到理想的电流源负载会有 $R_D=\infty$,因此式(6.102)给出 $R_x=r_{o1}=25\text{k}\Omega$。通过观察并应用式(6.102)和式(6.103),现在有:

$$R_{gs1}=10\text{k}\Omega, R_{db1}=R_{gs2}=25\text{k}\Omega, R_{gd1}=285\text{k}\Omega$$
$$R_{gd2}=R_{db2}=737.5\text{k}\Omega$$

由于电阻在 $\text{k}\Omega(10^3)$数量级,电容在 $\text{pF}(10^{-12})$数量级,时间常数将在 $\text{ns}(10^{-9})$数量级,

$$f_{-3\text{dB}}\approx\frac{1/(2\pi)}{\tau_{gs1}+\tau_{gd1}+\tau_{db1}+\tau_{gs2}+\tau_{gd2}+\tau_{db2}}$$
$$=\frac{1/(2\pi)}{(1+5.7+0.5+2.5+14.7+14.7)\text{ns}}=4.1\text{MHz}$$

我们现在有 $|a_0|\times f_{-3\text{dB}}=712.5\times 4.1\text{MHz}=2.9\text{GHz}$,共源共栅增加了 a_0,同时降低 $f_{-3\text{dB}}$。它们的积仍然比(a)问部分的高。主要的带宽限制现在是 C_{gd2} 和 C_{db2},这和共源共栅高输出阻抗 R_o 形成一个极点。

(c) 运用图 6.54 所示类型的 PSpice 电路,我们得到图 6.57 所示曲线,这与手工计算非常吻合。◀

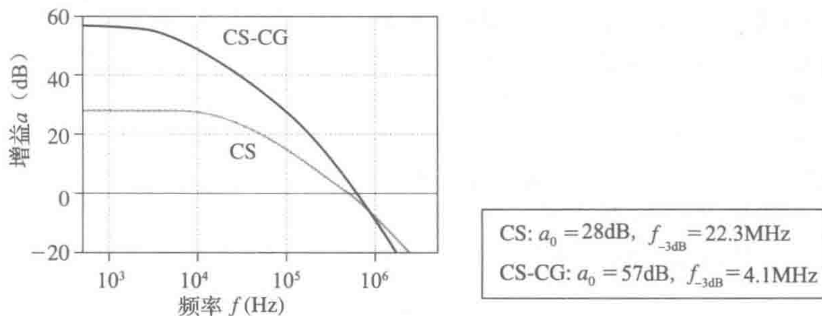


图 6.57 例 6.22 中 CS 和 CS-SB 放大器增益曲线

我们通过 CE/CS 级来总结共源共栅的优点,Q_1/M_1 克服其本身的米勒效应缺点,其将电压放大的任务交给了 CB/CG 阶段 Q_2/M_2,它们不受米勒效应的影响,所以速度要快得多。这样的结果就是显著地增加了增益带宽积。

6.9 运算放大器频率和瞬态响应

大多数运放在设计时,增益是受单个低频极点主导的(这是为了防止在负反馈操作中

可能产生的振荡，将在第 7 章中详细地研究）。对于图 6.58a 所示传统的电压反馈运放，增益$a(jf)$具有图 6.58b 所示的频率曲线，并且呈现的数学形式为：

$$a(jf)=\frac{V_o}{V_p-V_n}\approx\frac{a_0}{1+jf/f_b} \quad (6.104)$$

式中：V_o、V_p和V_n是小信号v_o、v_p和v_n的拉普拉斯变换；a_0是直流增益；f_b是主极点频率。增益在f_b以下都近似恒定。在f_b频率时，增益在其直流值的－3dB 处。在f_b以上，随着频率的上升，它以－20dB/10 倍频速率下降，直至在特征频率f_T处到达单位增益，或者是 0dB 为止。

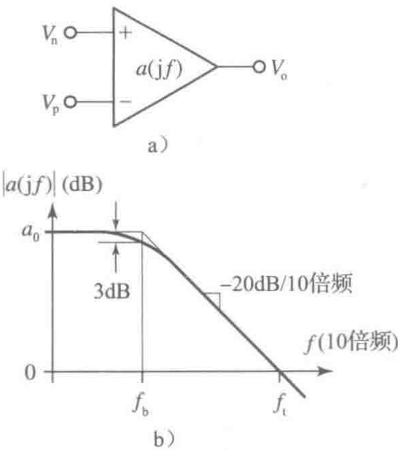


图 6.58　带一个主极点的负反馈运放的频率响应

利用恒定的增益带宽积（GBP），我们写出$a_0\times f_b=1\times f_t$，因此，一个主极点的运放有一个恒定的 GBP 为：

$$\mathrm{GBP}=f_t=a_0\times f_b \quad (6.105)$$

运算放大器的频率响应是很容易通过 PSpice 呈现的，如图 6.59所示的 μA741 放大器的情形所示。利用 PSpice 光标很容易在幅度曲线上找出$a_0=105.3\mathrm{dB}$，$f_b=5.2\mathrm{Hz}$，及$f_t=871\mathrm{MHz}$，在f_t以上，下降速率增加，表明存在一个额外的根频率（高阶根将在第 7 章进行详细的描述）。

现在让我们研究第 5 章所讨论的三个具有代表性的运放的主极点是如何产生的，即 μA741 双极型、两级 CMOS 以及折叠共源共栅 CMOS 运放。

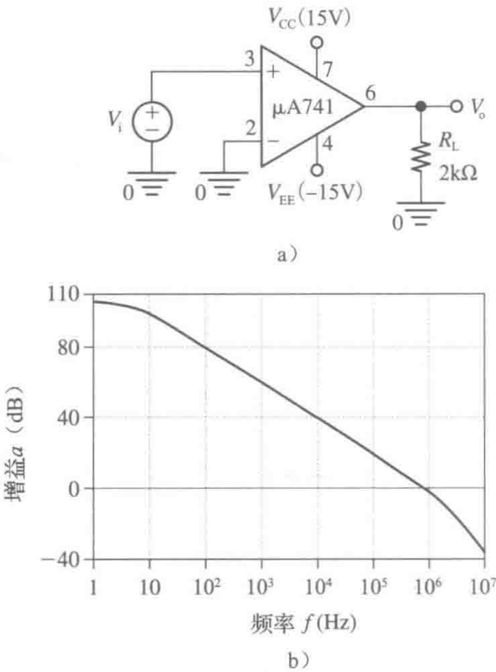


图 6.59　利用 PSpice 库中可用的 μA741 宏观模型来绘制频率响应曲线

- 图 6.60 显示了 μA741 运放关于频率补偿的部分。目标是在足够低的频率f_b处建立一个主极点，在高阶极点影响负反馈工作放大器的相位之前，迫使增益下降到 1。该极点可以通过将一个小的电容C_c（＝30pF）跨接在第 2 级实现，利用米勒效应的优点实现产生低频极点所需的足够高的电容值。由于C_c足够小，它可以制造在芯片上，所以称 μA741 是内部补偿的（事实上，μA741 是此类别中的第一个运放，而先前的运放必须由用户在外部补偿。一旦内部补偿成为一个可实现的技术，该运放将迅速变为最广泛使用的 IC）。

  利用 OCTC 分析，我们得到：

$$f_b=\frac{1}{2\pi R_{eq}C_c}$$

  式中：R_{eq}是由C_c看到的等效电阻。该电阻用右侧所示的交流等效值表示。利用与图 6.44a所示电路相似这一点，应用式(6.81)，写出：

$$R_{eq}=(R_{o1}\mathbin{/\!/}R_{i2})+(R_{o2}\mathbin{/\!/}R_{i3})+G_{m2}(R_{o1}\mathbin{/\!/}R_{i2})(R_{o2}\mathbin{/\!/}R_{i3})$$

  代入所示的值，我们得到：

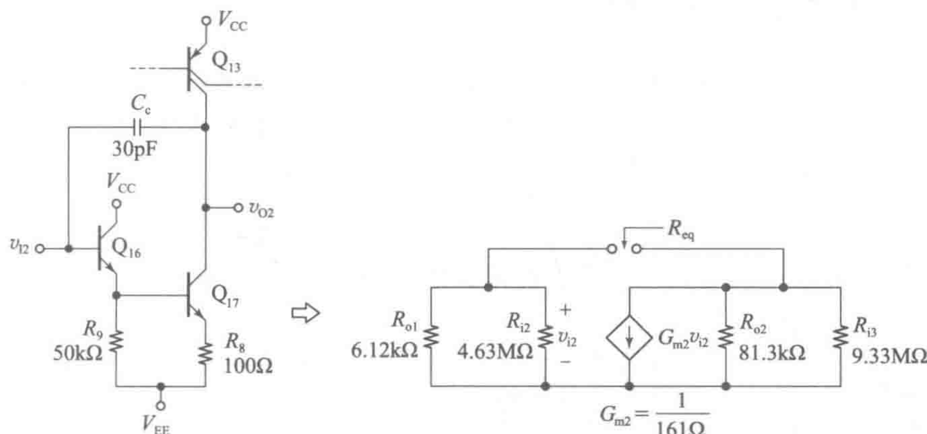


图　6.60

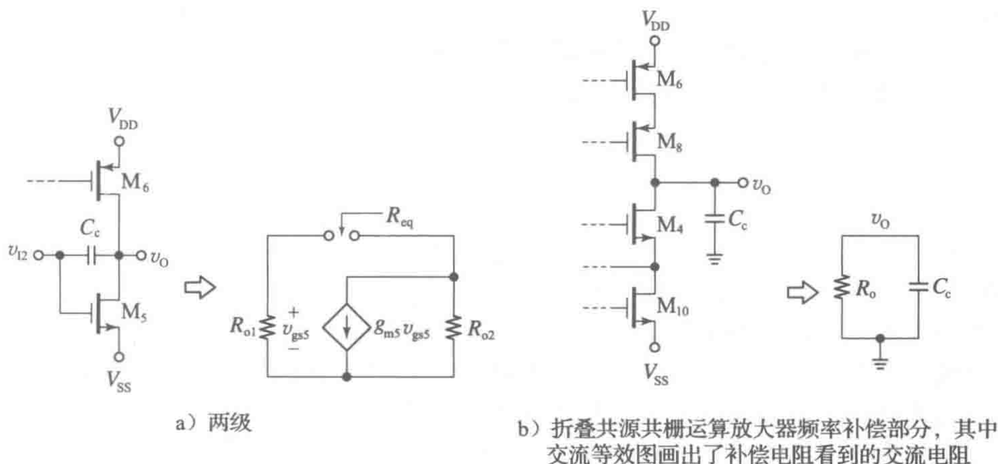
$$R_{eq}=\left[(6.12 /\!/ 4.63)+(0.0813 /\!/ 9.33)+\frac{(6.12 /\!/ 4.63)+(0.0813 /\!/ 9.33)}{161}\right]\times 10^6\,\mathrm{k\Omega}=1.32\mathrm{G\Omega}$$

$$f_b=\frac{1}{2\pi\times 1.32\times 10^9\times 30\times 10^{-12}}\mathrm{Hz}=4\mathrm{Hz}$$

或者，我们可以把 f_b看作净输入节点电阻 $R_{o1} /\!/ R_{i2}$ 和米勒电容 $C_M=[1+G_{m2}(R_{o2} /\!/ R_{i3})]C_c$ 之间的相互作用而产生的。由于 $R_{o1} /\!/ R_{i2}=(6.12 /\!/ 4.63)\mathrm{k\Omega}=2.64\mathrm{M\Omega}$ 及 $G_{m2}(R_{o2} /\!/ R_{i3})=[(0.0813 /\!/ 9.33)/161]\times 10^6\,\mathrm{V/V}\approx 500\mathrm{V/V}$，我们得到 $C_M=(1+500)\times 30\mathrm{pF}\approx 15\mathrm{nF}$。显然如果没有米勒效应，需要的 C_c是原来的 501 倍，那么内部的补偿将难以实现，因为一个 15nF 电容在实际工艺中并不能制造在芯片上！
在式(5.22)中我们算出 $a_0=241\times 10^3\,\mathrm{V/V}$，因此 $f_t=a_0\times f_b=(241\times 10^3\times 4)\mathrm{Hz}\approx 1\mathrm{MHz}$。制造厂的数据手册(你可以在网上搜到)给出 $a_0=200\times 10^3\,\mathrm{V/V}$，$f_b=5\mathrm{Hz}$ 以及 $f_t=200\times 10^3\times 5\mathrm{Hz}=1\mathrm{MHz}$。计算值与数据手册之间的差异主要来源于在手工计算过程中假设的 β_0 和 V_A 的值。

- 图 6.61a 显示了两级 CMOS 运放频率补偿相关部分(因为 $R_c \ll R_{eq}$，图 5.13 所示电路中出现的电阻被忽略)。跟 μA741 类似，这个运放通过米勒补偿保持稳定，因此，有：

$$f_b=\frac{1}{2\pi R_{eq}C_c}$$



a）两级

b）折叠共源共栅运算放大器频率补偿部分，其中交流等效图画出了补偿电阻看到的交流电阻

图　6.61

式中：R_{eq}是由C_c看到的等效电阻，

$$R_{eq} \approx R_{o1} + R_{o2} + g_{m5}R_{o1}R_{o2}$$

- 图6.61b画出了折叠共源共栅CMOS运放的频率补偿相关部分。这个结构与前面刚刚研究的两个运放的不同，因为主极点频率是由输出电阻R_o和净输出节点电容C_c产生的，为：

$$f_b = \frac{1}{2\pi R_o C_c}$$

这里，C_c综合了M_4和M_8漏极相关的电容以及外部负载电容C_L。而且，通过式(5.39)，有：

$$R_o \approx [(g_{m6} + g_{mb6})r_{o6}r_{o8}] \mathbin{/\!/} [(g_{m4} + g_{mb4})r_{o4}(r_{o2} \mathbin{/\!/} r_{o10})]$$

观察图5.16所示的折叠共源共栅结构图，我们预测在信号路径上的其他节点处，有由寄生电容产生的额外极点。然而，这些节点中每个表现出的等效电阻近似为$1/(g_m+g_{mb})$，远低于R_o，所以输出节点极点在整个响应中起主导作用。这就是折叠共源共栅可以看作一个单级运放的原因。

例6.23 (a) 对于例5.2中两级的CMOS运放，如果$C_c=3\text{pF}$，求出f_b和f_t。

(b) 对于例5.4中折叠共源共栅CMOS运放，如果$C_c=2.5\text{pF}$，重复上述问题。

解：

(a) 从例5.2，我们有$a_0=2\,844\text{V/V}$，$R_{o1}=r_{o2}\mathbin{/\!/}r_{o4}=(400\mathbin{/\!/}200)\text{k}\Omega=133\text{k}\Omega$，$R_{o2}=r_{o5}\mathbin{/\!/}r_{o6}=(100\mathbin{/\!/}200)\text{k}\Omega=66.7\text{k}\Omega$，及$g_{m5}=(2\times0.1/0.25)\text{k}\Omega^{-1}=1/(1.25\text{k}\Omega)$。我们从而得到$R_{eq}=(133+66.7+133\times66.7/1.25)\text{k}\Omega=7.31\text{M}\Omega$，

因此

$$f_b = \frac{1}{2\pi\times7.31\times10^6\times3\times10^{-12}}\text{Hz} = 7.34\text{kHz}$$

$$f_t = a_0\times f_b = 2\,844\times7.34\times10^3\text{Hz} = 20.9\text{MHz}$$

(c) 从例5.4我们有$a_0=2\,088\text{V/V}$和$R_o=5.22\text{M}\Omega$，因此

$$f_b = \frac{1}{2\pi\times5.22\times10^6\times2.5\times10^{-12}}\text{Hz} \approx 12.2\text{kHz}$$

$$f_t = 2\,088\times12.2\times10^3\text{Hz} = 25.5\text{MHz}$$

◀

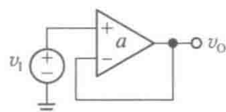
瞬态响应

运算放大器的特性在时域和频域都有表征。重要的时域特性是瞬态响应，它显示了运放电路对输入阶跃电压的响应。常用的电路是图6.22a所示的单位增益电压跟随器，因为这是最难稳定的结构，我们将在第7章学习。为了便于瞬态响应分析，参照图6.63所示的简化版本，其中第二级和补偿电容形成一个积分器，只要这一级增益a_2足够高，积分器输入终端将近似虚地，因此我们有$C_c\mathrm{d}(v_O-0)/\mathrm{d}t=i_C$，或者有：

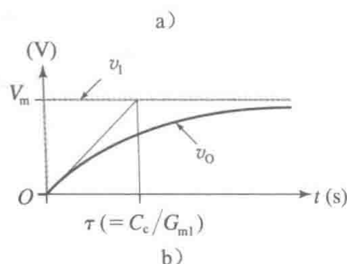
$$C_c\frac{\mathrm{d}v_O}{\mathrm{d}t} = i_C \tag{6.106}$$

我们将作出下列考虑。

- 在直流稳定状态，电路有$i_C=0$和$v_O\approx v_I$。而且，输入级偏置电流I_1流入两个半边差分电路间的分流相等。
- 在输入端施加一个正的电压阶跃将使Q_2/M_2很少导通，因此I_1的大部分将转移到Q_1/M_1中，随后通过电流镜复制到积分器输入端。这导致$i_C>0$，并引起C_c充电，如式(6.106)所示。只要步长幅度V_m足够小，我们可以用小信号近似写出$i_C=G_{m1}(v_P-v_N)=G_{m1}(V_m-v_O)$，



a)

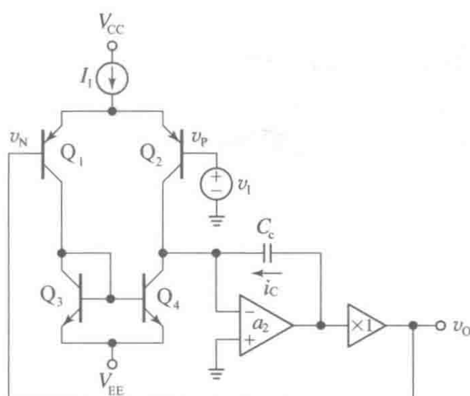


b)

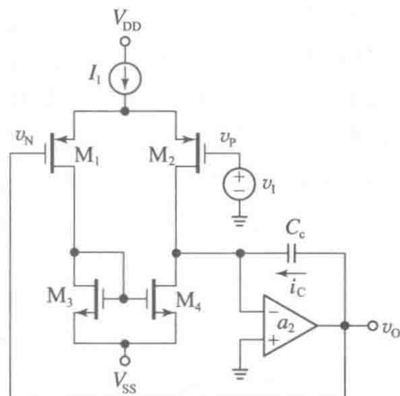
图 6.62

其中，G_{m1}为输入级跨导。代入式(6.106)并重新整理，给出：

$$\tau \frac{\mathrm{d}v_O}{\mathrm{d}t} + v_O = V_m \tag{6.107}$$



a）μA741运放



b）两级CMOS运放的简化等效图（折叠共源共栅CMOS运放是相似的，只是没有第二级且C_c接地）

图　6.63

式中：

$$\tau = \frac{C_c}{G_{m1}} \tag{6.108}$$

回想一下基本的电路课程，上述微分方程的解是由时间常数控制的指数瞬态过程。当 $v_O=0$ 时，式(6.107)减小为 $\tau \mathrm{d}v_O/\mathrm{d}t=V_m$。表明初始斜率为 $\mathrm{d}v_O/\mathrm{d}t=V_m/\tau$(见图 6.62b)。当瞬态消失时，$v_o$最后稳定在 V_m。

- 注意当 $f=f_t$ 时，我们有：

$$V_o(\mathrm{j}f_t) = \frac{1}{\mathrm{j}2\pi f_t C_c} I_c = \frac{1}{\mathrm{j}2\pi f_t C_c} G_{m1}(V_p - V_n)$$

这可以得到 τ 另一个更有洞察力的表达式。但是，我们还有 $V_o(\mathrm{j}f_t)=a(\mathrm{j}f_t)\times(V_p-V_n)=(1/\mathrm{j})\times(V_p-V_n)$，因此 $G_{m1}/(2\pi f C_c)=1$。与式(6.108)相结合，得到：

$$\tau = \frac{1}{2\pi f_t} \tag{6.109}$$

频域参数 f_t 和时域参数 τ 之间建立了联系。μA741 运放有 $\tau=1/(2\pi\times10^6)\mathrm{s}=159\mathrm{ns}$。

摆率(SR)限制

如果我们进一步提高 V_m，小信号近似将不再成立。这是由于 i_c作为差值 v_P-v_N 的函数，表现为 4.5 节中常见的 S 形形式，所以瞬态响应变成了缓慢的指数。尽管如此，一旦瞬态过程消失，v_o将稳定在 V_m。对于足够大的 V_m，所有的 I_1电流将转移到 Q_2/M_2，因此 i_c在 $i_{C(max)}=I_1$ 时将饱和，导致 v_o以最大可能的速率上升。这个速率称为摆率(SR)，且它的单位是 V/μs。通过式(6.106)，有：

$$\mathrm{SR} = \left.\frac{\mathrm{d}v_O}{\mathrm{d}t}\right|_{max} = \frac{I_1}{C_c} \tag{6.110}$$

μA741 运放有 $I_1=19\mu\mathrm{A}$，因此 $\mathrm{SR}=(19\mu\mathrm{A})/(30\mathrm{pF})=0.633\times10^6\,\mathrm{V/s}=0.633\,\mathrm{V}/\mu\mathrm{s}$，这与更精确的数据手册值 0.5V/μs 非常接近。

我们希望了解步幅 $V_{m(onset)}$，其限制 SR 的条件。这发生在 $V_{m(onset)}/\tau=\mathrm{SR}$，即 $V_{m(onset)}=\mathrm{SR}/(2\pi f_t)$。对于 μA741，有 $V_{m(onset)}=(0.5\times10^6/(2\pi\,10^6))\mathrm{V}\approx80\mathrm{mV}$。

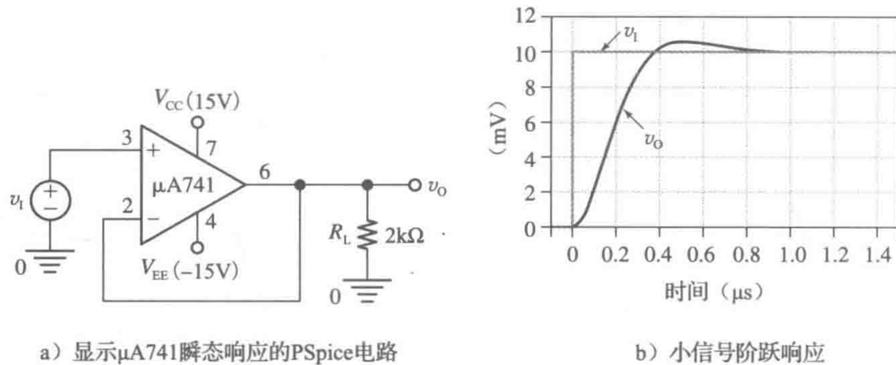
练习 6.6

对于(a)两级及(b)例 6.23 的折叠共源共栅 CMOS 运放，假设两个电路都有 $I_1=$

$100\mu A$，求出 SR 和 $V_{m(set)}$。

答案：(a)7.73ns，33.3V/μs，257mV；(b)6.24ns，40V/μs，250mV。

我们可以很容易通过 PSpice 来显示瞬态响应。图 6.64a 所示的电路利用 PSpice 库中可用的 μA741 宏观模型，来显示一个输入步幅为 $V_m=10mV$ 的响应。回想图 5.2，μA741 差分输入级包含 4 个基-射结，因此每个结得到的步长是(10/4)mV=2.5mV，这对于小信号近似而言是足够的。实际的响应如图 6.64b 所示，与单极点分析所预测的指数形式有所不同，但同样表现出过充特性。这是因为在 f_t 以上存在一个额外的极点频率，如图 6.59 所示(第 7 章将会更多描述)。



a）显示μA741瞬态响应的PSpice电路　　b）小信号阶跃响应

图 6.64

利用 60mV 经验法则，我们可以说将 V_m 提高到 $2\times60mV=120mV$，将使差分级一边的电流为另一边电流的 10 倍大，这样使得 μA741 接近于摆率限制。图 6.65a 所示的脉冲响应是基于 $V_m=1.0V$ 的，这是个很大的驱动。因此，v_O 以一个恒定的大约 0.5V/μs 的速率升高，大约 2μs 达到 1.0V 稳定值。根据图 6.64b 所示响应曲线，当 v_O 接近平衡时，运放不受摆率限制，且 v_O 以小信号形式结束了瞬态变化。

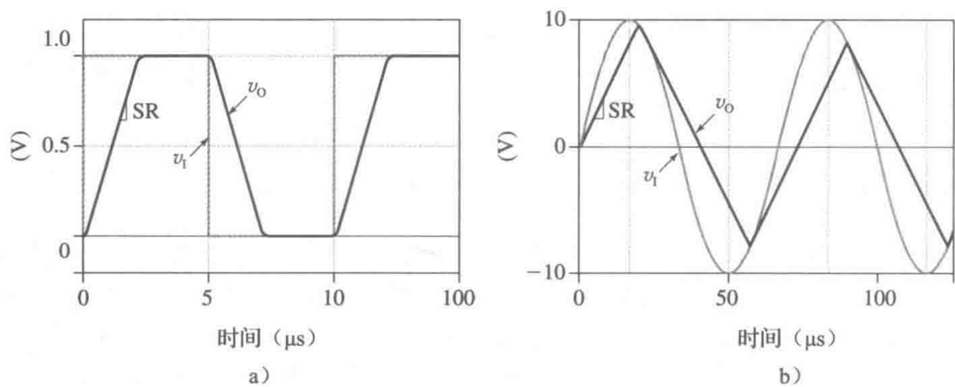


图 6.65　对(a)脉冲信号及(b)正弦信号 μA741 跟随器摆率限制响应

摆率限制是一种非线性失真的形式，非线性失真限制了大信号工作的有用频率范围。对于正弦曲线输入的情形，图 6.65b 所示响应曲线说明了这种失真。

$$v_I=V_m\sin(2\pi ft)$$

式中：$V_m=10V$ 和 $f=15kHz$。在 0V 交点处正弦曲线的斜率最陡峭，此时我们有：

$$\left|\frac{dv_I}{dt}\right|_{max}=|-2\pi fV_m\cos(2\pi ft)|_{max}=2\pi fV_m$$

为避免摆率限制，斜率必须小于摆率，即

$$2\pi f V_m \leqslant SR \tag{6.111}$$

比如说，一个 $V_m=10V$ 的 μA741 运放需要其频率 f 满足条件：

$$f \leqslant \frac{SR}{2\pi V_m} = \frac{0.5/10^{-6}}{2\pi 10}Hz \approx 8kHz$$

图 6.65b 显示了频率超过上限 $f=15kHz(>8kHz)$ 会产生的影响。显然斜率一超过 SR，v_O停止追踪 v_I，并且以一个固定速率 $\pm 0.5V/\mu s$ 上升或者下降。要么通过降低 f 到 8kHz 或更少，同时保持 $V_m=10V$；要么通过适当地降低 V_m同时保持 $f=15kHz$，我们能够避免摆率限制。实际上，我们可以利用式(6.111)并求出 $V_m \leqslant SR/(2\pi j)=((0.5/10^{-6})/(2\pi\times 15\times 10^3))V\approx 5.3V$。同样地，如果我们希望 μA741 跟随器在整个音频范围内产生一个不失真的正弦波，其上限为 $f=20kHz$，那么我们必须确保 $V_m\leqslant((0.5/10^{-6})/(2\pi\times 20\times 10^3))V\approx 4V$。

摆率的精辟表达

结合式(6.108)到式(6.110)，我们可以将摆率表示为另一种更有说服力的形式：

$$SR = 2\pi \frac{I_1}{G_{m1}} f_t \tag{6.112}$$

式中：f_t是运放的特征频率；G_{m1}是差分输入级的跨导；I_1是偏置电流。在 CMOS 运放的情形下，我们利用 $G_{m1}=2(I_1/2)/V_{OV1}=I_1/V_{OV1}$，可以得到另一个有用的表达式：

$$SR_{CMOS} = 2\pi V_{OV1} f_t \tag{6.113}$$

我们作出以下观察。

- 不管双极型或者 CMOS，高 f_t的运放很可能表现出同样高的 SR。
- IC 设计者可以通过提高 I_1以便更快地给 C_c充电/放电，从而来提高 SR。代价是更大的功耗，且在双极型的情形下需要更高的输入偏置电流 $I_B(=I_1/2\beta_F)$。
- IC 设计者能够通过适当地减小差分输入对跨导，如通过简并或其他形式(如见习题 5.11)来提高 SR。与 BJT 相比，MOSFET 众所周知的低跨导在这种情形下是一个优点，由于它有助于实现更高的转换速率。减小跨导的代价是得到了更小的电压增益。
- 在 CMOS 运放情形下，IC 设计者能够通过提高差动输入对过驱动电压 V_{OV1}(另一种表示方式是低 G_m)来提高 SR。这是在差分对中常用 pMOSFET 的另一个理由：对于相同的尺寸和偏置条件，与电子相比，空穴迁移率更低，使得 V_{OVp}比 V_{OVn}高 2 到 3 倍。

放大器电流反馈

图 5.39 所示的电流反馈放大器(CFA)电路中存在大量的低阻抗节点和一个记为 C 的高阻抗节点。我们预计频率响应受这个节点相关的极点控制。将这个节点到地的总寄生电容表示为 C_{eq}，如图 6.66a 所示，我们有 $V_o=z(s)I_n$，其中，$z(s)=R_{eq}/\!/[1/(sC_{eq})]$。展开且使 $s\to j2\pi f$，我们很容易得到电流反馈放大器增益为：

$$z(jf) = \frac{V_o}{I_n} = \frac{R_{eq}}{1+jf/f_b} \tag{6.114}$$

式中：R_{eq}表示直流增益值；

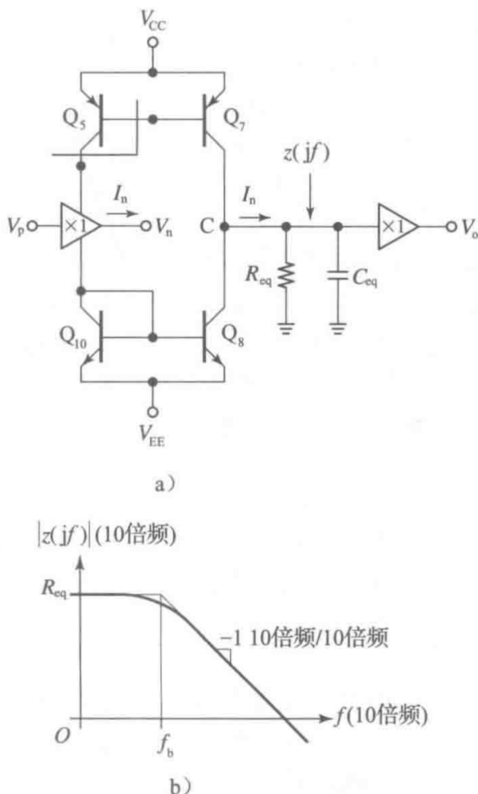


图 6.66 电流反馈运算放大器(CFA)的频率响应

$$f_b = \frac{1}{2\pi R_{eq} C_{eq}} \tag{6.115}$$

表示在该频率处增益降为低频值的 $1/\sqrt{2}$（=70.7%）。在频率 f_b以上，增益随频率增加 10 倍赫兹，以一个 10 倍欧姆速率下降，即 −1 的速率，如图 6.66 所示。由于它具有阻抗，z 也称为跨阻增益，CFA 则称为跨阻放大器。

我们注意到，在 V_p跳变开始时，注入 C_{eq}的电流是取决于节点 V_n所接外部电阻及其步幅。因此，在 CFA 电路中不存在饱和电流效应，从而也没有摆率限制。例如，当 $C_{eq} \sim$ 1pF，$I_n \sim$1mA，初始斜率是 $dV_o/dt \sim (10^{-3}/10^{-12})\text{V/s} = 10^9\text{V/s} = 1\,000\text{V}/\mu\text{s}$。为了充分体会 CFA 的动态优势，我们将在第 7 章研究它的负反馈频率响应。

6.10 二极管开关瞬态

到目前为止二极管都是假设为瞬间开启或关闭的。实际的 pn 结二极管需要花费一定时间从一个状态来转变为另一个状态，因为电荷必须从进入或流出器件来进行转换，且电荷转移不能瞬间发生。pn 结的瞬态行为由电荷控制等式决定：

$$i_D = \frac{dQ_j}{dt} + \frac{dQ_F}{dt} + \frac{Q_F}{\tau_F} \tag{6.116}$$

式中：i_d为二极管电流；Q_j为结电容 C_j的电荷；Q_F为正向偏置中过量的少子电荷。总之，正向偏置下给二极管供应的电流 i_D用于(a)给电容 C_j充电，(b)建立过量电荷 Q_F，(c)保持建立到那一点的过量电荷 Q_F。一旦所有的瞬态过程消逝，二极管达到它的直流稳定状态，此时，$i_D = Q_F/\tau_F$。因此，时间常数 τ_F 表示正向稳定状态的比值 Q_F/i_D。

回想起，在制造结时一边的掺杂要比另一边的更重。对于一个 $N_A \gg N_D$ 的结，我们可以近似 $Q_F \approx Q_P$；而且，在长基区二极管情形 $\tau_F \approx \tau_P = L_P^2/D_P$，在短基区二极管情形有 $\tau_F = W_n^2/(2D_p)$（参见图 1.43 和图 1.45）。同样地，对于一个 $N_D \gg N_A$ 的结，我们有 $Q_F \approx Q_n$，且对于一个长基区二极管 $\tau_F \approx \tau_n = L_n^2/D_n$，对于一个短基区二极管 $\tau_F = W_p^2/(2D_n)$。在长基区的情形，τ_F 称为少数载流子平均复合时间，或少数载流子平均寿命，而在短基区情形它称为少数载流子平均运输时间，并表示为 τ_T（这也是 PSpice 使用的符号）。

图 6.67 画出了一个显示二极管开关特性的 PSpice 电路，其参数如下表所示。图 6.68 显示了驱动源 v_s在 $t = t_0 = 0\text{ns}$ 时从 V_R（=−2V）转换为 V_F（=5V）的所有相关的波形，在$t = t_2 = 50\text{ns}$ 时其回到 −2V，$t = t_0$ 时二极管提前到达了稳定状态。

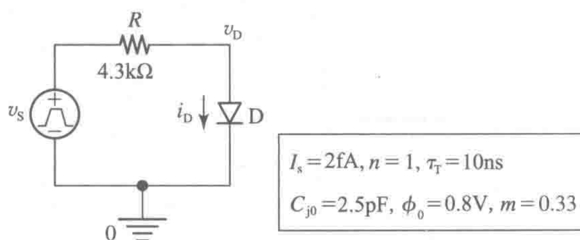


图 6.67 可视化 pn 结二极管开关特性的 PSpice 电路

- 刚好在 v_s上升沿之后，没有过量电荷 Q_F了，因此式(6.116)简化为：

$$i_D \approx \frac{dQ_j}{dt} \tag{6.117}$$

表明最初所有 i_D都用于给 C_j充电。随着 C_j电荷增加，v_D不断增长，直到二极管在 t_1 时刻达到导通边缘(EOC)为止，此时 $v_D \approx 0.6\text{V}$。回想第 1 章，结电容为：

$$C_j(v_D) = \frac{C_{j0}}{(1 - v_D/\phi_0)^m} \tag{6.118}$$

式中：C_{j0}是 C_j零偏置时的值；ϕ_0是内建电势；m 是分布系数。由于 C_j是非线性的，它的充电过程非常复杂，但是我们可以估计充电时间 $t_1 - t_0$（$= t_1$），式(6.117)通过近似，为：

$$i_{D(avg)} \approx \frac{\Delta Q_j}{\Delta t} = \frac{C_{j(eq)} \Delta v_D}{t_1 - t_0}$$

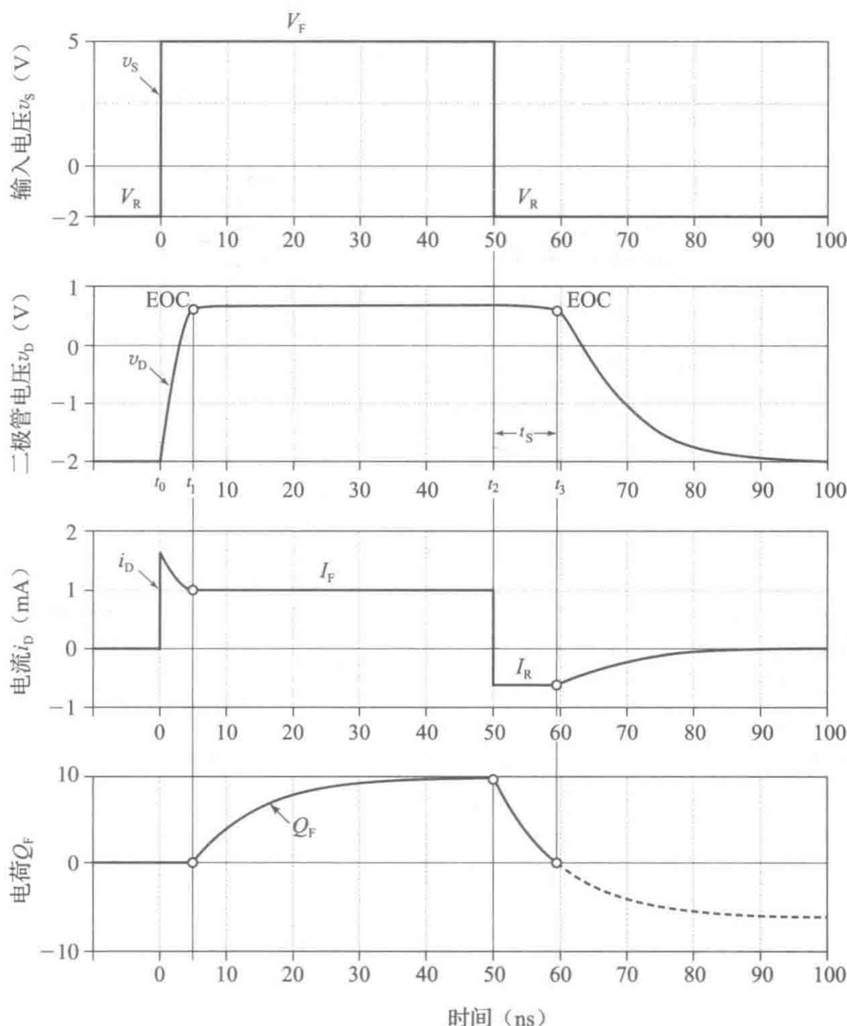


图 6.68　图 6.67 所示电路的相关波形

式中：$i_{D(avg)}$是 $i_D(t_0^+)=([5-(-2)]/4.3)\text{mA}=1.63\text{mA}$ 和 $i_D(t_1)=((5-0.6)/4.3)\text{mA}=1.02\text{mA}$ 的平均值，即 $i_{D(avg)}=((1.63+1.02)/2)\text{mA}=1.3\text{mA}$；$\Delta v_D=v_D(t_1)-v_D(t_0)=(0.6-(-2))\text{V}=2.6\text{V}$。作粗略的近似 $C_{j(eq)}\approx C_{j0}=2.5\text{pF}$(更精确的估算见习题 6.49)我们得到 $t_1\approx 2.5\times10^{-12}\times2.6/(1.3\times10^{-3})\text{s}=5\text{ns}$。这与通过 PSpice 的光标测量结果 $t_1=4.77\text{ns}$ 非常吻合。

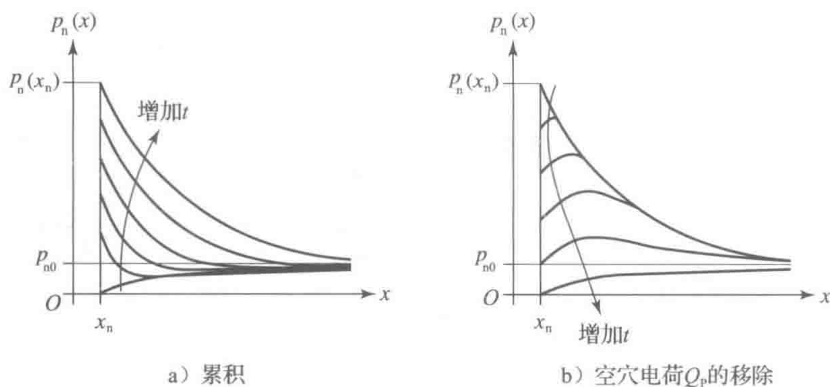
- 接下来到了 t_1时刻，二极管从 EOC 到($v_D\approx0.6\text{V}$)完全导电($v_D\approx0.7\text{V}$)，这时 Q_F开始起作用。v_D从 0.6V 到 0.7V 的变化足够小，因此我们可以忽略 $\mathrm{d}Q_j/\mathrm{d}t$，简化式(6.116)为：

$$I_F \approx \frac{\mathrm{d}Q_F}{\mathrm{d}t}+\frac{Q_F}{\tau_F} \tag{6.119}$$

式中：$I_F\approx(V_F-V_{D(on)})/R=((5-0.7)/4.3)\text{mA}=1\text{mA}$。这个方程的解是 Q_F的指数积累，由时间常数 $\tau_F=\tau_T=10\text{ns}$ 控制，且渐渐倾向于稳定值：

$$Q_{F(ss)}=\tau_F I_F=10\times10^{-9}\times10^{-3}\text{C}=10\text{pC}$$

对于长基极二极管情形有 $N_A\gg N_D$，所以 $Q_F\approx Q_P$，其 Q_F的积累过程如图 6.69a 所示。回想起，I_F决定了 n 区过量空穴聚集的初始斜率，而面积决定了自身的 Q_p。因此，在 $x=x_n$ 处，所有曲线显示了相同的斜率，且面积随时间指数增长。



a）累积　　　b）空穴电荷Q_p的移除

图 6.69　少子空穴分布

- 接下来考虑 $t_2=50\text{ns}$ 时刻的 v_s 下降沿，如果我们想要使二极管重回导通边缘(EOC)，即截止边缘，我们需要去除存储的电荷 Q_F。电荷的消除由下面等式决定：

$$I_R \approx \frac{\mathrm{d}Q_F}{\mathrm{d}t}+\frac{Q_F}{\tau_F} \tag{6.120}$$

式中：$I_R\approx(V_R-V_{D(on)})/R=((-2-0.7)/4.3)\text{mA}=-0.62\text{mA}$。该等式的解是 Q_F 的一个指数衰减，也是由时间常数 $\tau_F=\tau_T=10\text{ns}$ 决定的，且渐渐趋于一个(假设的)稳定值，即

$$Q_F(\infty)=\tau_F I_R=(10\times10^{-9}\times(-0.62)\times10^{-3})\text{C}=-6.2\text{pC}$$

衰减持续到 t_3时刻，此时 Q_F变为零(也就是称 $Q_F(\infty)$为假想值的原因)。为了求出时间间隔，这 $t_S=t_3-t_2$ 称为存储时间，我们利用

$$t_S=\tau_F\ln\frac{Q_F(t_2)-Q_F(\infty)}{Q_F(t_3)-Q_F(\infty)}=\tau_F\ln\frac{\tau_F I_F-\tau_F I_R}{0-\tau_F I_R}$$

也就是：

$$t_S=\tau_F\ln\frac{I_F-I_R}{-I_R} \tag{6.121}$$

所以，$t_S=(10\text{ns})\ln[(1+0.62)/0.62]=9.6\text{ns}$。这与 PSpice 测量的值 9.5ns 非常吻合。Q_F的移除过程如图 6.69b 所示，其中我们注意到初始斜率现在由 I_R定义，且斜率是负的。

- 一旦存储的所有电荷完全移除，二极管重新进行开始的电压瞬态过程，只不过是反向的。假如 C_j是线性的，反向的瞬态过程将是从+0.6V 到−2V 的，且由时间常数 $\tau=RC_j$ 决定。实际上，瞬变现象不是一个指数过程，在开始时其比指数过程慢一点，此时 $C_j\approx2C_{j0}$；而在 C_j下降时其比指数过程更快，此时 $C_j<C_{j0}$。

纵观 v_D和 i_D的波形，我们注意到当我们开启二极管时，二极管立刻开始导电。然而，当我们试着将其关闭时，二极管仍然保持导通 t_s纳秒。在这段时间期间，它相当于一个约 0.7V 的电池且使电流反向，并不是像理想二极管一样立即降到零，保持 $I_R(|I_R|\gg0)$，这在 i_D的波形图已经证实了。显然存储时间 t_s是一个缺点，特别是高速应用中。

根据式(6.120)，t_S 取决于固有的 pn 结参数 τ_F，也取决于用户提供的驱动 I_F和 I_R。短基极二极管在高速应用中更受欢迎。因为它们有 $\tau_T\ll\tau_F$。我们也可以用一个大的反向电流 I_R来驱动二极管，以快速消除存储电荷，从而减少式(6.121)对数项。然而，额外的设计条件可能会限制反向驱动，这表明电路设计者必须适应存储时间的存在。

例 6.24 二极管有 $t_S=25\text{ns}$，且 $I_F=10\text{mA}$，$I_R=-2\text{mA}$，如果 $I_F=4\text{mA}$ 及 $I_R=-5\text{mA}$，求出 t_S并评论。

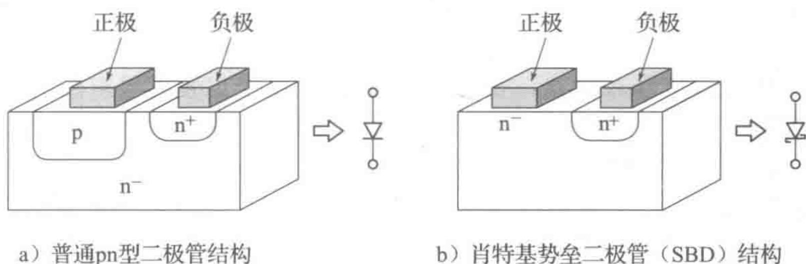
解：

利用 $25\text{ns}=\tau_F\ln[(10+2)/2]$，得到 $\tau_F\approx14\text{ns}$(这提供一种通过测试存储时间和电流驱

动来得到 τ_F 的方法)。现在 $t_S=14\ln[(4+5)/5]=8.23$ns。将 I_F 从 10mA 降为 4mA，减小了存储电荷的数量，并将——I_R 从 2mA 提高到 5mA，可以更快地消除存储电荷。然而，由于是对数关系，t_S 的减小不是非常显著。◀

肖特基势垒二极管

肖特基(Schottky)势垒二极管(SBD)通过完全避免少数载流子，来克服 pn 结电荷存储的限制。两种二极管类型在图 6.70 中进行了比较。传统的单片二极管，如图 6.70a 所示，由一个 p－n$^-$ 结和相应的金属电极(如铝(Al)制的)构成。现在考虑图 6.70b 所示的 Al-n$^-$ 结。由于 n$^-$ 区轻掺杂(通常 $N_D\leqslant10^{-16}/cm^3$)，一个带整流特性的空间电荷层(SCL)正好在铝电极下面形成。



a) 普通pn型二极管结构　　b) 肖特基势垒二极管（SBD）结构

图 6.70

相对于 n$^-$ 区，给铝电极加一个正的偏置将会克服相应的静电势垒，且令电子从 n$^-$ 区通过 SCL 流向铝电极。由于仅通过电子导电，且电子是铝金属中(唯一的)电荷载流子以及 n$^-$ 材料中的多数载流子，在 SBD 中没有少子电荷存储(因此也将 SBD 称为热载流子二极管)。然而，SBD 像传统的 pn 结一样存在一个结电容 C_j，表明在 t_0 到 t_1 的开启期间，及 t_3 以后的关闭时间，其与普通二极管的有相同的表现。但是在 SBD 情形下，由于 $t_S=0$，t_3 与 t_2 一致。

如普通的 pn 结一样，SBD 有指数的 i-v 特性，只不过 SBD 的饱和电流比尺寸相近的 pn 结二极管高 5 个数量级。利用 60mV/10 倍的规则，我们得出 SBD 的典型值 $V_{D(on)}\approx(0.7-5\times0.06)V=0.4V$。其优点(a)更低的电压降，(b)不存在少子电荷存储影响，使得 SBD 在一些应用，如开关电源电压和高速二极管电路中更受欢迎。常用的 SBD 电路图形符号如图 6.70b 所示。

在总结之前，我们还观察到图 6.70 所示的两种结构在阴极侧都包含一个 AL-n 结。这个结导致负电极下方形成了 SCL；然而，由于重掺杂，SCL 很窄，以致电子可以很容易地在两个方向上穿过它的隧道，以形成所谓的欧姆接触。假如 n$^-$ 区不存在，那么“阴极”电极将与下面的 n$^-$ 材料形成另一个 SBD，导致一个背到背二极管对，这将毫无用处。正如我们所知，欧姆接触在 BJT 的集电极互连及 CMOS 晶体管的连接中发挥着重要作用。

6.11　BJT 开关瞬态

BJT 瞬态分析可以大量借鉴上一节二极管的结论，所不同的是，BJT 包括两个结，因此分析更加复杂。当作为开关使用时，BJT 通常在截止(CO)和饱和(sat)两种模式之间交替，且在正向有源模式中短暂过渡。在饱和区两个结正向偏置，因此，这种模式是一种正向有源(FA)和反向有源(RA)工作的组合。npn BJT 的瞬态行为受电荷控制方程式(1.8)支配：

$$i_B=\frac{Q_F}{\tau_{BF}}+\frac{Q_R}{\tau_{BR}}+\frac{d}{dt}(Q_F+Q_R+Q_{je}+Q_{jc})\tag{6.122}$$

$$i_C=\frac{Q_F}{\tau_F}-Q_R\left(\frac{1}{\tau_R}+\frac{1}{\tau_{BR}}\right)-\frac{d}{dt}(Q_R+Q_{jc})\tag{6.123}$$

式中：i_B和i_C是流入基极和集电极的电流；Q_F和Q_R是基区过量少数载流子电荷；Q_{je}和Q_{jc}分别是基极-发射极(BE)、基极-集电极(BC)的电容C_{je}、C_{jc}(在交流分析中$=C_\mu$)上的电荷；τ_F和τ_{BF}为时间常数，分别称为正向有源模式下基区少数载流子的平均传输时间和平均寿命。根据式(6.4)，npn BJT 有：

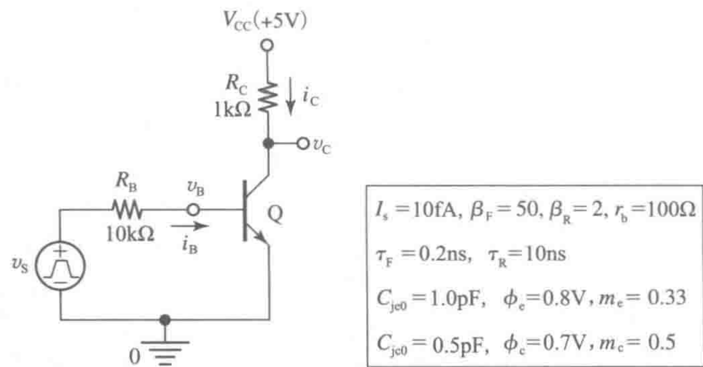
$$\tau_F = \frac{W_B^2}{2D_n} \tag{6.124}$$

式中：W_B为基极宽度；D_n为电子扩散系数。两个时间常数的关系表示为：

$$\tau_{BF} = \beta_F \tau_F \tag{6.125}$$

式中：β_F是所熟知的正向有源电流增益。类似的术语适用于时间常数τ_R和$\tau_{BR}(=\beta_R\tau_R)$，只不过它们属于反向有源模式，其中电流增益为$\beta_R(\ll\beta_F)$。式(6.122)表示各种电荷对$i_B$的影响，而式(6.13)描述了这些电荷对$i_C$产生的影响，这表明了两个电流之间的因果关系。同样地，一旦我们知道i_B和i_C，我们可以通过 KCL 求出发射极电流为$i_E=i_B+i_E$。

虽然上面的公式看起来也许很复杂，但我们将简单和直观地利用它们，去研究基本的 BJT 反相器/开关对输入脉冲的响应。为此我们利用图 6.71 所示的 PSpice 电路来显示 BJT 情形下所有相关的波形，BJT 参数如图 6.71 的表所示，于是我们可以利用上面的公式来计算不同的瞬态部分。如图 6.72 所示，驱动源v_S在$t=t_0=0$ns 时从$V_R(=-2V)$转换为V_F $(=5V)$,且在$t=t_3=100$ns 时，回到$-2V$。假设 BJT 在$t=t_0$之前处于稳定状态，我们确定接下来的工作区域以及相应的时间间隔。



$I_s=10$fA, $\beta_F=50$, $\beta_R=2$, $r_b=100\Omega$
$\tau_F=0.2$ns, $\tau_R=10$ns
$C_{je0}=1.0$pF, $\phi_e=0.8$V, $m_e=0.33$
$C_{jc0}=0.5$pF, $\phi_c=0.7$V, $m_c=0.5$

图 6.71 PSpice 电路可视化一个 BJT 反相器/开关的转换瞬态

- **截止区**(t_0到t_1)：v_S上升沿之后，基区还没有过量电荷Q_F和Q_R，因此式(6.122)和式(6.123)简化为：

$$i_B = \frac{d}{dt}(Q_{je}+Q_{jc}), \quad i_C = -\frac{dQ_{jc}}{dt} \tag{6.126}$$

第一个公式说明，i_B仅仅用于给电容C_{je}和C_{jc}充电，而第二个公式说明，i_B的一部分经过C_{jc}流出(因此第二个公式前面有一个"－"号)集电极端。该电流接着流入R_C，在v_C曲线中产生一个初始的明显的电压凸点。随着C_{je}和C_{jc}充电，v_B也一直升高，直到t_1时刻 BJT 达到导通边缘(EOC)，此时$v_B\approx0.6$V。我们知道，结电容大小为：

$$C_{je} = \frac{C_{je0}}{(1-v_{BE}/\phi_e)^{m_e}}, \quad C_{jc} = \frac{C_{jc0}}{(1-v_{BC}/\phi_c)^{m_c}} \tag{6.127}$$

式中：C_{je0}和C_{jc0}是它们的零偏置值；ϕ_e和ϕ_c是两个结的内建电势；m_e和m_c是分级系数。按照先前章节对二极管的处理，我们估算充电时间为$t_1-t_0(=t_1)$，这是通过将式(6.126)的第一项近似为：

$$i_{B(avg)} \approx \frac{\Delta Q_{je}+\Delta Q_{jc}}{\Delta t} = \frac{C_{je(eq)}\Delta v_{BE}+C_{jc(eq)}\Delta v_{BC}}{t_1-t_0}$$

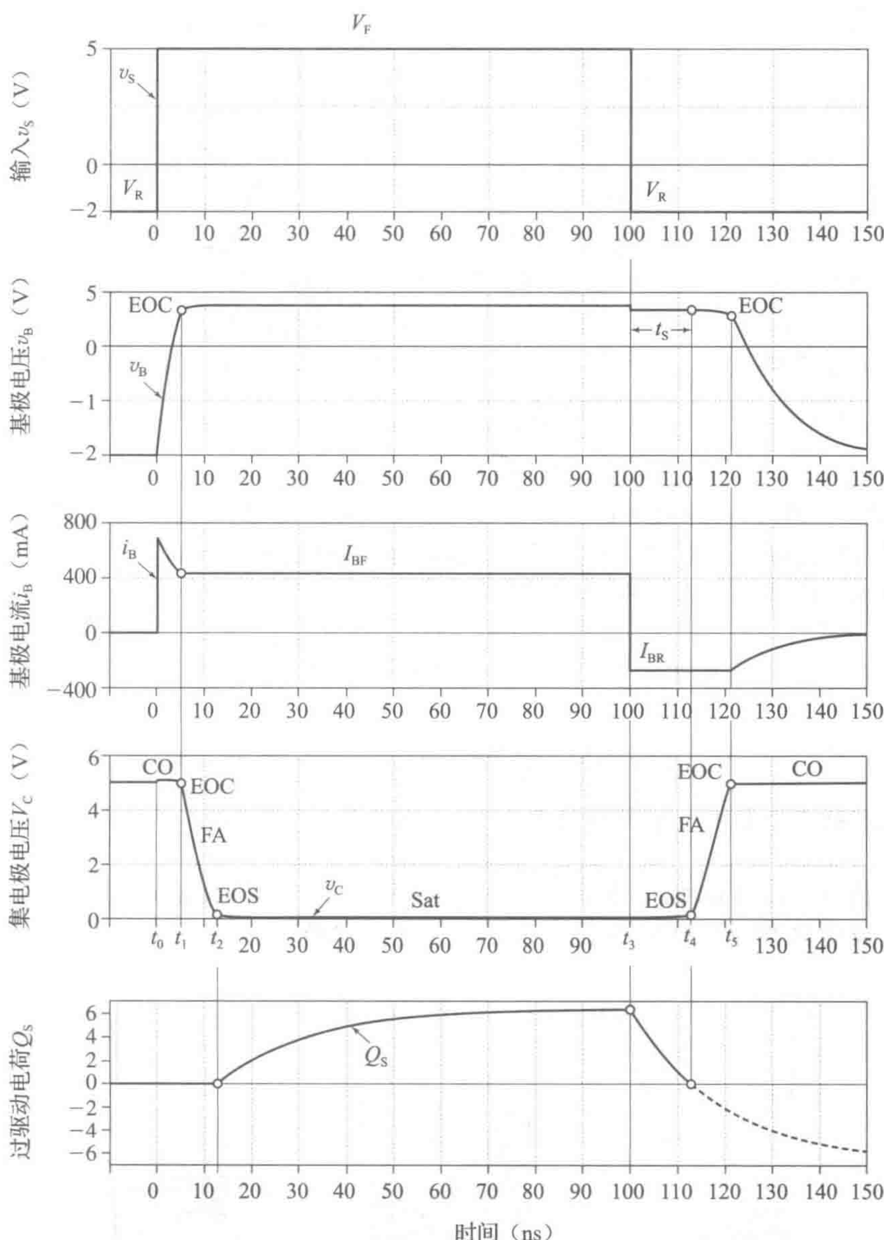


图 6.72　图 6.71 所示 BJT 反相器/开关所有相关波形曲线

得到的，其中，$i_{B(avg)}$ 是 $i_B(t_0^+)=([5-(-2)]/10)\text{mA}=0.7\text{mA}$ 和 $i_B(t_1)=((5-0.6)/10)\text{mA}=0.44\text{mA}$ 的平均值，即 $i_{B(avg)}=((0.7+0.44)/2)\text{mA}=0.57\text{mA}$；而且，$\Delta v_{BE}=v_{BE}(t_1)-v_{BE}(t_0)=(0.6-(-2))\text{V}=2.6\text{V}=-\Delta v_{BC}$。粗略近似及 $C_{je(eq)}\approx C_{je0}=1\text{pF}$ 及 $C_{jc(eq)}\approx C_{je0}/2=(0.5/2)\text{pF}=0.25\text{pF}$（习题 6.53 给出了更好的估算），我们得到 $t_1=((1+0.5/2)\times10^{-12}\times2.6/(0.57\times10^{-3}))\text{s}=5.7\text{ns}$，与通过 PSpice 光标测量得到的值 $t_1=5.2\text{ns}$ 相当吻合。

- **有源区**（t_1 到 t_2）：到 t_1 时，BJT 从 EOC（$v_B\approx0.6\text{V}$）变成完全导通（$v_B\approx0.7\text{V}$）。在此期间 Q_R 仍然为零，但是 Q_F 逐渐建立，引起 i_C 上升从而 v_C 下降。在时刻 t_2，v_C 下降到 $v_C=V_{CE(EOS)}\approx0.2\text{V}$，BJT 达到饱和区边缘（EOS）。在该时间段内，式（6.122）简化为：

$$i_B=\frac{Q_F}{\tau_{BF}}+\frac{d}{dt}(Q_F+Q_{je}+Q_{jc})\tag{6.128}$$

我们可以估算时间间隔 t_2-t_1，只需将上面的表达式近似为：

$$i_{B(avg)} \approx \frac{Q_{F(avg)}}{\tau_{BF}} + \frac{\Delta Q_F + \Delta Q_{je} + \Delta Q_{jc}}{\Delta t}$$

$$= \frac{Q_{F(avg)}}{\tau_{BF}} + \frac{\Delta Q_F + C_{je(eq)}\Delta v_{BE} + C_{jc(eq)}\Delta v_{BC}}{t_2 - t_1} \qquad (6.129)$$

式中：$i_{B(avg)}$ 是 $i_B(t_1)=440\mu A$ 和 $i_B(t_2)=((5-0.7)/10)mA=430\mu A$ 的平均值，即，$i_{B(avg)}=435\mu A$；$\Delta v_{BE}=v_{BE}(t_2)-v_{BE}(t_1)=(0.7-0.6)V=0.1V$；$\Delta v_{BC}=v_{BC}(t_2)-v_{BC}(t_1)=((0.7-0.2)-(0.6-5))V=4.9V$；$\Delta Q_F=Q_F(t_2)-Q_F(t_1)=\tau_F i_C(t_2)-0=(0.2\times10^{-9}\times(5-0.2)/10^3)C=0.96pC$，因此 $Q_{F(avg)}=((0+0.96)/2)pC=0.48pC$。粗略近似 $C_{je}\approx 2C_{je0}=2pF$ 且 $C_{jc}\approx C_{jc0}=0.5pF$，我们得到：

$$435\times10^{-6} = \frac{0.48\times10^{-12}}{50\times0.2\times10^{-9}} + \frac{(0.96+2\times0.1+0.5\times4.9)\times10^{-12}}{t_2-t_1}$$

结果给出 $t_2-l_1=9.3ns$，与光标测量值 7.8ns 比较吻合。

- **饱和区**(t_2到 t_3)：经过 t_2后，BJT 进入深饱和状态，此时两个结都是正向偏置，因此 Q_F和 Q_R均不为零。由于 v_{BE}和 v_{BC}在该区域仍保持相对稳定，C_{je}和 C_{jc}现在所起作用不大，因此我们可以将式(6.122)简化为：

$$I_{BF} = \frac{Q_F}{\tau_{BF}} + \frac{Q_R}{\tau_{BR}} + \frac{d}{dt}(Q_F + Q_R) \qquad (6.130)$$

式中：

$$I_{BF} = \frac{V_F - V_{BE(sat)}}{R_B} \approx \frac{5-0.8}{10}mA = 420\mu A \qquad (6.131)$$

在饱和状态下总的过量基极电荷为 $Q_B=Q_F+Q_R$(见图 6.73b)。重写为：

$$Q_B = Q_{F(EOS)} + Q_S \qquad (6.132)$$

表明我们可以将 Q_B看作使 BJT 回到 EOS(见图 6.73a)所需的电荷总量 $Q_{F(EOS)}$，由于 BJT 被驱动到深饱和区(见图 6.73c)，产生了电荷 Q_S。我们也可以将 I_{BF}表示为：

$$I_{BF} = I_{B(EOS)} + I_{BS}$$

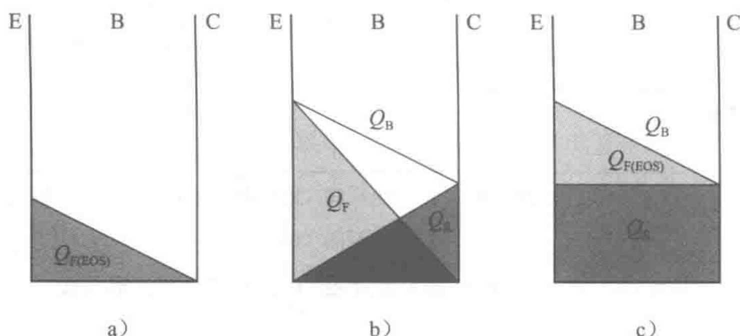


图 6.73　基区过量的少子电荷：a)在 EOS，及 b)，c)深饱和区

式中：

$$I_{B(EOS)} = \frac{I_{C(EOS)}}{\beta_F} = \frac{(V_{CC}-V_{CE(EOS)})/R_C}{\beta_F} \approx \frac{(5-0.2)/1}{50}mA = 96\mu A \qquad (6.133)$$

是使 BJT 回到饱和区边缘(EOS)所需的基极电流；

$$I_{BS} = I_{BF} - I_{B(EOS)} = (420-96)\mu A = 324\mu A$$

是超过 $I_{B(EOS)}$ 的基极电流，这部分电流驱动 BJT 进入深饱和区(注意到 BJT 确实是饱和的，因为 $\beta_{sat}=4.9/0.42=11.7\ll\beta_F$)。这称为过驱动基极电流，$I_{BS}$使得过驱动基极电荷 Q_s逐渐建立，根据电荷控制等式，有：

$$I_{BS} = \frac{Q_S}{\tau_S} + \frac{dQ_S}{dt} \qquad (6.134)$$

式中：τ_S 是时间常数，是 τ_{BF} 和 τ_{BR} 的一个线性组合，即

$$\tau_S = \frac{(\beta_R + 1)\tau_{BF} + \beta_F \tau_{BR}}{\beta_F + \beta_R + 1} \tag{6.135}$$

利用图 6.71 所示数据列表，我们得到 $\tau_S = ([(2+1)\times 50\times 0.2 + 50\times 2\times 10]/(50+2+1))\text{ns} = 19.4\text{ns}$。式(6.134)的解是 Q_S 的指数衰减，其由时间常数 τ_S 决定，且逐渐倾向于一个稳定状态值，即

$$Q_{S(ss)} = \tau_S I_{BS} = 19.4\times 10^{-9}\times 324\times 10^{-6}\text{C} = 6.3\text{pC}$$

- **存储时间**(t_3 到 t_4)：一旦 v_S 在 $t=t_3=100\text{ns}$ 时，回到 -2V，如果想使 BJT 也回到饱和边缘，我们需要移除过驱动电荷 Q_S。Q_S 的消除仍然由式(6.134)决定，现在所用的电流为：

$$I_{BS} = I_{BR} - I_{B(EOS)} = \frac{V_R - V_{BE(sat)}}{R_B} - I_{B(EOS)} = \frac{-2-0.7}{10\times 10^3}\text{mA} - 96\mu\text{A}$$
$$= (-270-96)\mu\text{A} = -366\mu\text{A}$$

注意 v_B 是逐渐减小的，变化量为 $\Delta v_B = r_b \Delta i_B$，我们现在假设 $V_{BE(sat)} \approx 0.7\text{V}$，而不是通常的 0.8V。由于 I_{BS} 是负的，式(6.134)的解是 Q_S 的指数衰减，其仍然由时间常数 τ_S 决定，但是逐渐倾向于一个(假想的)稳定状态值，即

$$Q_S(\infty) = \tau_S I_{BS} = 19.4\times 10^{-9}\times(-366\times 10^{-6})\text{C} = -7.1\text{pC}$$

衰减过程持续到时刻 t_4，此时 Q_S 变为零。时间间隔 $t_S = t_4 - t_3$，这称为存储时间，很容易求出为：

$$t_S = \tau_S \ln\frac{Q_S(t_3) - Q_S(\infty)}{Q_S(t_4) - Q_S(\infty)} = \tau_S \ln\frac{\tau_S(I_{BF} - I_{B(EOS)}) - \tau_S(I_{BR} - I_{B(EOS)})}{0 - \tau_S(I_{BR} - I_{B(EOS)})}$$

即

$$t_S = \tau_S \ln\frac{I_{BF} - I_{BR}}{I_{B(EOS)} - I_{BR}} \tag{6.136}$$

很快我们得到 $t_S = (19.4\text{ns})\ln[(420+270)/(96+270)] = 12.3\text{ns}$，这与 PSpice 结果精确匹配。

- **再一次到有源区**(t_4 到 t_5)：移除完电荷 Q_S 后，BJT 回到饱和边缘(EOS)，我们需要消除 Q_F，使其回到导通边缘(EOC)，更恰当的名称是截止边缘。Q_F 的消除仍然由式(6.128)支配，但是 $i_B = (V_R - V_{BE})/R_B$。利用 $i_{B(avg)} = ((-2-0.65)/10)\mu\text{A} = -265\mu\text{A}$，我们重新运用等式(6.129)写出

$$-265\times 10^{-6} = \frac{0.48\times 10^{-12}}{50\times 0.2\times 10^{-9}} - \frac{(0.96+2\times 0.1+0.5\times 4.9)\times 10^{-12}}{t_5 - t_4}$$

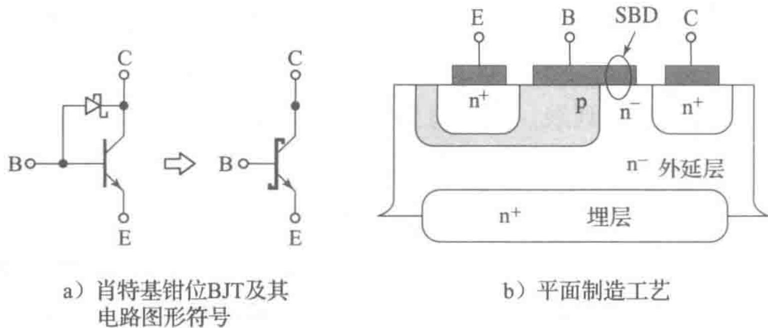
求解给出 $t_5 - t_4 = 11.5\text{ns}$，与 PSpice 的值 9.2ns 相当吻合。

- **恢复区**($t>t_5$)：一旦所有过量基极电荷被消除，BJT 经历恢复阶段使 C_{je} 和 C_{jc} 在 t_0 之前回到稳定状态。在这个阶段 v_B 经过类指数变化，从 $v_B = V_{BE(EOC)} \approx 0.6\text{V}$ 到 $v_B = V_R = -2\text{V}$，如图 6.72 所示。

显然 BJT 反相器/开关需要时间去开启和关闭。实际上，在关闭期间，BE 结从 t_3 到 t_5 一直保持不变，在此期间它相当于一个 0.7V 电源。比较特殊的是从 t_3 到 t_4 的存储时间 t_S，在此期间 BJT 保持在饱和态。这通常是一个很严重的缺点，特别是在高速逻辑或者电源开关应用中。

肖特基钳位双极结型晶体管

我们可以通过放置一个与基极-集电极(BC)并联的肖特基势垒二极管(SBD)，完全消除存储时间 t_S，如图 6.74a 所示的 npn BJT 的情形。回想一下，SBD 的饱和电流通常要比普通的 pn 结的高 5 个数量级，这表明 SBD 的正向电压降比 pn 结正向压降大约低 $5\times(60\text{mV}) = 0.3\text{V}$，得到 $V_{SBD(on)} \approx (0.7-0.3)\text{V} \approx 0.4\text{V}$。因为 SBD 的钳位作用，BC 结限制在 $v_{BC} \leqslant 0.4\text{V}$ 内，这不足以使 BC 结开启。因此，BJT 始终有 $Q_R = 0$，因此它永远不会饱和。



a）肖特基钳位BJT及其电路图形符号

b）平面制造工艺

图 6.74

图 6.74b 所示为一个肖特基钳位的 npn BJT 整体电路。与图 2.1 所示的结构相比，我们观察到，制作肖特基钳位 BJT 需要将基极金属电极延伸到 n^- 集电极区域，从而形成 SBD。（右边还画出了金属 n^+ 结构，它在集电极金属电极和 n^- 外延层底部产生一个欧姆接触。）

例 6.25 (a) 假设图 6.71 所示的 BJT 配备一个肖特基势垒二极管且有 $V_{SBD(on)} \approx 0.4V$，当 $v_S = V_F = 5V$ 时，求出稳定状态电流 I_B，I_C 和 I_{SBD}，并对你的结果进行评论。

(b) 回到图 6.71 所示的 PSpice 电路，但加入一个肖特基势垒二极管。评论你的结果。

解：

(a) 流过 R_B 的电流为 $I(R_B) = (V_F - V_B)/R_B \approx ((5-0.7)/10)\text{mA} = 0.43\text{mA}$。

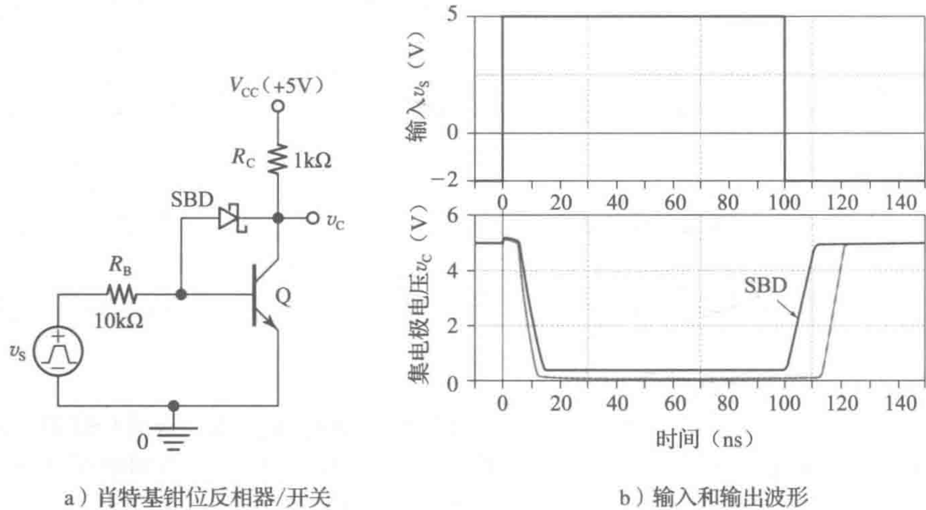
通过 KVL，可得 $V_C = V_B - V_{SBD(on)} \approx (0.7-0.4)\text{V} = 0.3\text{V}$，因此流过 R_C 的电流为 $I(R_C) = (V_{CC} - V_C)/R_C \approx ((5-0.3)/1)\text{mA} = 4.7\text{mA}$。而且，BJT 工作在 FA 区域，因为 $V_{CE} \approx 0.3\text{V}$，这比 $V_{CE(EOS)}$ ($\approx 0.2\text{V}$) 高 0.1V。因此，我们可以写出，$I_C = \beta_F I_B = 50 I_B$。我们需要另外两个等式来求解三个未知量。这些等式可以通过基极和集电极节点的 KCL 得到，其中，$I_B = I(R_B) - I_{SBD} = 0.43 - I_{SBD}$ 及 $I_C = I(R_C) + I_{SBD} = 4.73 + I_{SBD}$，求解得：

$$I_B = 100.6\mu\text{A}, \quad I_C = 5.03\text{mA}, \quad I_{SBD} = 0.33\text{mA}$$

因为是肖特基势垒二极管，只有足够的电流被允许进入基极，以保证 BJT 远离饱和边缘 0.1V 左右。过驱动电流会被肖特基势垒二极管分流到集电极，这样防止 BJT 过饱和。

(b) 图 6.75a 所示的是钳位 BJT 所用的肖特基势垒二极管，其 PSpice 模型如下：

```
.model DSBD D(IS=1nA CJO=0.25pF VJ=1.6V M=0.4 EG=0.7)
```



a）肖特基钳位反相器/开关

b）输入和输出波形

图 6.75

图6.75b所示的波形证实消除了存储时间。由于存在与C_{jc}并联的肖特基势垒二极管的结电容C_j，v_C上升和下降时间比图6.71所示未钳位电路的上升和下降时间更长一点。

而且，v_C钳位在约0.3V，比图6.71所示电路中的0.1V略高。◀

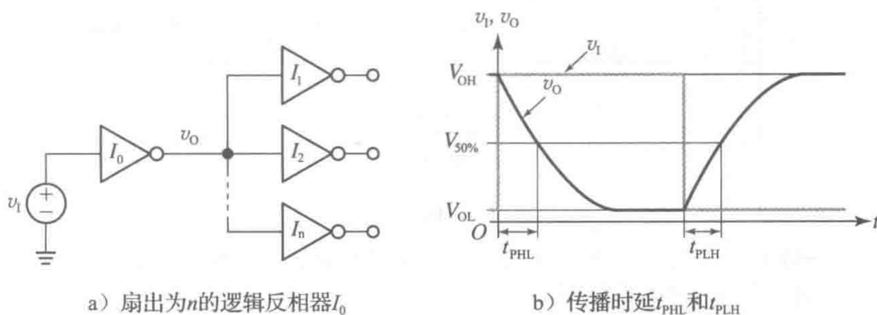
6.12　CMOS门电路和电压比较器瞬态响应

在二进制输出电路中，如逻辑门和电压比较器，我们想知道输入突然变化时，输出状态改变的响应速度。当输入一个阶跃时，晶体管及其互连的寄生电容的充电/放电需要时间。一般来说，电容越小，给它们充电/放电的电流越大，响应速度就越快。

逻辑门传输时延

逻辑门电路的动态特征通过传播时延来表征，通常是针对反相器(逻辑门中最基本的代表)驱动n个相似的反相器的情形，用逻辑设计术语称之为扇出为n(见图6.76)。传播时延是输出在输入沿之后完成从一个输出电平变化到另一个输出电平的50%转换所需的时间。将输出电平表示为V_{OL}和V_{OH}，我们定义50%点为：

$$V_{50\%}=\frac{V_{OL}+V_{OH}}{2} \tag{6.137}$$



a) 扇出为n的逻辑反相器I_0　　b) 传播时延t_{PHL}和t_{PLH}

图　6.76

从V_{OL}上升为$V_{50\%}$所需的时间表示为t_{PLH}，v_O从V_{OH}下降为$V_{50\%}$所需的时间为t_{PHL}(因为内部电路固有的不对称性，t_{PLH}和t_{PHL}不一定完全相同)。接下来我们将研究CMOS门的传输时延，这是目前主要的数字技术。这些门有$V_{OL}=0$和$V_{OH}=v_{DD}$，因此$V_{50\%}=V_{DD}/2$。由于电路复杂度增加，通过手工进行瞬态分析无法实现，因此我们应该通过PSpice求得传输时延，接着利用简化的手工分析得到近似估计值，既可以作为对PSpice结果的检查，也可以作为深入了解门电路内部工作的一种方法。

通过PSpice对CMOS门的瞬态分析

为了显示瞬态响应，PSpice计算门电路所有的寄生电容，因此，我们需要给PSpice提供合适的工艺和器件参数。为此，参考图6.77所示的概念图，这与图6.8所示基本结构相似，只是为了简便，多省略了一些细节，即环绕除了面向沟道边之外的n^+源和漏区的三个边注入p^+沟道。这些注入的作用是在电学上隔离共用相同衬底的相邻的MOSFET(两个相邻MOSFET的源/漏区之间的衬底的一部分形成一个可能会偶然导通的寄生沟道。p^+注入大大增加了这些寄生沟道的V_t，以防止它们导通。通常，p^+杂质注入比p^-衬底杂质注入高一个数量级，即$N_{implant}\approx 10N_{bulk}$)。因为沟道终止，每个结电容$C_{sb}$和$C_{db}$由一个与源/漏区域底部$p^--n^+$结相关的底部分量$C_{j(brm)}$，以及一个与区域边界周围$p^--n^+$结相关的侧壁分量$C_{j(sw)}$组成。漏极区域净结电容表示为：

$$C_{db}=\frac{A_d\times C_{j0(btm)}}{(1-v_{BD}/\phi_{0(btm)})^{m_{btm}}}+\frac{P_d\times C_{j0(sw)}}{(1-v_{BD}/\phi_{0(sw)})^{m_{sw}}} \tag{6.138}$$

式中：

- A_d是漏极底部结的面积；$C_{j0(btm)}$是零偏置的单位面积结电容；$\phi_{0(btm)}$是底部结内建

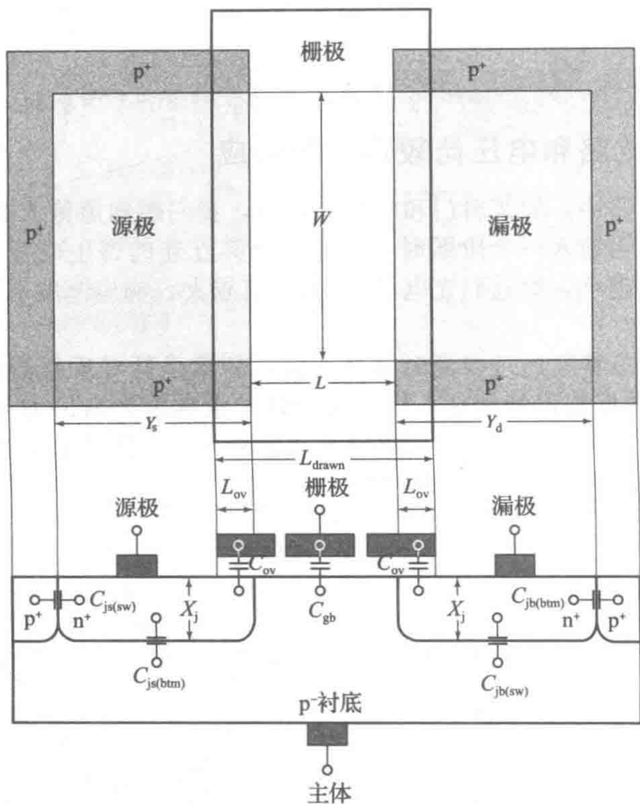


图 6.77　nMOSFET 概念图(顶部及横断面)。p^+ 沟道截止注入环绕在 n^+ 源和漏区的散的三个边上而不是直接面对沟道

电势；m_{btm}是衰减系数；

- P_d 是漏极侧壁结周长；$C_{j0(sw)}$ 是零偏置单位长度结电容；$\phi_{0(sw)}$ 是侧壁结内建电势；m_{sw}是衰减系数。

对于图 6.77 所示顶部的结构，我们有 $A_d=Y_d\times W$ 和 $P_d=2Y_d+W$。再应用式(1.47b)，基于 $N_{A(bulk)}\ll N_{D(drain)}$和 $N_{A(implant)}\ll N_{D(drain)}$，简化为：

$$C_{j0(btm)}\approx\sqrt{\frac{\varepsilon_{si}qN_{A(bulk)}}{2\phi_{0(btm)}}},\quad C_{j0(sw)}\approx X_j\sqrt{\frac{\varepsilon_{si}qN_{A(implant)}}{2\phi_{0(sw)}}}\tag{6.139}$$

式中：X_j是漏区深度，在图 6.77 中也画出了。式(6.139)的工艺参数也可以应用到源区，唯一不同的是它的面积 A_s 和周长 P_s，这取决于器件的几何布局。上面的表达式很容易应用于 pMOSFET 的情形，下面的例子将说明。

例 6.26 (a) 假设一个 nMOSFET 的工艺参数为 $t_{ox}=20\text{nm}$，$\mu_n=600\ \text{cm}^2/(\text{V}\cdot\text{s})$，$V_t=0.7\text{V}$，$\lambda'=0.1\mu\text{mV}$，$L_{ov}=0.15\mu\text{m}$，$X_j=0.25\mu\text{m}$，$N_{D(poly)}=10^{20}\text{cm}^{-3}$，$N_{A(bulk)}=3\times10^{15}\text{cm}^{-3}$，$N_{A(implant)}=10N_{A(bulk)}$，$m_{btm}=0.5$，且 $m_{sw}=0.33$，求出与工艺相关的电容。若 $L_{drawn}=1.0\mu\text{m}$，$W=2.0\mu\text{m}$ 且 $Y_d=Y_s=2.5\mu\text{m}$，求出 A_d，P_d，A_s及 P_s。

(b) 假设一个 pMOSFET 的工艺参数为 $t_{ox}=20\text{nm}$，$\mu_p=250\ \text{cm}^2/(\text{V}\cdot\text{s})$，$V_t=-0.7\text{V}$，$\lambda'=0.05\mu\text{m/V}$，$L_{ov}=0.2\mu\text{m}$，$X_j=0.3\mu\text{m}$，$N_{A(poly)}=10^{20}\text{cm}^{-3}$，$N_{D(bulk)}=1.8\times10^{16}\text{cm}^{-3}$，$N_{D(implant)}=10N_{D(bulk)}$，$m_{btm}=0.5$，且 $m_{sw}=0.33$，求出与工艺相关的电容。若 $L_{drawt}=1.0\mu\text{m}$，$W=4.0\mu\text{m}$ 且 $Y_d=Y_S=3.0\mu\text{m}$，求出 A_d，P_d，A_s和 P_s

解：

(a) 对于 nMOSFET，我们有：

$$C_{ox}=\frac{\varepsilon_{ox}}{t_{ox}}=\frac{34.5}{20}\frac{\text{fF}}{\mu\text{m}^2}=1.725\frac{\text{fF}}{\mu\text{m}^2}$$

$$C_{ov}=C_{ox}L_{ov}=1.725\times 0.15\text{fF}/\mu\text{m}=0.259\ \frac{\text{fF}}{\mu\text{m}}=0.259\ \frac{\text{nF}}{\text{m}}$$

$$\phi_{0(btm)}=V_T\ln\frac{N_{A(bulk)}N_{D(poly)}}{n_i^2}=\left(0.026\ln\frac{3\times 10^{15}\times 10^{20}}{2\times 10^{20}}\right)\text{V}=0.909\text{V}$$

$$\phi_{0(sw)}=V_T\ln\frac{N_{A(implant)}N_{D(poly)}}{n_i^2}=\left(0.026\ln\frac{30\times 10^{15}\times 10^{20}}{2\times 10^{20}}\right)\text{V}=0.968\text{V}$$

$$C_{j0(btm)}\approx\sqrt{\frac{1.04\times 10^{-12}\times 1.602\times 10^{-19}\times 3\times 10^{15}}{2\times 0.909}}\text{F/cm}^2=16.6\ \frac{\text{nF}}{\text{cm}^2}$$

$$=0.166\ \frac{\text{fF}}{\mu\text{m}^2}=166\ \frac{\mu\text{F}}{\text{m}^2}$$

$$C_{j0(sw)}\approx(0.25\times 10^{-4})\times\sqrt{\frac{1.04\times 10^{-12}\times 1.602\times 10^{-19}\times 30\times 10^{15}}{2\times 0.968}}\text{F/cm}$$

$$=12.7\ \frac{\text{nF}}{\text{cm}}=0.127\ \frac{\text{fF}}{\mu\text{m}}=0.127\ \frac{\text{nF}}{\text{m}}$$

最后，$A_s=A_d=Y_d\times W=2.5\times 2\mu\text{m}^2=5\mu\text{m}^2=5\times 10^{-12}\ \text{m}^2$，$P_s=P_d=2Y_d+W=(2\times 2.5+2\mu\text{m})=7\mu\text{m}$。

（b）对于 pMOSFET，我们同样有：

$$C_{ox}=1.725\ \frac{\text{fF}}{\mu\text{m}^2}$$

$$C_{ov}=1.725\times 0.2\text{fF}/\mu\text{m}=0.345\ \frac{\text{fF}}{\mu\text{m}}=0.345\ \frac{\text{nF}}{\text{m}}$$

$$\phi_{0(btm)}=V_T\ln\frac{N_{D(bulk)}N_{A(poly)}}{n_i^2}=\left(0.026\ln\frac{1.8\times 10^{16}\times 10^{20}}{2\times 10^{20}}\right)\text{V}=0.955\text{V}$$

$$\phi_{0(sw)}=V_T\ln\frac{N_{D(implant)}N_{A(poly)}}{n_i^2}=\left(0.026\ln\frac{18\times 10^{16}\times 10^{20}}{2\times 10^{20}}\right)\text{V}=1.01\text{V}$$

$$C_{j0(btm)}\approx\sqrt{\frac{1.04\times 10^{-12}\times 1.602\times 10^{-19}\times 1.8\times 10^{16}}{2\times 0.955}}\text{F/cm}^2$$

$$=39.6\ \frac{\text{nF}}{\text{cm}^2}=0.396\ \frac{\text{fF}}{\mu\text{m}^2}=396\ \frac{\mu\text{F}}{\text{m}^2}$$

$$C_{j0(sw)}\approx(0.3\times 10^{-4})\times\sqrt{\frac{1.04\times 10^{-12}\times 1.602\times 10^{-19}\times 18\times 10^{16}}{2\times 1.01}}\text{F/cm}$$

$$=36.6\ \frac{\text{nF}}{\text{cm}}=0.366\ \frac{\text{fF}}{\mu\text{m}}=0.366\ \frac{\text{nF}}{\text{m}}$$

最后，$A_s=A_d=Y_d\times W=3\times 4\mu\text{m}^2=12\mu\text{m}^2=12\times 10^{-12}\ \text{m}^2$，$P_s=P_d=2Y_d+W=(2\times 3+4)\mu\text{m}=10\mu\text{m}$。◀

我们现在准备将上述数据输入到 PSpice 中，用于 CMOS 反相器的瞬态分析。CMOS 反相器用上述 MOSFET 构成，且 $V_{DD}=3.3\text{V}$。重新利用图 3.65 所示的电路，适当地编辑 MOSFET 模型和电路的网表，就得到了如图 6.78 所示的电路。所示的例子是扇出为 1 的情形，但是它可以很容易应用于更高的扇出。该电路也包括线电容 C_w，用于给互连的寄生电容建模。

按照附录 3A 的说明，我们创建了 PSpice 的模型如下：

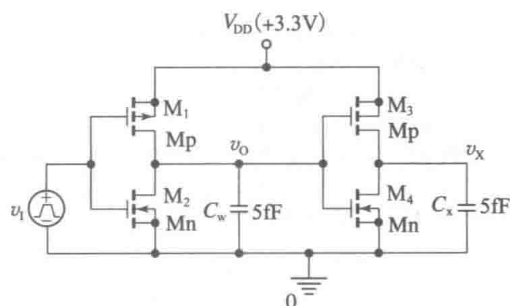


图 6.78　显示扇出为 1 的 CMOS 反相器 I_0 瞬态响应的 PSpice 电路

```
.model  Mn NMOS(Level=1 Tox=20n Uo=600 Vto=0.7 Lambda=0.1
+       Ld=0.15u Gamma=0.18 phi=0.64 Cj=166u Mj=0.5 Cjsw=0.127n
+       Mjsw=0.33 Pb=0.909 Cgso=0.259n Cgdo=0.259n)

.model  Mp PMOS(Level=1 Tox=20n Uo=250 Vto=-0.7 Lambda=0.05
+       Ld=0.2u Gamma=0.42 phi=0.73 Cj=396u Mj=0.5 Cjsw=0.366n
+       Mjsw=0.33 Pb=0.955 Cgso=0.345n Cgdo=0.345n)
```

这里需要进行一些说明。首先，注意单位是 V，A，m，以及 s，但迁移率表示为 $cm^2/(V\cdot s)$（同样地，掺杂密度必须表示为atoms/cm^3）。在 PSpice 中零偏置底部和侧壁电容表示为 Cj 和 Cjsw，且都用相同的内建电势 Pb。而且，与源和漏相关的单位长度交叠电容表示为 Cgso 和 Cgdo。PSpice 按照它的瞬时工作区域自动计算每个 MOSFET 的寄生电容。

一旦将工艺参数导入了模型描述中，我们就需要在网表中输入器件参数。为此，利用 PSpice→Create Netlist 命令直接生成网表，接着利用 PSpice→View Netlist 命令来显示它。结果是：

```
* source CKT_of_Fig_6.78
V_VDD   VDD 0 3.3Vdc
C_Cw    0 VO 5fF
C_Cx    0 VX 5fF
M_M1    VO IN VDD VDD Mp
M_M2    VO IN 0 0 Mn
M_M3    VX VO VDD VDD Mp
M_M4    VX VO 0 0 Mn
V_VI    IN 0 PULSE 0 3.3V 100ps 0.1ps 0.1ps 400ps 1ns
```

接下来，输入单独的晶体管尺寸 L、W、A_s、P_s、A_d 和 P_d 如下：

```
* source CKT_of_Fig_6.78
V_VDD   VDD 0 3.3Vdc
C_Cw    0 VO 5fF
C_Cx    0 VX 5fF
M_M1    VO IN VDD VDD Mp     L=1u W=4u As=12p Ps=10u Ad=12p
+                            Pd=10u
M_M2    VO IN 0 0 Mn         L=1u W=2u As=5p Ps=7u Ad=5p
+                            Pd=7u
M_M3    VX VO VDD VDD Mp     L=1u W=4u As=12p Ps=10u Ad=12p
+                            Pd=10u
M_M4    VX VO 0 0 Mn         L=1u W=2u As=5p Ps=7u Ad=5p
+                            Pd=7u
V_VI    IN 0 PULSE 0 3.3V 100ps 0.1ps 0.1ps 400ps 1ns
```

最后，利用 File→Save 命令来保存它，并用 PSpice→Run 命令来启动 PSpice。波形如图 6.79所示。利用光标，我们很容易测量时延，且求出 $t_{PHL}\approx 39.6$ps 和 $t_{PLH}\approx 43.3$ps。

```
* source CKT_of_Fig_6.78
V_VDD   VDD 0 3.3Vdc
C_Cw    0 VO 5fF
C_Cx    0 VX 5fF
M_M1    VO IN VDD VDD Mp     L=1u W=4u As=12p Ps=10u Ad=12p
+                            Pd=10u
M_M2    VO IN 0 0 Mn         L=1u W=2u As=5p Ps=7u Ad=5p
+                            Pd=7u
M_M3    VX VO VDD VDD Mp     L=1u W=4u As=12p Ps=10u Ad=12p
+                            Pd=10u
M_M4    VX VO 0 0 Mn         L=1u W=2u As=5p Ps=7u Ad=5p
+                            Pd=7u
V_VI    IN 0 PULSE 0 3.3V 100ps 0.1ps 0.1ps 400ps 1ns
```

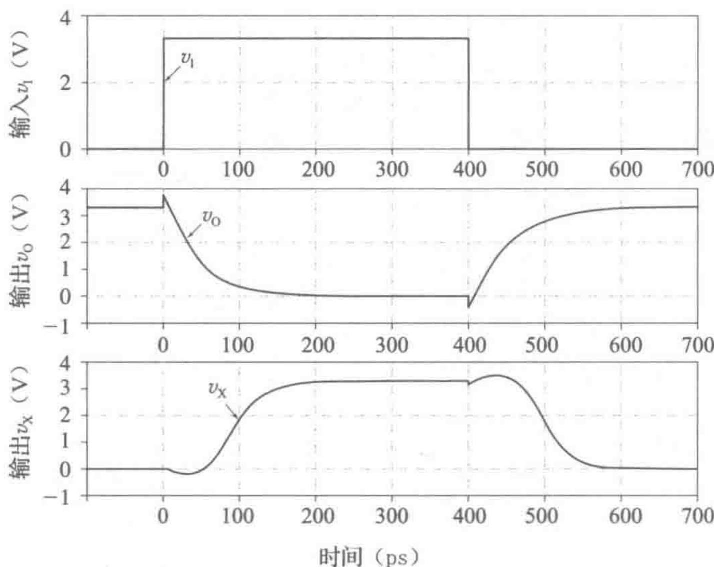


图 6.79　图 6.78 所示 PSpice 电路的波形

CMOS 门时延的手工计算

不论手边的自动化工具多么强大，严谨的工程师总是试着通过手工计算来预测/检查仿真结果。图 6.80 所示的是扇出为 1 的 CMOS 反相器情形的所有寄生电容。为了便于手工计算，我们将所有的寄生电容合在驱动反相器 I_0 输出节点，合并为单个等效电容 C_{eq}。通过观察，我们将节点 v_o 和地之间的净电容表示为：

$$C_{eq} = C_0 + C_w + C_1 \tag{6.140}$$

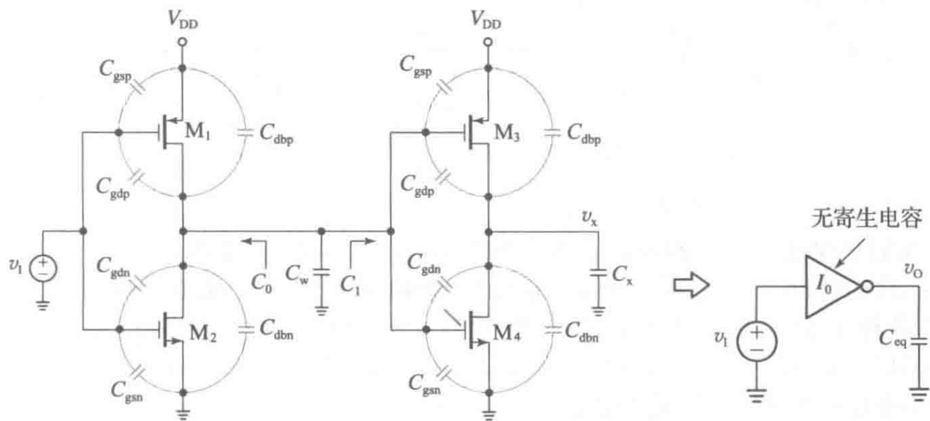


图 6.80　显示了扇出为 1 的 CMOS 反向器的所有寄生电容。为了简化手工计算，I_0 看作无寄生电容的反相器，同时驱动一个恰当的等效电容 C_{eq}

式中：

- C_0 是从 M_1 和 M_2 组成的反相器 I_0 输出端看进去的等效电容。我们有：

$$C_0 = C_{dbn} + C_{dbp} + 2(C_{gdn} + C_{gdp}) \tag{6.141}$$

系数 2 来源于米勒效应(由于 v_I 从 0 变化到 V_{DD}，v_O 从 V_{DD} 变化到 0，每个 C_{gdn} 和 C_{gdp} 的经受 $2V_{DD}$ 的电压变化，产生的效果相当于电容倍增了)。注意到 C_{gdn} 和 C_{gdp} 没有连接到节点 v_O，因此它们对 C_0 没影响(它们仅仅降低了输入源 v_I 的负载)。
- C_w 是连接反相器的连线电容(C_w 随着扇出数增加)。
- C_1 是从 M_3 和 M_4 组成的负载反相器输入端看进去的等效电容。根据图 6.79 所示波形，反相器输出 v_X 在 I_0 的 t_{PLH} 或 t_{PHL} 期间不会显著变化，因此可以忽视 C_{dbn} 和 C_{dbp}，并近似有：$C_1 \approx C_{gsn} + C_{gdn} + C_{gsp} + C_{gdn}$。不管源极和漏极之间的栅极-沟道电容如何分

割，我们有：

$$C_1 \approx C_{ox}(W_n \times L_{n(drawn)} + W_p \times L_{p(drawn)}) \tag{6.142}$$

式中：$L_{n(drawn)}$和$L_{p(drawn)}$画出的沟道长度，如图 6.77 所示。

例 6.27 计算例 6.26 中 CMOS 反相器所有相关的寄生电容。

解：

$$C_{dbn} = \frac{C_{j0(btm)}A_{dn}}{(1 - v_{BD}/\phi_{0(btm)})^{m_{btm}}} + \frac{C_{j0(sw)}P_{dn}}{(1 - v_{BD}/\phi_{0(btm)})^{m_{sw}}}$$
$$= \frac{0.166 \times 5}{(1 + v_O/0.909)^{0.5}} + \frac{0.127 \times 7}{(1 + v_O/0.968)^{0.33}}$$
$$C_{dbp} = \frac{C_{j0(btm)}A_{dn}}{(1 - v_{DB}/\phi_{0(btm)})^{m_{btm}}} + \frac{C_{j0(sw)}P_{dn}}{(1 - v_{DB}/\phi_{0(btm)})^{m_{sw}}}$$
$$= \frac{0.396 \times 12}{[1 + (3.3 - v_O)/0.909]^{0.5}} + \frac{0.366 \times 10}{[1 + (3.3 - v_O)/0.968]^{0.33}}$$

即

$$C_{dbn} = \frac{0.83\text{fF}}{(1 + v_O/0.909)^{0.5}} + \frac{0.89\text{fF}}{(1 + v_O/0.968)^{0.33}}$$
$$C_{dbp} = \frac{4.75\text{fF}}{(4.63 - v_O/0.909)^{0.5}} + \frac{3.66\text{fF}}{(4.41 - v_O/0.968)^{0.33}}$$

此外，

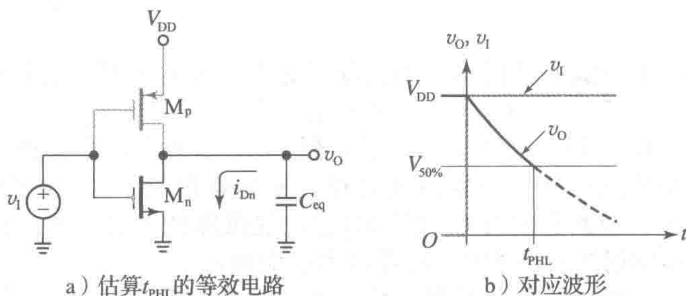
$$2 \times (C_{gdn} + C_{gdp}) = 2 \times (C_{ovn} \times W_n + C_{ovp} \times W_p) = 2 \times (0.259 \times 2 + 0.345 \times 4)\text{fF} = 3.80\text{fF}$$
$$C_1 = C_{ox}(W_n \times L_{n(drawn)} + W_p \times L_{p(drawn)}) = 1.725 \times (2 \times 1 + 4 \times 1)\text{fF} = 10.35\text{fF}$$

而且考虑到 C_w=5fF，并根据式(6.140)合并，我们最后得到：

$$C_{eq} = \frac{0.83\text{fF}}{\left(1 + \frac{v_O}{0.909}\right)^{0.5}} + \frac{0.89\text{fF}}{\left(1 + \frac{v_O}{0.968}\right)^{0.33}} + \frac{4.75\text{fF}}{\left(4.63 - \frac{v_O}{0.909}\right)^{0.5}} + \frac{3.66\text{fF}}{\left(4.41 - \frac{v_O}{0.968}\right)^{0.33}} + 19.15\text{fF}$$ ◀

现在我们来快速估算传输时延。为了估算 t_{PHL}，参考图 6.81 所示电路，显示了 v_I从 0 转变为 V_{DD}后的情况。此时 M_p关断，M_n从 C_{eq}中抽取电流 i_{Dn}，从而给电容放电。虽然已经做出了多种近似，我们还要再做一次近似，即通过规则 $C\Delta V = I\Delta t$ 来估算 V_{DD} 到 $V_{50\%}$(=0.5V_{DD})的放电过程，其中，$C=C_{eq}$，$\Delta V=0.5V_{DD}$，$\Delta t=t_{PHL}$，$I=i_{Dn(avg)}$是 i_{Dn}在 t_{PHL}间隔期间的平均值。从而我们有：

$$t_{PHL} \approx \frac{0.5V_{DD}C_{eq}}{i_{Dn(avg)}} \tag{6.143a}$$



a）估算t_{PHL}的等效电路　　b）对应波形

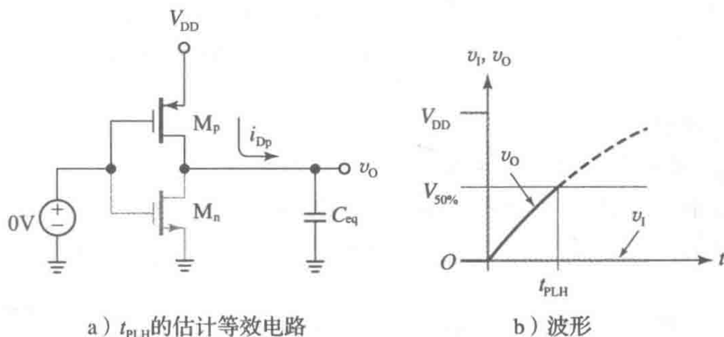
图 6.81

考虑到 t_{PHL}段开始时，M_n处于饱和态，而在该段结束时，M_n处于晶体管区，我们写出：

$$i_{Dn(avg)} = \frac{1}{2}k_n' \frac{W_n}{L_n}\left\{\frac{1}{2}(V_{DD}-V_{tn})^2(1+\lambda_n V_{DD}) + \left[(V_{DD}-V_{tn})\frac{V_{DD}}{2} - \frac{1}{2}\left(\frac{V_{DD}}{2}\right)^2\right]\left(1+\lambda_n \frac{V_{DD}}{2}\right)\right\} \tag{6.143b}$$

对于 t_{PLH} 的估计，也有类似的考虑。如图 6.82 所示，是 v_I 从 V_{DD} 转变为 0 后的情况。现在 M_n 关闭，而 M_p 向 C_{eq} 注入电流 i_{Dp}，从而给电容充电。应用上面的等式，我们写出：

$$t_{PLH} \approx \frac{0.5V_{DD}C_{eq}}{i_{Dp(avg)}} \tag{6.144a}$$



a) t_{PLH} 的估计等效电路 b) 波形

图 6.82

式中：

$$i_{Dp(avg)} = \frac{1}{2}k_p' \frac{W_p}{L_p}\left\{\frac{1}{2}(V_{DD}+V_{tp})^2(1+\lambda_p V_{DD}) + \left[(V_{DD}+V_{tp})\frac{V_{DD}}{2} - \frac{1}{2}\left(\frac{V_{DD}}{2}\right)^2\right]\left(1+\lambda_p \frac{V_{DD}}{2}\right)\right\} \tag{6.144b}$$

例 6.28 (a) 利用例 6.27 的数据，估算图 6.78 所示 CMOS 反相器的传输时延，并与 PSpice 进行比较。

(b) 假如扇出为 0，且 $C_w=0$，时延将会是多少？

解：

(a) 我们有 $k_n' = (600\times(10^{-2})^2\times1.725\times10^{-15}/(10^{-6})^2)\,\text{A/V}^2 = 103.5\mu\ \text{A/V}^2$，$L_n = (1.0-2\times0.15)\,\mu\text{m} = 0.7\mu\text{m}$，$k_p' = 250\times1.725\times0.1\mu\text{A/V}^2 = 43.1\mu\ \text{A/V}^2$，以及 $L_p = (1.0-2\times0.2)\mu\text{m} = 0.6\mu\text{m}$。通过式(6.143b)和式(6.144b)，有：

$$i_{Dn(avg)} = \frac{1}{2}\times103.5\times\frac{2}{0.7}\times\left\{\frac{1}{2}\times(3.3-0.7)^2\times(1+0.1\times3.3) + \left[(3.3-0.7)\times\frac{3.3}{2} - \frac{1}{2}\times\left(\frac{3.3}{2}\right)^2\right]\times\left(1+0.1\times\frac{3.3}{2}\right)\right\}\text{mA} = 1.17\text{mA}$$

$$i_{Dp(avg)} = \frac{1}{2}\times43.1\times\frac{4}{0.6}\times\left\{\frac{1}{2}\times(3.3-0.7)^2\times(1+0.05\times3.3) + \left[(3.3-0.7)\times\frac{3.3}{2} - \frac{1}{2}\times\left(\frac{3.3}{2}\right)^2\right]\times\left(1+0.05\times\frac{3.3}{2}\right)\right\}\text{mA} = 1.02\text{mA}$$

计算 C_{eq} 存在问题是它的分量 C_{dbn} 和 C_{dbp} 取决于 v_O。我们可以在传输时间段的开始和末尾进行计算，再利用它们的平均值，来简化我们的分析。因此，在 t_{PHL} 开始处，我们有 $v_O=3.3\text{V}$，此时我们计算得到 $C_{dbn}(3.3)=0.93\text{fF}$ 和 $C_{dbp}(3.3)=8.41\text{fF}$。在 t_{PHL} 结束时，我们有 $v_O=1.65\text{V}$，此时我们计算得到 $C_{dbn}(1.65)=1.15\text{fF}$ 和 $C_{dbp}(1.65)=5.47\text{fF}$。从而它们的和的平均值为 $0.5\times(0.93+8.41+1.15+5.47)\text{fF}=7.98\text{fF}$。因此，$C_{eq}=(7.98+19.15)\text{fF}=27.13\text{fF}$，且

$$t_{PHL} \approx \frac{1.65\times27.13\times10^{-15}}{1.17\times10^{-3}}\text{s} = 38.3\text{ps}(\text{PSpice 值为 } 39.6\text{ps})$$

同样地，在 t_{PLH} 开始处，我们有 $v_O=0$，此时 $C_{dbn}(0)=1.72\text{fF}$ 及 $C_{dbp}(0)=4.45\text{fF}$。在 t_{PLH} 结束处，我们有 $v_O=1.65\text{V}$，因此我们重新利用 $C_{dbn}(1.65)=1.15\text{fF}$ 和 $C_{dbp}(3.3)=5.47\text{fF}$。它们和的平均值为 $0.5\times(1.72+4.45+1.65+5.47)\text{fF}=6.65\text{fF}$。因此 $C_{eq}=(6.65+19.15)\text{fF}=25.80\text{fF}$，及

$$t_{PLH}\approx\frac{1.65\times25.80\times10^{-15}}{1.02\times10^{-3}}\text{s}=41.7\text{ps(PSpice 值为 43.3ps)}$$

(b) 假设扇出为 0，那么计算中仅仅出现 C_0，因此我们需要重新进行计算，不同之处在于 C_{eq} 减小了 $C_1+C_w(=10.35+5=15.35\text{fF})$。因此，对于 t_{PHL}，我们有 $C_{eq}=(27.13-15.35)\text{fF}=11.78\text{fF}$，我们利用对称性，求出 $t_{PHL}=38.3\times(11.78/27.13)\text{ps}\approx16.6\text{ps}$（PSpice 值为 20ps）。同样地，利用 $C_{eq}=(28.80-15.35)\text{fF}=13.45\text{fF}$，我们得到 $t_{PLH}=41.7\times(13.45/25.80)\text{ps}\approx21.7\text{ps}$（PSpice 值为 18.7ps）。◀

CMOS 逻辑门功耗

由于 CMOS 反相器无论处于哪种状态（$v_O=0$ 或 $v_O=V_{DD}$），它的两个晶体管中的一个是关闭的，只存在泄漏电流。因此称 CMOS 门电路的静态功耗几乎为零。然而，当输出从一个状态切换到另一个状态时，寄生电容会进行充电/放电而消耗能量，从而导致非零的动态功耗。

特别地，当 v_O 从 0 变化到 V_{DD} 时，M_p 必须消耗一些能量，使 C_{eq} 充电到 V_{DD}（见图 6.82a）。一旦充电完成，C_{eq} 存储的能量为 $E_C=(1/2)C_{eq}V_{DD}^2$。同样地，使 v_O 从 V_{DD} 变回 0 时，M_n 必须消耗一些能量，使 C_{eq} 放电到 0（见图 6.81a）。通过能量守恒原则，我们有 $E_n=E_C$。同样，通过对称性，$E_p=E_n$。在一个完整的周期内门消耗的能量为 $E_{cycle}=E_p+E_n=2E_C=C_{eq}V_{DD}^2$。如果门电路工作在平均频率 f_{avg} 下，门所消耗的平均功耗 P 等于所定义的 1 秒消耗的能量，即 $P=E_{cycle}\times f_{avg}$。因此，我们有：

$$P=C_{eq}V_{DD}^2f_{avg} \tag{6.145}$$

显然工作频率越高，功耗越大。而且功耗与电压平方成比例。

例 6.29 利用例 6.28 的数据，估算 $f_{avg}=1\text{kHz}$ 时的 P。当 f_{avg} 增加到 100MHz 会发生什么？

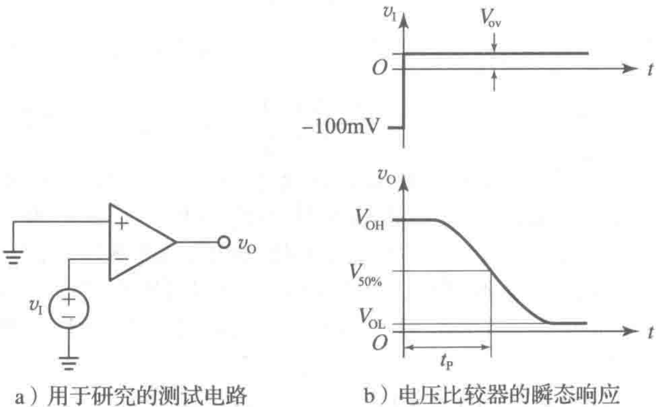
解：

通过式(6.145)，$P=25.80\times10^{-15}\times3.3^2\times10^3\text{W}=0.281\text{nW}$。

现在，$P=(0.281\text{nW})\times(10^8/10^3)=28.1\mu\text{W}$。◀

电压比较器瞬态响应

作为数字输出器件，正如逻辑门一样，比较器的动态特性也通过传输时延表征。然而，作为模拟输出器件，指定的输入测试条件有所不同。如图 6.83 所示，输入通常是一个具有 −100mV 基线值和过驱动电压 V_{OV} 的脉冲，V_{OV} 被设计为几乎不会导致比较器翻转



a）用于研究的测试电路　　b）电压比较器的瞬态响应

图 6.83

的电压值(通常，V_{OV}在毫伏范围内)。考虑到比较器电路的复杂性，手工分析一般令人望而却步，所以计算机模拟是必需的。IC 设计者将在晶体管级模拟比较器，而用户将更希望使用由制造商提供的宏模型模拟。

图 6.84 所示的是用于显示常用的 LM339 比较器瞬态响应的 PSpice 电路，此处利用它的 SPICE 宏模型。图 6.85 显示了输入脉冲上升沿和下降沿的响应(注意到这里的不对称反映了内部电路不对称，特别是在输出级)。使用的过驱动电压为 $V_{OV}=5$，20，100mV。通常过驱动越大，传输时延越小。

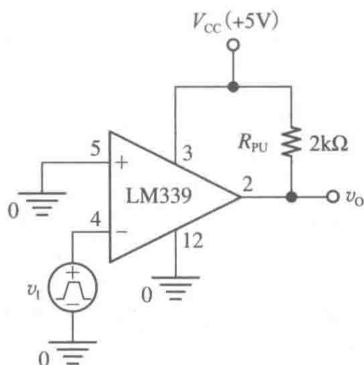


图 6.84　用于显示不同输入过驱动电压下 LM339 电压比较器瞬态响应的 PSpice 电路

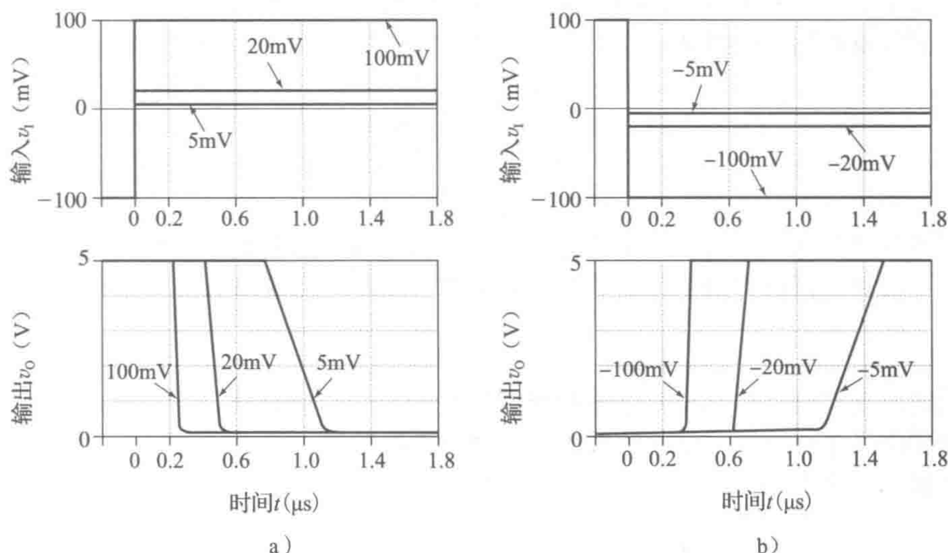


图 6.85　对于不同的输入过驱动图 6.84 中 PSpice 电路的瞬态响应

附录 6A

传输函数及伯德图

电路的频率特性，在数学上通过传递函数表示，并通过伯德图直观显示。传递函数是频率 s 的复杂函数，现有的增益和输入/输出阻抗是最常见的例子。增益是输出与输入信号拉普拉斯变换的比率，即$a(s)=S_o(s)/S_i(s)$。我们感兴趣的是传递函数总可以通过适当的代数处理，表示为下面直观的标准形式：

$$a(s)=a_0\frac{(1+s/\omega_{z1})(1+s/\omega_{z2})\cdots(1+s/\omega_{zn})}{(1+s/\omega_{p1})(1+s/\omega_{p2})\cdots(1+s/\omega_{pn})}$$

式中：a_0是 $a(s)$在极限 $S\to 0$ 时的值，称为低频增益。这是先前章节研究过的增益。由于在$s=-\omega_{z1}$，$s=-\omega_{z2}$，$\cdots s=-\omega_{zn}$时，分子为零，$\omega_z s$ 称为 $a(s)$的零点频率。这些频率是实数，可能为正，也可能为负，甚至可能为无穷。当 $s=-\omega_{p1}$，$s=-\omega_{p2}$，$\cdots s=-\omega_{pn}$时分母为零，引起 $a(s)$增加到无穷。$\omega_p s$ 称为 $a(s)$的极点频率，在本章中它们是实数且是正的。极点和零点统称为根。

系统理论的一个重要原则是：如果我们感兴趣的只是电路的交流稳态响应，即频率响应，那么我们可以将传递函数的计算限制在 jω 轴。为此只需使 $s\to \mathrm{j}\omega$，之后我们得到：

$$a(\mathrm{j}\omega)=a_0\frac{(1+\mathrm{j}\omega/\omega_{z1})(1+\mathrm{j}\omega/\omega_{z2})\cdots(1+\mathrm{j}\omega/\omega_{zn})}{(1+\mathrm{j}\omega/\omega_{p1})(1+\mathrm{j}\omega/\omega_{p2})\cdots(1+\mathrm{j}\omega/\omega_{pn})} \tag{6A.1}$$

显然，$a(\mathrm{j}\omega)$是一个复杂的函数。它的幅值$|a|$和相位角$\angle a$表示为：

$$|a(\mathrm{j}\omega)|=|a_0|\sqrt{\frac{(1+\omega^2/\omega_{z1}^2)(1+\omega^2/\omega_{z2}^2)\cdots(1+\omega^2/\omega_{zn}^2)}{(1+\omega^2/\omega_{p1}^2)(1+\omega^2/\omega_{p2}^2)\cdots(1+\omega^2/\omega_{pn}^2)}} \tag{6A.2}$$

及

$$\angle a(\mathrm{j}\omega)=\arctan\frac{\omega}{\omega_{z1}}+\arctan\frac{\omega}{\omega_{z2}}+\cdots\arctan\frac{\omega}{\omega_{zn}}-\arctan\frac{\omega}{\omega_{p1}}-\arctan\frac{\omega}{\omega_{p2}}\cdots-\arctan\frac{\omega}{\omega_{pn}} \tag{6A.3}$$

$|a(\mathrm{j}\omega)|$和$\angle a(\mathrm{j}\omega)$的频率行为可以通过频率曲线进行最直观的显示。幅度用分贝表示为：

$$|a(\mathrm{j}\omega)|_{\mathrm{dB}}=20\lg|a(\mathrm{j}\omega)| \tag{6A.4}$$

$\angle a(\mathrm{j}\omega)$用(°)表示，两个函数都用与$\omega$的对数关系绘制了曲线，最常用的频率间隔是10倍频($\omega=\cdots, 10^{-2}, 10^{-1}, 10^0, 10^1, 10^2, \cdots$rad/s)，尽管2倍频间隔也使用($\omega=\cdots, 2^{-2}, 2^{-1}, 2^0, 2^1, 2^2, \cdots$rad/s)，特别是在音频连接电路中。下面是一些需要记住的经常出现的增益列表以及他们的分贝值：

$$|1|_{\mathrm{dB}}=0\mathrm{dB}$$
$$|2^{\pm 1/2}|_{\mathrm{dB}}=\pm 3\mathrm{dB}$$
$$|2^{\pm n}|_{\mathrm{dB}}=+6n\mathrm{dB}$$
$$|10^{\pm n}|_{\mathrm{dB}}=\pm 20n\mathrm{dB} \tag{6A.5}$$

注意到正的分贝数意味着放大，负的分贝数意味着衰减，两种特性之间的边界是0dB，即单位增益。而且，假设有两个传递函数$a_1(\mathrm{j}\omega)$和$a_2(\mathrm{j}\omega)$，通过熟悉的对数特性，我们有：

$$|a_1\times a_2|_{\mathrm{dB}}=|a_1|_{\mathrm{dB}}+|a_2|_{\mathrm{dB}} \tag{6A.6a}$$
$$|a_1(\mathrm{j}\omega)/a_2(\mathrm{j}\omega)|_{\mathrm{dB}}=|a_1|_{\mathrm{dB}}-|a_2|_{\mathrm{dB}} \tag{6A.6b}$$

即幅度曲线的乘积(比值)仅仅是单个幅度曲线之和(差)。特别地，$|1/a|_{\mathrm{dB}}=-|a|_{\mathrm{dB}}$，即倒数的幅度曲线仅仅是原幅度曲线关于水平轴的对称映射。

给定一个根ω_0，我们将利用下面的近似：

$$(\omega\ll\omega_0)\Rightarrow(1+\mathrm{j}\omega/\omega_0)\to 1 \tag{6A.7a}$$
$$(\omega\gg\omega_0)\Rightarrow(1+\mathrm{j}\omega/\omega_0)\to \mathrm{j}\omega/\omega_0 \tag{6A.7b}$$

函数$\mathrm{j}\omega/\omega_0$称为微分函数，它的倒数$1/(\mathrm{j}\omega/\omega_0)$称为积分函数。这些函数在原点分别有一个零点和一个极点，它们的幅度为$|\mathrm{j}\omega/\omega_0|_{\mathrm{dB}}=20\lg(\omega/\omega_0)$和$|1/(\mathrm{j}\omega/\omega_0)|_{\mathrm{dB}}=-20\lg(\omega/\omega_0)$。采用对数频率刻度，这些等式均为$y=\pm 20x$类型，即微分情况下，直线的斜率为+20dB/10倍频(+6dB/8倍频)，积分的情况下，直线斜率为−20dB/10倍频(−6dB/8倍频)，这些曲线显示在图6A.1中。由于两个函数互为倒数，一个曲线可以通过另一个曲线关于0dB轴进行映射得到。两条曲线在$\omega=\omega_0$时在0dB轴上相交，因此ω_0称为单位增益频率。

伯德图

为了加快手工绘制频率曲线的速度，亨德里克·W·波特(Hendrik W. Bode，1905—1982)提出了分段线性近似的方法，由不同斜率直线部分在不同根频率处连接在一起。这种手法假设式(6A.7)的近似是有效的，不仅在离给定根很远的地方有效，而且在它的附近也是有效的。如果两个根相隔很远，也就是说相隔10倍甚至更大，这种技巧证明是非常有效的。即使相隔不远，它也提供了对一

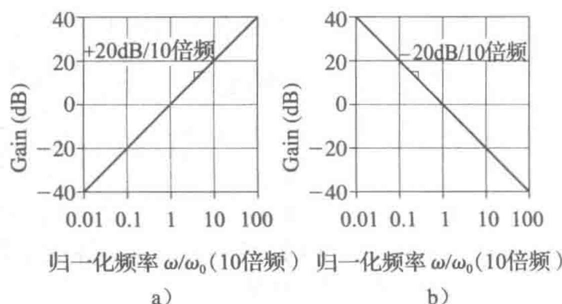


图6A.1 频率曲线(a)微分器$\mathrm{j}\omega/\omega_0$以及(b)积分器$1/(\mathrm{j}\omega/\omega_0)$函数

个电路频率行为非常有价值的深刻理解。

为了阐释该技巧，考虑函数为：

$$a(j\omega) = 100 \times \frac{(1 + j\omega/10^1)(1 + j\omega/10^5)}{(1 + j\omega/10^2)(1 + j\omega/10^3)(1 + j\omega/10^4)} \tag{6A.8}$$

直流增益为 100，两个零点频率在 $10^1 \sim 10^5$ rad/s 范围，三个极点频率在10^2，10^3，10^4 rad/s(为了简化，对根进行了适当的近似，相互之间间隔 10 倍)。为了构建伯德图，从低频开始向高频演进，在每个根处停止以决定下一部分的斜率。

- 当 $\omega \ll 10^1$ rad/s(第一个根)时，式(6A.8)中所有分子和分母项满足式(6A.7a)，给出 $a(j\omega) \approx 100 = 40$dB。伯德图近似假设这一直保持到第一个根$10^1$ rad/s，也就是说，当 $\omega \leqslant 10^1$ rad/s 时都成立(不仅仅对 $\omega \ll 10^1$ rad/s)。因此，图的第一部分是在 40dB 位置水平段。
- 当$10^1 \ll \omega \ll 10^2$ rad/s 时，第一个分子项满足式(6A.7b)，而其他所有的项仍然满足式(6A.7a)，给出 $a(j\omega) \approx 100 \times (j\omega/10^1)$。这是一个微分函数，其单位增益频率为 $\omega = 10^1$ rad/s，但是按照式(6A.6a)上移 40dB。这个结果是斜率为+20dB/10 倍频的部分。伯德图近似假设这在$10^1 \leqslant \omega \leqslant 10^2$ rad/s 期间保持，而不只是在远离区间端点处成立。
- 按照相似的方式继续，我们可以说当$10^2 \leqslant \omega \leqslant 10^3$ rad/s 时，第一个分子和分母项满足式(6A.7b)，而其他所有项仍满足式(6A.7a)。因此，$a(j\omega) \approx 100 \times (j\omega/10^1)/(j\omega/10^2) = 1\,000 = 60$dB。这又是一个水平部分，但是在位置 60dB 处。
- 当$10^3 \leqslant \omega \leqslant 10^4$ rad/s 时，第一个分子项，及第二个和第三个分母项满足式(6A.7b)，而其他所有项满足式(6A.7a)。因此，$a(j\omega) \approx 100 \times (j\omega/10^1)/[(j\omega/10^2)(j\omega/10^3)] = 1\,000/(j\omega/10^3)$。这是一个积分函数，其单位增益为 $\omega = 10^3$ rad/s，但是按照式(6A.6a)上移 60dB。结果是，斜率为−20dB/10 倍频部分。
- 同样地，当$10^4 \leqslant \omega \leqslant 10^5$ rad/s 时，我们写出 $a(j\omega) \approx 1\,000/[(j\omega/10^3)(j\omega/10^4)]$，表明另一个积分项在 $\omega = 10^4$ rad/s 处起作用，引起斜率额外的−20dB 变化，在这个频率间隔内，净斜率为−40dB/10 倍频。我们可以说在这个频率间隔，传递函数表现为二阶积分器行为。
- 当 $\omega \geqslant 10^5$ rad/s 时，所有的分子和分母项满足式(6A.7b)，从而经过放大后给出，$a(j\omega) \approx 1/(j\omega/10^5)$。这又是一个积分器函数，现在单位增益频率为$10^5$ rad/s。在这个断点处，增益随着频率上升而以−20dB/10 倍频的斜率下降。

为了了解线性化的幅度曲线所产生的误差，考虑 $\omega = 10^1$ rad/s(第一个根)时的增益。通过式(6A.2)，我们有：

$$|a(j10)| = 100 \times \sqrt{\frac{[1 + (10/10^1)^2][1 + (10/10^5)^2]}{[1 + (10/10^2)^2][1 + (10/10^3)^2][1 + (10/10^4)^2]}}$$

$$\approx 100 \times \sqrt{2} = (40 + 3)\text{dB} = 43\text{dB}$$

表明线性化的曲线在第一个根频率处，使幅值低估了 3dB。同样地，可以证实$|a(j\,10^2)| \approx 1\,000/\sqrt{2} = 60 - 3 = 57$dB，表明在第二个根处高估了一个 3dB。快速浏览一下图 6A.2，证实分段线性近似与精确的曲线非常接近，精确波形如实线所示。

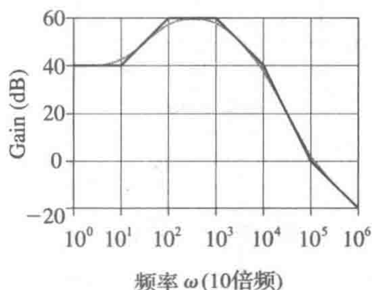


图 6A.2　式(6A.8)增益的线性化伯德图。实体曲线显示了精确的波形

按如下方式绘制线性化伯德图的过程可以显著加快：

- 从低频开始，画出直到第一个非零根的低频渐近线。如果传递函数在原点没有根，那么这个渐近线将会是水平的，否则，在原点处对于每个零/极点，有一个±20-dB/10 倍频斜率。

- 向右前进，会再遇到一个根频率，以±20dB/10 倍频或者－20dB/10 倍频改变当前的斜率，这取决于这个根是一个零点(＋)还是一个极点(－)。
- 继续向右，直到再没有了根。

作为另外一个例子，考虑函数为：

$$a(\mathrm{j}\omega)=10\times\frac{\mathrm{j}\omega(1+\mathrm{j}\omega/10^3)}{(1+\mathrm{j}\omega/10^1)(1+\mathrm{j}\omega/10^2)(1+\mathrm{j}\omega/10^4)} \tag{6A.9}$$

绘制线性幅度图，步骤如下。

- 在低频下，括号内的所有项减小到单位 1，因此低频渐近线为 $a(\mathrm{j}\omega)\approx 10\mathrm{j}\omega=\mathrm{j}\omega/10^{-1}$。这是一个微分函数，其单位增益频率是 $\omega=10^{-1}$ rad/s，因此该渐近线是一个斜率为＋20dB/10 倍频的直线，且在10^{-1} rad/s 处由 0dB 轴截断。
- 从左边开始，画出渐近线，直到在10^1 rad/s 处碰到第一个非零根。
- 由于10^1 rad/s 是一个极点，会将当前的斜率改变－20db/10 倍频，即，将它从＋20 dB/10 倍频变化到＋20－20＝0dB/10 倍频。这产生一个水平的部分，直到下一个根频率10^2 rad/s。
- 由于10^2 rad/s 是一个极点，将斜率从 0 变回到－20dB/10 倍频，一直持续到下一个根10^3 rad/s。
- 由于10^3 rad/s 是一个零点，将斜率从－20dB/10 倍频变回到－20＋20＝0dB/10 倍频，一直持续到下一个根10^4 rad/s。
- 由于10^4 rad/s 是一个极点，会将当前的斜率改变－20db/10 倍频，绘制相应的最后的渐近线。最后的曲线显示在图 6A.3 中。

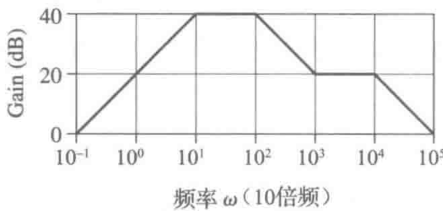


图 6A.3　式(6A.9)增益的线性化伯德图

阻抗图

正如增益曲线一样，阻抗也是以对数刻度绘制的。但是，阻抗是由欧姆表示的(而不是 dB!)，因此虽然水平轴仍然用 10 倍频(或者 8 倍频)，垂直轴现在用 10 倍阻抗标示(或者 8 倍)。为了进一步了解，考虑图 6A.4a，该图显示了阻抗幅度曲线为：

$$Z_R=R=10^3\Omega, Z_C=\frac{1}{\mathrm{j}\omega C}=\frac{1}{\mathrm{j}\omega\,10^{-6}}=-\mathrm{j}\,\frac{10^6}{\omega}$$

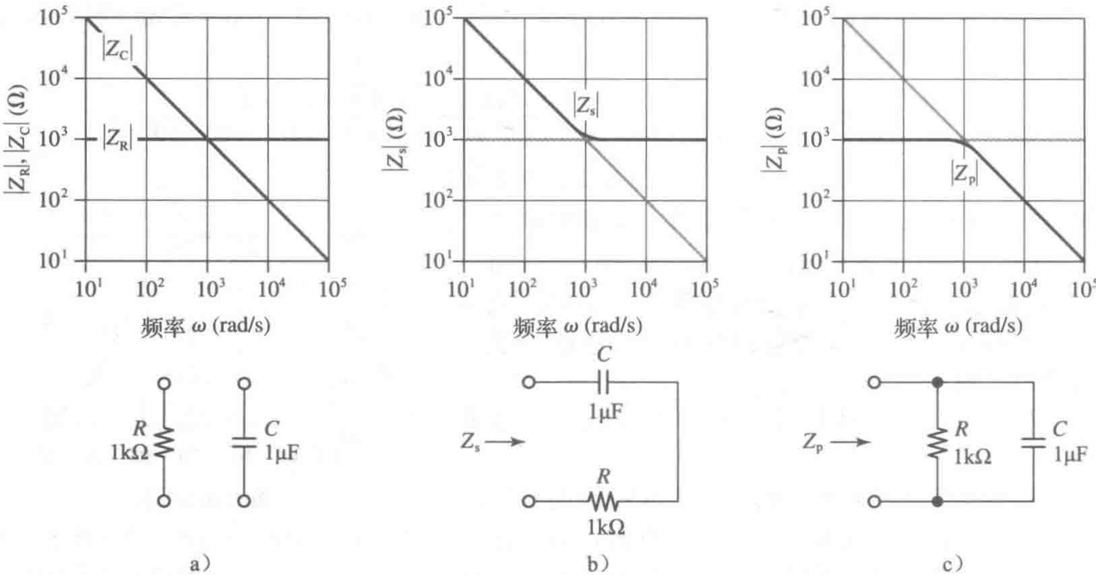


图 6A.4　幅度图 a)单个阻抗 Z_R 和 Z_C，b)它们的串联组合 $Z_s=Z_R+Z_C$，c)它们的并联组合 $Z_P=Z_R/\!/Z_C$

$|Z_R|(=R)$图是一条位于$10^3\,\Omega$的水平线，然而$|Z_C|(=10^6/\omega)$图是一条斜率为-1(10 倍电阻/10 倍频)或简单表示-1(10 倍频/10 倍频)的斜线。而且，两条曲线在$\omega_0=1\text{krad/s}$相交。

得知了单个的$|Z_R|$和$|Z_C|$曲线，构建它们的串联及并联组合Z_s和Z_p的幅值图是有益的，这通过观察就能得出。为此，记得在串联组合中，两个电阻中的较大者起主导作用，而在并联组合中两个电阻中的较小者起主导作用。我们作出以下观察：

- 在低频时，$|Z_C|\gg|Z_R|$，有$Z_s\approx Z_C$及$Z_p\approx Z_R$；
- 在高频时，$|Z_C|\ll|Z_R|$，结果相反，即，$Z_s\approx Z_R$和$Z_p\approx Z_C$；
- 两个阻抗在称为ω_0(在本例中$=1\text{krad/s}$)的特殊频率处，幅度相等(例中$=1\text{k}\Omega$)，因此这个频率标示了低频和高频渐近线之间的断点。利用$|Z_C(j\omega_0)|=|Z_R|$或者$1/(\omega_0 C)=R$，我们容易求出$\omega_0=1/(RC)=(1/(10^3\times10^{-6}))\text{rad/s}=1\text{krad/s}$。在该频率处我们有$|Z_s(j\omega_0)|=R\sqrt{2}$(在该例中$=1.1414\text{k}\Omega$)，及$|Z_p(j\omega_0)|=R\sqrt{2}$(在该例中$=0.707\text{k}\Omega$)。

作为额外的例子，让我们利用上面的直观推理，来描绘图 6A.5 所示网络所表出的等效阻抗Z的幅度图。首先，绘制图 6A.6a 所示的单个阻抗图。然后，从低频开始逐渐向高频移动，基于下面的结论，$|Z|$的图形如图 6A.6b 所示。

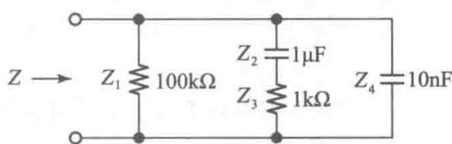
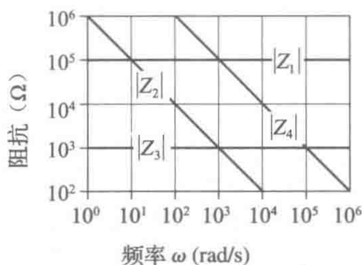
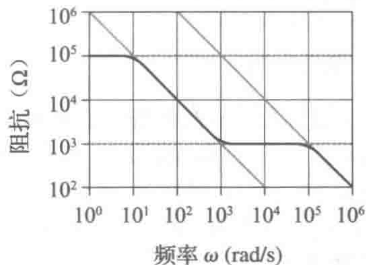


图 6A.5　一个阻抗网络

- 在足够低的频率，其中Z_2和Z_4相当于开路，Z_1起主要作用。
- Z_2在$\omega=10^1\,\text{rad/s}$时起作用，因为$|Z_2|=|Z_1|$。
- Z_2一直起主要作用，直到$\omega=10^3\,\text{rad/s}$为止，此时$Z_3$起作用，且其主导作用一直到$\omega=10^5\,\text{rad/s}$。
- 在最后一个点，Z_4起作用，并在余下的频谱中起主导作用。



a) 图6A.5单个阻抗



b) 整体等效阻抗Z的幅度图

图　6A.6

参考文献

1. R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*, 2/E, J. Wiley and Sons, 1986.
2. P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 5/E, Wiley and Sons, 2009.
3. P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, 2/E, Oxford University Press, 2002.
4. R. T. Howe and C. G. Sodini, *Microelectronics: An Integrated Approach*, Prentice Hall, 1997
5. A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 5/E, Oxford University Press, 2004.
6. R. C. Jaeger and T. N. Blalock, *Microelectronic Circuit Design*, 2/E, McGraw-Hill, 2004.
7. S. Franco, *Electric Circuits Fundamentals*, Oxford University Press, 1995.
8. D. A Hodges and H. G. Jackson, *Analysis and Design of Digital Integrated Circuits*, 2/E, McGraw-Hill, 1988.

习题

6.1 节

6.1　双极型 IC 设计者正在用到 npn BJT 进行平面设计，$C_{je0}=1.0\text{pF}$，$T_f=0.3\text{ns}$，$C_{\mu0}=0.4\text{pF}$，横向 pnp BJT 有 $C_{je0}=0.5\text{pF}$，$T_f=25\text{ns}$，$C_{\mu0}=1.5\text{pF}$。两个器件都有 $|\phi_c|=0.55\text{V}$，$m_c=1/2$。

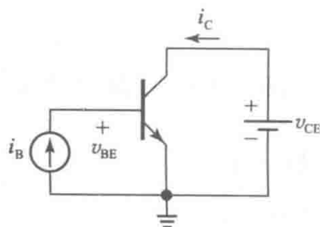
(a) 当 $I_c=1\text{mA}$，基极-集电极反向电压为 5V 时，比较它们的 f_{Ts}，并分析。

(b) 如果 I_c 降为 0.01mA，重复(a)问，并与之比较分析。

6.2　假设题 6.2 图所示的 BJT 有 $C_\mu=40\text{fF}$，频率 $f=500\text{MHZ}$ 时在两个不同的偏置电压下，测量其电流增益 $\beta=I_c/I_b$。

(a) 如果 $I_c=1.0\text{mA}$ 时，$|\beta|=13.5$，$I_c=0.25\text{mA}$ 时，$|\beta|=9.2$，估算 C_{je} 和 T_f。假设这些参数不受直流偏置影响且没有高阶注入效应。

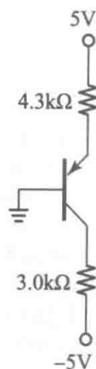
(b) 当 $I_c=0.1\text{mA}$，$f=200\text{MHz}$ 时，求 $|\beta|$？



题 6.2 图

6.3　(a) 画出题 6.3 图所示 pnp 晶体管的高频模型，若 $\beta_0=75$，$V_A=50\text{V}$，$T_f=25\text{ps}$，$r_b=300\Omega$，$C_{je0}=0.5\text{pF}$，$\phi_e=0.8\text{V}$，$m_e=1/3$，$C_{\mu0}=0.3\text{pF}$，$\phi_c=0.6\text{V}$，$m_c=1/2$. 计算 f_T？

(b) 如果 4.3kΩ 的电阻增加为 10kΩ，新的 f_T 是多少？



题 6.3 图

6.4　一个工程师用题 6.2 图所示的结构表征 BJT 的特性。

(a) 假设当 $i_B=0.8\mu\text{A}$，$v_{ce}=0.7\text{V}$ 时，$i_c=100\mu\text{A}$。计算 β_F 的值？

(b) 保持 i_b 为 $0.8\mu\text{A}$，v_{ce} 从 0.7V 变为 5.7V 时，i_c 从 $100\mu\text{A}$ 变化为 $110\mu\text{A}$，计算 V_A 的值？

(c) 如果当 $v_{ce}=0.7\text{V}$ 时，BJT 能够达到的最大 f_T 是 8GHz，计算 τ_F？如果 $D_m=10\text{cm}^2/\text{s}$，计算有效基极宽度 W_B 是多少？

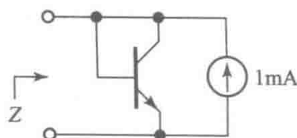
(d) 当 $i_c=0.1\text{mA}$ 时有 $v_{ce}=0.7\text{V}$，$f_T=4\text{Ghz}$,，计算 $C_{je}+C_\mu$？

(e) 如果 v_{ce} 从 0.7V 变为 5.7V，为了保持 i_c 恒定为 $100\mu\text{A}$ 而调整 i_B，导致 f_T 从 4GHz 增加到 4.3GHz，计算 C_{je0} 和 $C_{\mu0}$？假设 $C_{je}=2C_{je0}$，$\phi_c=0.6\text{V}$，$m_c=1/2$。

(f) 假设断开集电极连接，只有 BE 连接。如果 $i_b=100\mu\text{A}$ 时，$v_{be}=650\text{mV}$，$i_b=200\mu\text{A}$ 时，$v_{be}=700\text{mV}$，计算 r_b？

(g) 在工作点 $Q(I_c, V_{ce})=Q(0.5\text{mA}, 3\text{V})$，描绘 BJT 的高频等效电路。

6.5　题 6.5 图所示的 BJT 有 $r_b=300\Omega$，$\beta_0=100$，$f_T=600\text{MHz}$。



题 6.5 图

(a) 假设 $C_\mu=0$，$V_A=\infty$，描绘出高频等效电路。利用物理直觉来预测当 f 趋近 0 和∞时，z 的渐近值。

(b) 利用试验方法求得 $Z(f)$ 的表达式，将其表示为式(6A.1)的标准形式，描绘出 $|Z(jf)|$ 的伯德图。计算其零点和极点频率？

(c) 利用物理直觉来判断如果 $C_\mu=0.5\text{pF}$，伯德图会怎样变化。

6.2 节

6.6　(a) 证明如果电容 $(2/3)WLC_{ox}$ 远大于 FET 中其他的寄生电容，那么

$$f_{T(\max)}\approx\frac{1.5}{\pi L}\sqrt{\frac{\mu_n I_D}{2C_{ox}WL}}$$

这表明 FET 体积越小，工作电流越高，运算速度越快。

(b) 如果 $\mu_n=500\text{cm}^2/(\text{V}\cdot\text{s})$，$C_{ox}=3.5\text{fF}/\mu\text{m}^2$，对于 $W/L=10\mu\text{m}/1\mu\text{m}$，$I_D=$

$100\mu A$ 的 FET，估计其 $f_{T(max)}$。

(c) 如果 I_D 翻倍，重复(b)问。

(d) 如果 W 和 L 减少一半，重复(b)问。

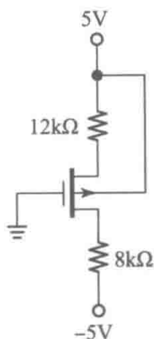
6.7 CMOS IC 设计师正在设计一个 $k'=125\mu A/V^2$，$\lambda=(0.04\mu m/L)V^{-1}$ 的 nMOSFET 管。

(a) 如果想让 $V_{ov}=0.25V$ 时的电流 $I_D=200\mu A$，当 $L=1\mu m$ 时，W 是多少？本征增益 $a_{intrinsic}=g_m r_o$ 是多少？

(b) 假设 $C_{ox}=2.5fF/\mu m^2$，$L_{ov}=0.1L$，$C_{gb}=5fF$，求 C_{gs}，C_{gd} 和 f_T？

(c) 因为对估算的 f_T 不满意，设计者要将 W 减小到(a)问中的 1/4 来减小 C_{gs}，C_{gd} 从而提高 f_T。为保持 $I_d=200\mu A$，需要的 V_{ov} 是多少？新的 $a_{intrinsic}$，C_{gs}，C_{gd} 和 f_T 是多少？

6.8 (a) 如果 $k'=50\mu A/V^2$，$W=10\mu m$，$L=1\mu m$，$V_{t0}=-0.5V$，$r=0.445V_1/2$，$2\phi_n=0.6V$，$\lambda=0.05V^{-1}$。求出题 6.8 图所示 pMOSFET 的静态工作点。

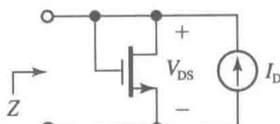


题 6.8 图

(b) 假设 $C_{ox}=3.6fF/\mu m^2$，$L_{ov}=55nm$，$C_{sb0}=C_{db0}=25fF$，$C_{gb}=5fF$，$\phi_0=0.6V$，$m=0.5$. 求出大管的小信号模型的参数值。

(c) 估计 f_T。

6.9 题 6.9 图中二极管连接的 FET 管，有 $V_t=0.5V$，$\phi_0=0.6V$，$m=0.5$。



题 6.9 图

(a) 如果 $I_D=0.28mA$ 时，有 $V_{ds}=1.5V$，$I_D=1.2mA$ 时，有 $V_{ds}=2.5V$，求 k 和 λ 的值。

(b) 如果 $(I_d, V_{ds})=(0.28mA, 1.5V)$，$C_{gs}=(2/3)WLC_{ox}+WL_{ov}C_{ox}+C_{gb}=(30+2+3)fF$，$C_{db}=5fF$，画出小信号模型。从中算出小信号阻抗 $Z(jf)$，并画出 $|Z(jf)|$ 的伯德图。

(c) 如果 $(I_D, V_{DS})=(1.2mA, 2.5V)$，重复(b)。

6.3 节

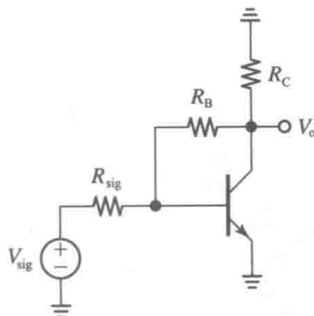
6.10 讨论图 6.14a 所示的 CE 放大器的频率响应，源极接高电阻 R_{sig}。

(a) 证明如果 $R_{sig}\gg r_b+r_\pi$，低频增益可估计为 $a_0=-\beta_0[(R_c//r_0)/R_{sig}]$.

(b) 证明如果 $g_m(R_c // r_0)C_\pi \gg C_\pi$，$-3dB$ 频率可估计为 $1/[2\pi\beta_0(R_c//r_0)C_\mu]$，增益带宽积为 $GBP=1/(2\pi R_{sig}C_\mu)$

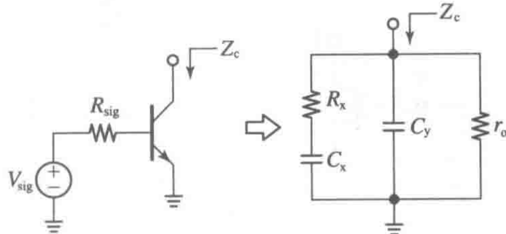
(c) BJT 有 $\beta_0=125$，$V_A=75V$，$r_b=200\Omega$，$C_\mu=1pF$。假设 BJT 集电极电流 $I_C=1mA$，外部阻抗 $R_{sig}=30k\Omega$，$R_c=10k\Omega$。画出增益的伯德图，并分析结果。

6.11 题 6.11 图所示的放大器采用了反馈偏置结构。假设 BJT 的 $I_c=1mA$，$\beta_0=150$，$V_A=75V$，$r_b=300\Omega$，$f_T=500MHz$，$C_\mu=0.3pF$. 如果 $R_{sig}=1k\Omega$，$R_c=10k\Omega$，$R_b=100k\Omega$，估算 a_0 和 f_{-3dB}。



题 6.11 图

6.12 (a) 证明只要 $C_\mu \ll C_\pi$，从题 6.12 图所示的 BJT 集电极看进去的小信号阻抗 Z_c 能用题 6.12 图右边所示的无源网络表示。求 R_x，C_x，C_y 的表达式。



题 6.12 图

(b) 如果 BJT 有 $g_m=1/(40\Omega)$，$\beta_0=150$，$r_0=100k\Omega$，$r_b=300\Omega$，$f_T=400MHz$，$C_\mu=0.45pF$，$C_s=0.55pF$，源极电阻为 $R_{sig}=2k\Omega$，计算 R_x、C_x、C_y。

(c) 画出从 1kHz 到 10GHz 的 $|Z_c(jf)|$ 的伯德图。

6.13 本题探讨图 6.15a 所示 CS 放大器的频率响应。

(a) 令 $R_{sig}=0$，重新画出图 6.15a 所示的高频等效电路，添加电容 C_L 和 R_D 并联。在输出节点写出节点方程，证明

$$\frac{V_o}{V_{sig}}=a_0\frac{1-jf/f_z}{1+jf/f_p}$$

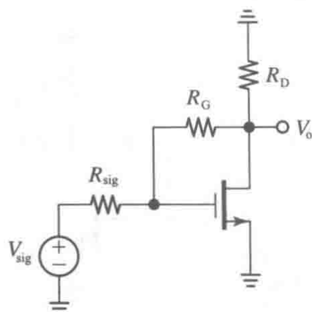
其中，$a_0=-g_m(R_D/\!/r_o)$；$f_z=\dfrac{g_m}{2\pi C_{gd}}$；

$$f_p=\frac{1}{2\pi(R_D/\!/r_o)(C_{gd}+C_L)}$$

(b) 研究 $g_m=1.8\text{mA/V}$，$r_0=50\text{k}\Omega$，$C_{gd}=0.5\text{pF}$ 的 FET 管，驱动 $R_d=10\text{k}\Omega$，$C_L=2\text{pF}$ 时的具体情况。

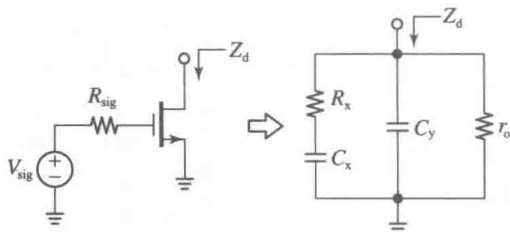
(c) 画出增益的伯德图，估算放大器的 GBP。

6.14 题 6.14 图所示的 CS 放大器用到了反馈偏置。假设 FET 管的 $g_m=1.5\text{mA/V}$，$r_0=50\text{k}\Omega$，$C_{gs}=2\text{pF}$，$C_{gd}=0.2\text{pF}$。估算当 $R_{sig}=100\text{k}\Omega$，$R_d=10\text{k}\Omega$，$R_g=3\text{M}\Omega$ 时的 a_0 和 f_{-3dB}。



题 6.14 图

6.15 (a) 证明只要 $C_{gd}\ll C_{gs}$，从题 6.15 图所示 FET 漏端看进去的小信号阻抗 Z_d 能被右边的网络模拟。求出 R_x，C_x，C_y 的表达式。



题 6.15 图

提示：对左边的高频等效电路应用测试方法，并用条件 $C_{gd}\ll C_{gs}$ 来简化计算。

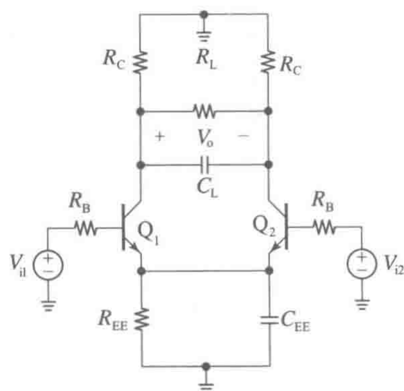
(b) 如果 FET 有 $g_m=2\text{mA/V}$，$r_0=50\text{k}\Omega$，$C_{gs}=100\text{fF}$，$C_{gd}=10\text{fF}$，$C_{db}=20\text{fF}$，$R_{sig}=10\text{k}\Omega$，计算 R_x，C_x，C_y。

提示：先画出阻抗 $|Z_x|=|R_x+1/sC_x|$。再从物理角度解释加入并联电阻 r_o 产生的影响。最后，再从物理角度解释加入电容 C_y 的影响。

(c) 画出从 1MHZ 到 10GHZ，$|Z_d(jf)|$ 的幅频曲线(用对数形式)。

6.4 节

6.16 题 6.16 图所示的是双极差分放大器的等效交流电路。令 $g_m=1/50\Omega$，$\beta_0=250$，$r_0=120\text{k}\Omega$，$r_b=250\Omega$，$f_T=400\text{MHz}$，$C_\mu=0.45\text{pF}$，$C_s=1\text{pF}$. 此外，令 $R_b=2\text{k}\Omega$，$R_c=10\text{k}\Omega$，$R_L=50\text{k}\Omega$，$C_L=4.5\text{pF}$。

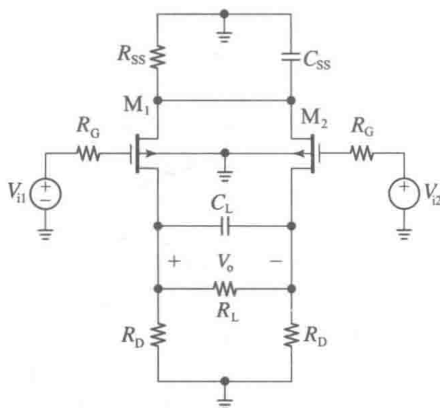


题 6.16 图

(a) 利用半边电路技术，计算 $a_{dm}(jf)$ 的低频值，以及零点频率和两个极点频率，并计算放大器的 GBP?

(b) 如果 $R_{ee}=3\text{M}\Omega$，$C_{ee}=0.35\text{pF}$，利用半边电路技术，来估算 $a_{dm}(jf)$ 的低频值以及零点频率。

6.17 题 6.17 图所示的是一个 CMOS 差分放大器的交流等效电路。参数 $g_m=2.5\text{mA/V}$，$x=0.2$，$r_o=100\text{k}\Omega$，$f_T=750\text{Mhz}$，$C_{gd}=30\text{fF}$，$C_{db}=100\text{fF}$，$R_g=3\text{k}\Omega$，$R_d=20\text{k}\Omega$，$R_L=75\text{k}\Omega$，$C_L=0.45\text{pF}$。



题 6.17 图

(a) 利用半边电路算出 $a_{dm}(jf)$ 的低频值以及零点和两个极点的频率。计算放大器的 GBP。

(b) 如果 $R_{SS}=1M\Omega$，$C_{SS}=50fF$，利用半边电路算出 $a_{dm}(jf)$ 的低频值以及零点频率。

6.5 节

6.18 (a) 证明如果图 6.30a 所示的发射极满足 $g_m(R_{sig}+r_b)=1$，那么只要 $C_\mu=0$，则 $a_\infty=a_0$，$Z_{o\infty}=Z_{o0}$。

(b) 求出例 6.11 中能够满足(a)问条件的发射极电流的值。

(c) 假设 z_π 在每个拐点频率处都可以忽略。在(b)问中 $C_\mu=1pF$ 的条件下，画出 $a(jf)$ 和 $Z_o(jf)$ 的伯德图。并用 PSpice 验证。

6.19 (a) 假设 $C_\mu=0$，证明图 6.30a 所示的发射极增益有零极点对，即

$$\omega_{pa}=\frac{(\beta_0+1)R_2+R_1+r_\pi}{(R_1+R_2)r_\pi C_\pi}$$

$$\omega_{za}=\frac{1}{r_e C_\pi}$$

其中，$R_1=R_{sig}+r_b$；$R_2=R_L /\!/ r_o$

提示：将式(6.60)的增益形式展开，将其变成式(6.63)的标准形式。

(b) 证明 Z_i 有零极点对，即

$$\omega_{pi}=\frac{1}{r_\pi C_\pi}$$

$$\omega_{zi}=\frac{(\beta_0+1)R_2+r_b+r_\pi}{(r_b+R_2)r_\pi C_\pi}$$

(c) 证明 Z_o 有零极点对，即

$$\omega_{zo}=\frac{1}{(R /\!/ r_\pi)C_\pi}$$

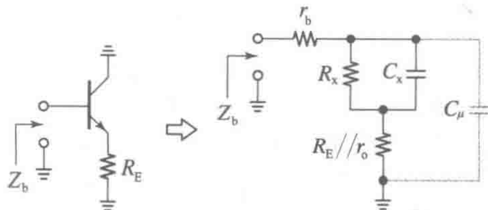
$$\omega_{po}=\frac{(\beta_0+1)r_o+R_1+r_\pi}{(R_1+r_o)r_\pi C_\pi}$$

如果 β 很大的，上面的表达式怎么简化？

6.20 (a) 证明从题 6.20 图所示 BJT 的基极看进去的阻抗 Z_b 能够用右边的网络模拟。

提示：应用左侧高频等效电路的判断方法，把 Z_b 表示为 $Z_b=r_b+[R_x//(1/sC_x)]=(R_E//r_o)$。首先在 $C_\mu=0$，最后在电路中加入 C_μ 的情况下证明。求 R_x 与 C_x 的表达式。

(b) 利用例 6.11 中的数据计算所有参数值。

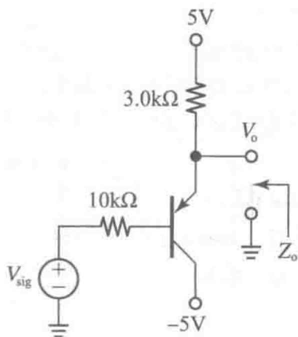


题 6.20 图

6.21 题 6.21 图所示的是一个横向 pnp BJT，参数为 $B_{eb(on)}=0.7V$，$\beta_F=50$，$r_b=250\Omega$，$V_A=50V$，$C_{je}=0.6pF$，$C_\mu=0.3pF$，$T_f=15ns$。

(a) 假设 $C_\mu=0$，求增益 $a(jf)$。

(b) 计算出模拟 $Z_o(jf)$ 的感性网络的参数值。



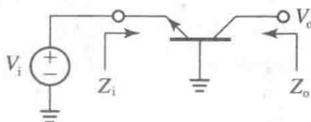
题 6.21 图

6.22 图 6.35a 所示电流缓冲器的 BJT 参数为 $\beta_0=125$，$C_\pi=20pF$，偏置电流 $I_c=2mA$。

(a) 假设 $r_b=0$，画出 $|a_{sc}(jf)|$ 和 $|Z_i(jf)|$ 从 1MHz 到 10GHz 的伯德图(用对数形式)。

(b) 假设 $r_b=265\Omega$，重复(a)问，比较并评论。

6.23 本习题研究作为电压放大器的 CB 结构。假设题 6.23 图所示的集电极接理想有源负载，画出增益 $a(j\omega)=V_o/V_i$ 和 $Z_i(j\omega)$、$Z_o(j\omega)$ 的伯德图，参数为 $g_m=25mA/V$，$r_\pi=6k\Omega$，$r_o=100k\Omega$，$C_\pi=10pF$，$C_\mu=0.25pF$，$C_s=0.5pF$。假设 $r_b=0$.



题 6.23 图

6.6 节

6.24 (a) 推导式(6.72)中 MOS 缓冲器的输入阻抗特性。

(b) 推导式(6.74)中的输出阻抗特性。

6.25 (a) 画出图 6.14a 所示源跟随器的 $|Z_o(jf)|$ 的伯德图。

(b) 如果 $R_{sig}=100\Omega$，重复(a)问。

(c) 如果 $R_{sig}=1k\Omega$，重复(a)问，比较三个例题，并讨论。

6.26 (a) 假设 C_{gb}，C_{gd}，C_{sb} 和 C_{gs} 相比都可忽略，证明题 6.26 图所示源跟随器的输入阻抗 Z_i 可以用 R_g 与 C_x，R_x 串联组合的并联表示。求出 C_x，R_x 的表达式。

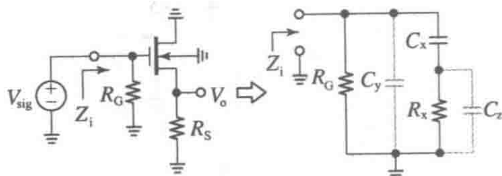
(b) 如果 $R_g=100k\Omega$，$R_s=2k\Omega$，FET 有参

数 $k=4\text{mA/V}^2$，$\lambda=0.05\text{V}^{-1}$，$x=0.125$，$C_{gs}=3\text{pF}$，$I_D=2\text{mA}$，求出 C_x，R_x的值。

(c) 画出$|Z_i(jf)|$从 100kHz 到 10Ghz 的伯德图。

(d) 考虑 $C_{gb}=50\text{fF}$，$C_{gd}=100\text{fF}$，$C_{sb}=500\text{fF}$. 考虑这些电容的存在，模型中需要增加 C_y，C_z，如题 6.26 图所示。C_y和 C_z模型的值是多少。

(e) 讨论 C_y，C_z对(c)问中伯德图的影响。

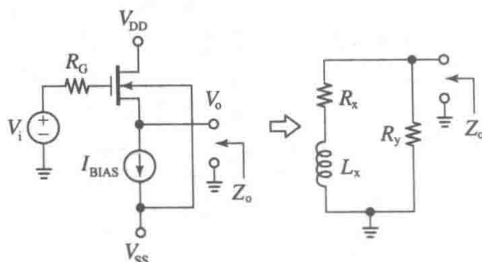


题 6.26 图

6.27 (a) 假设题 6.27 图所示 C_{gb}，C_{gd}，C_{sb}相比于 C_{gs}可忽略，如果 $R_g=5\text{k}\Omega$，$I_{BIAS}=1\text{mA}$，$k=2\text{mA/V}^2$，
$\lambda=0.05\text{V}^{-1}$，$\chi=0.125$，$C_{gs}=1\text{pF}$，计算 R_x，L_x。

(b) 画出从 1Mhz 到 100Ghz 的$|Z_o(jf)|$的伯德图。

(c) 如果 $C_{gb}=C_{gd}=50\text{fF}$，$C_{sb}=100\text{fF}$，讨论伯德图的变化。



题 6.27 图

6.28 (a) 对于图 6.14b 所示的等效电路，有$Z_0=Z_{o1}/\!/Z_{o2}$，其中 Z_{o2}是 $C_{gd}+C_{db}$的阻抗，$Z_{o1}=R_{o1}+1/(sC_{o1})$是电路其余部分的阻抗。求出 R_{o1}和 C_{o1}的表达式，证明式(6.78)。

(b) 假设 $g_m+g_{mb}=0.5\text{mA/V}$，$r_o=20\text{k}\Omega$，$C_{gs}+C_{sb}=450\text{fF}$，$C_{gd}+C_{db}=100\text{fF}$，画出 $Z_{o1}(jf)$，$Z_{o2}(jf)$，$Z_o(jf)$的伯德图。

(c) 如果信号源有并联电阻 $R_{sig}=30\text{k}\Omega$，$Z_o(jf)$的伯德图怎样变化。

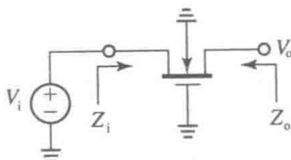
6.29 图 6.41 所示电流缓冲器中的 FET 有 $k=2.5\ \text{mA/V}^2$，$\chi=0.1$，$C_{gs}+C_{sb}=1\text{pF}$，且 $C_{gd}+C_{db}=100\text{fF}$，$I_d=1.25\text{mA}$。

(a) 假设$\lambda=0$，画出$|Z_i(jf)|$的伯德图。

(b) 如果$\lambda=1/(20\text{V})$，画出$|Z_o(jf)|$的伯德图。

(c) 假设 $R_L=0$，$R_L=1\text{k}\Omega$，画出$|a(jf)|$的伯德图，比较并讨论。

6.30 本题研究作为电压放大器的 CG 结构。根据题 6.30 图所示的小信号等效电路，假设 $g_m+g_{mb}=0.35\text{mA/V}$，$r_o=40\text{k}\Omega$，$C_{gs}+C_{sb}=750\text{fF}$，且 $C_{gd}+C_{db}=150\text{fF}$，画出没有负载情况下的电压增益伯德图 V_o/V_i，及阻抗 Z_i，Z_o。



题 6.30 图

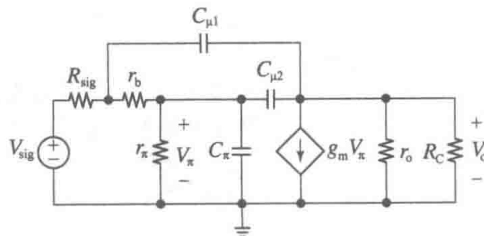
6.7 节

6.31 一个学生正在用 $f_{-3db}=995\text{kHz}$ 的放大器做实验，想要找出 X 和 Y 节点间的寄生电容 C_{xy}和等效电阻 R_{xy}的影响。已知 $f_{-3dB}=1/[2\pi(R_{xy}C_{xy}+\tau_{rest})]$，$\tau_{rest}$是其余等效电容的总时间常数，该学生想在不同负载情况下测出 f_{-3db}的值来间接求出 R_{xy}和 C_{xy}.

(a) 如果连接外部电容 $C_{ext}=10\text{pF}$，降低了带宽到 $f_{-3db}=612\text{kHz}$，求出 R_x的值。

(b) 如果该学生将 $R_{ext}=R_x$与 C_{ext}并联，发现 $f_{-3db}=884\text{khz}$，求出 C_x，τ_{rest}。

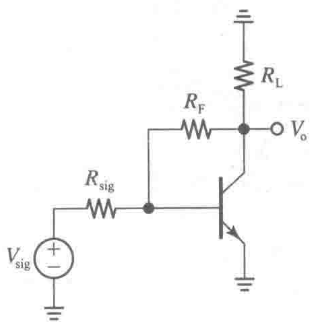
6.32 由于 r_b的分布式特性，我们可以把 C_μ分成两个部分来更好估计 BJT 的高频特性，如题 6.32 图所示。假设 $R_{sig}=1\text{k}\Omega$，$r_b=300\Omega$，$\beta_0=100$，$g_m=1/(15\Omega)$，$r_o/\!/R_L=10\text{k}\Omega$，
$C_\pi=10\text{pF}$ 且 $C_{\mu1}=C_{\mu2}=0.5\text{pF}$，通过 OCTC 分析估计 f_{-3db}值。分析在什么情况下可以把 $C_{\mu1}$和 $C_{\mu2}$合并分析。



题 6.32 图

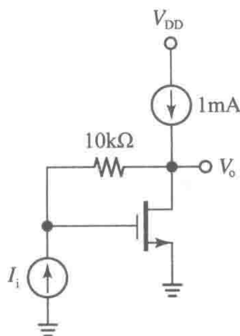
6.33 对于题 6.33 图所示的反馈偏置放大器交流电路，算出低频增益 $a_0=v_o/v_{sig}$，利用 OCTC 分析来估计 f_{-3db}值。参数为 $R_{sig}=1\text{k}\Omega$，$R_F=100\text{k}\Omega$，$r_o/\!/R_L=5\text{k}\Omega$，$g_m=1/$

(25Ω)，$r_\pi=5\text{k}\Omega$，$C_\pi=15\text{pF}$，$C_\mu=0.5\text{pF}$，$C_S+C_L=2\text{pF}$。



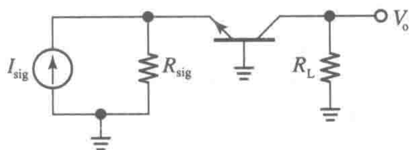
题6.33图

6.34 对于题6.34图所示的 I/V 变换器，计算低频增益 $a_0=v_o/v_i$，利用OCTC分析来估计 f_{-3db} 值。假设 $k=2\ \text{mA/V}^2$，$\lambda=0.04\text{V}^{-1}$，$C_{gs}=1\text{pF}$，$C_{gd}=0.1\text{pF}$，$C_{db}+C_L=1\text{pF}$。



题6.34图

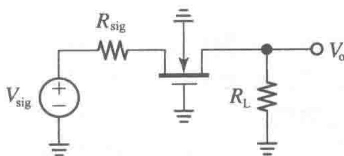
6.35 本题研究作为 I/V 转换器的共基极结构。参考题6.35图所示的交流等效电路，已知 $R_{sig}=R_L=10\text{k}\Omega$，算出低频增益 $a_0=v_o/v_{sig}$，利用OCTC分析来估计 f_{-3db} 值，BJT被偏置在 $I_C=0.5\text{mA}$，且有 $\beta_0=150$，$r_b=250\Omega$，$V_A=50\text{V}$，$C_\pi=10\text{pF}$，$C_\mu=0.25\text{pF}$，$C_s+C_L=1\text{pF}$。



题6.35图

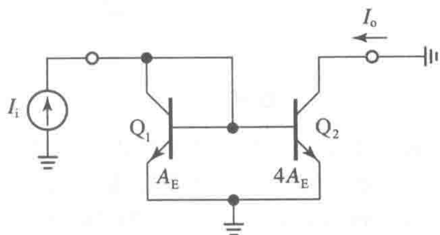
6.36 本题研究作为电压放大器的共栅极结构，并假设 r_o 无穷大。如题6.36图所示，已知 $R_{sig}=3\text{k}\Omega$，$R_L=30\text{k}\Omega$，算出低频增益 $a_0=v_o/v_{sig}$，利用OCTC分析来估计 f_{-3dB} 值。假定FET有 $g_m=1.25\text{mA/V}$，$\chi=0.2$，$r_o=15\text{k}\Omega$，$C_{gs}=250\text{fF}$，$C_{gd}+C_{db}=100\text{fF}$

6.37 题6.37图所示的是作为高频电流放大器使用的双极型电流镜的交流等效电路。因为



题6.36图

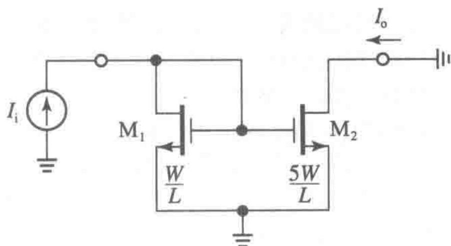
Q_2 的发射区是 Q_1 的4倍，电流镜提供4A/A的增益值。画出高频小信号等效电路，假设二极管连接的晶体管 Q_1 偏置电流为0.25mA，算出低频增益 $a_0=i_o/i_i$，利用OCTC分析来估计 f_{-3db} 值，参数值如下 $\beta_{01}=\beta_{02}=250$，$\tau_{F1}=\tau_{F2}=0.25\text{ns}$，$C_{je2}=4C_{je1}=4\text{pF}$，$C_{\mu2}=4C_{\mu1}=1\text{pF}$，$C_{s2}=4C_{s1}=6\text{pF}$。解释电路为什么适用于高频环境。



题6.37图

6.38 (a) 题6.38图所示的是作为高频电流放大器的MOS电流镜的等效交流电路。由于 M_2 的沟道宽度是 M_1 的5倍，电流镜的增益为5A/A。画出高频等效小信号电路；假设 M_1 偏置电流为0.2mA，算出低频增益 $a_0=i_o/i_i$，利用OCTC分析来估计 f_{-3db} 值，参数为：$k_2=5k_1=12.5\ \text{mA/V}^2$，$\lambda_2=\lambda_1=0.05\text{V}^{-1}$，$C_{gs2}=5C_{gs1}=1\text{pF}$，$C_{gd2}=5C_{gd1}=200\text{fF}$，$C_{db2}=5C_{db1}=50\text{fF}$。

(b) 如果 M_2 的漏端接负载 $R_L=2\text{k}\Omega$，重复(a)问。与(a)问比较并讨论。

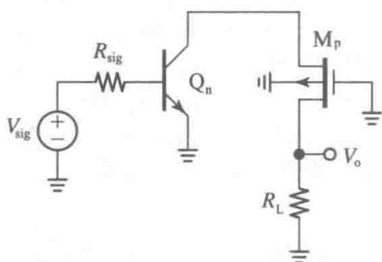


题6.38图

6.39 重新考虑例6.9中的EC对，但在发射极上串联负反馈电阻 $R_{e1}=R_{e2}=200\Omega$。假设直流偏置条件和内部电容值不受 R_{e1} 和 R_{e2} 的影响，用OCTC分析以及半边电路，分析负反馈电阻如何影响 $a_{dm}(jf)\ a_{cm}(jf)$

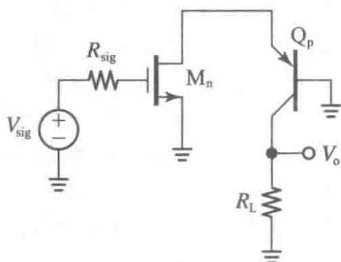
$|a_{dm}(jf)/a_{cm}(jf)|$。

6.40　对于题 6.40 图所示的 BiCMOS 折叠共源共栅电路，如果 $R_{sig}=2k\Omega$，$R_l=100k\Omega$，算出低频增益 $a_0=v_o/v_{sig}$，利用 OCTC 分析来估计 f_{-3db} 值。晶体管偏置电流为 0.5mA，参数为 $f_T=500Mhz$，$\beta_{01}=250$，$V_A=50V$，$r_b=250\Omega$，$C_\mu=C_s=0.25pF$，$k=2.25\ mA/V^2$，$\lambda=1/(20V)$，$X=0.2$，$C_{gd}=C_{db}=50fF$。



题 6.40 图

6.41　对于题 6.41 图所示的 BiCMOS 折叠共源共栅电路，如果 $R_{sig}=10k\Omega$，$R_l=100k\Omega$，算出低频增益 $a_0=v_o/v_{sig}$，用 OCTC 分析来估计 f_{-3db} 值。假设晶体管偏置电流为 0.25mA，$f_T=400Mhz$。$k=1.28\ mA/V^2$，$\lambda=1/(15V)$，$C_{gd}=C_{db}=25fF$，Q_p 有 $\beta_{01}=200$，$V_A=50V$，$C_\mu=C_s=0.25pF$。



题 6.41 图

6.9 节

6.42　如果恒定增益带宽积的运算放大器在 $f=10Hz$ 时的增益是 80dB，在 $f=320Hz$ 时相位是 $-58°$，估计 a_0，f_b，f_t，GBP。当 $f=440Hz$ 时，求出增益和相位。

6.43　(a) 讨论 μA741 的第二级负载增益 $a_{20}=G_{m2}(R_{o2}/\!/R_{i3})$变化±10%，对参数 a_0，f_b，f_t，SR 的影响。

(b) 如果 C_c变化±10%，重复(a)问。

6.44　一个 GBP 恒定的运放由两个反相级组成，每一级的直流增益分别是$-G_{m1}R_1$ 和$-G_{m2}R_2$，且在第二级中通过电容 C_c进行了米勒补偿。

(a)如果差分输入对偏置电流为 $I_1=50\mu A$，运算放大器 SR 为 $5V/\mu s$，求 C_c。

(b) 如果在电压跟随状态，小信号瞬态响应的时间常数 $T=40ns$，求出对应于 SR 限制的 V_m值。

(c) 如果总的直流增益 $a_0=100dB$，求出 f_b 及从 C_c看到的等效阻抗 R_{eq}。

(d) 如果第二级的增益时第一级的 1.6 倍，求出米勒效应的有效电容，及第一级的 G_{m1}和 R_1。

6.45　一个图 5.13 所示类型的两级 CMOS 运算放大器有 $C_c=2pF$，且制造工艺为 $k'_p=65\mu A/V^2$，$\lambda_n=0.02V^{-1}$，及 $\lambda_p=0.05V^{-1}$。如果 $SR=40V/\mu s$ 及 $f_t=25MHz$，求出 SC 输入对的偏置电流 I_{SS}，过驱动电压 V_{OV}和单个 SC 晶体管 W/L 比值，以及第一级的直流增益 a_{10}。

6.46　(a) 对于图 5.16 所示的折叠共源共栅放大器，如果输出负载为 $C_L=3pF$，则 SR 从 $60V/\mu s$ 变为 $24V/\mu s$，求出差分输入对的偏置电流 I_{SS}以及输出节点寄生电容 C_o。

(b) 如果输出负载为 $R_L=10M\Omega$，输出增益 a_0从 5 000V/V 变为 2 500V/V，求出输出电阻 R_o。

(c) 求出差分对晶体管的过驱动电压 V_{ov}，拐点频率 f_b，无负载下的 GBP。

(d) 如果负载为 $C_L=2pF$，求出 a_0，GBP，SR。

(e) 如果负载为 $R_L=15M\Omega$，重复(d)问。

(f) 如果负载电容和电阻同时存在，重复(d)问。

6.47　假设例 5.4 中的折叠共源共栅放大器的 $W_9=W_{10}=24\mu m$，而不是 $40\mu m$。

(a) 假设 $C_c=2.5pF$，求出 a_0，f_b，f_t，同例 6.23(b)问比较分析。

(b) 在正 SR 限制时，求出所有漏极电流，和例 6.6(b)问比较。

(c) 在负 SR 限制时，重复(b)问。

(d) 讨论正确和错误电路间主要的区别。

6.48　对于图 5.16 所示的折叠共源共栅放大器，考虑：$I_{BIAS}=1.2I_{SS}$，所有的管子工作在相同的过驱动电压下。放大器增益为 7 500V/V，对于 6pF 的输出负载，摆率为 $20V/\mu s$。

(a) 如果 $\lambda_n=\lambda_p=1/(22V)$，求出 V_{OV}，I_{SS}，I_{BIAS}。

(b) 对于给定负载，求出 GBP。

(c) 如果 C_L翻倍，会有哪些变化？

6.10 节

6.49　由于受到 v_d影响，连接处电容是非线性的。对于 $\Delta V_D=V_{D2}-V_{D1}$，利用等效电容 $C_{j(eq)}$来简化计算响应，将电荷总量表示为$\Delta Q_j=Q_j(V_{D2})-Q_j(V_{D1})$，即

$$\Delta Q_j=C_{j(eq)}\Delta V_D=\int_{V_{D1}}^{V_{D2}}C_j(v_D)dv_D$$

(a) 利用式(6.118)计算上式，证明：

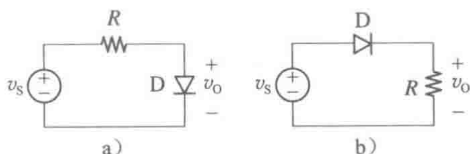
$$C_{j(eq)}=\frac{-C_{j0}\phi_0}{(V_{D2}-V_{D1})\times(1-m)}\times\left[\left(1-\frac{V_{D2}}{\phi_0}\right)^{1-m}-\left(1-\frac{V_{D1}}{\phi_0}\right)^{1-m}\right]$$

(b) 参考图 6.68 所示电路，计算当 v_d 从 −2V 变到 0.6V 时的 $C_{j(eq)}$，和估计值 $C_j=\sim C_{j0}$ 比较。

6.50 (a) 如果要把 t_S 降低一半，图 6.68 所示电路中的 V_r 要降到多少？

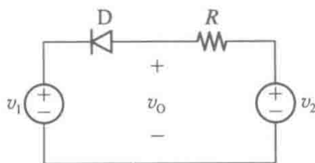
(b) 假设减小图 6.68 所示电路中脉冲的时间，从而使 v_S 从 V_f 变到 V_r 只要 15ns。计算 t_S，分析。

6.51 题 6.51 图所示电路中，令 $R=3\text{k}\Omega$，二极管有 $V_d=0.7\text{V}$。假设题 6.51 图 a 所示的 v_S 在保持 4V 足够长时间后，变到 −4V，充电时间为 25ns。如果 D 和 R 如题 6.51 图 b 所示，v_S 在保持 5V 长时间后，在 $t=0$ 时变到 −5V，画出 $t\geqslant 0$ 时 v_S 和 v_O 随时间的变化并分析(假设 C_j 是常数 5pF 以简化计算)。



题 6.51 图

6.52 在题 6.52 图所示电路中，$R=2\text{k}\Omega$，$v_2=2.5\text{V}$，二极管有 $V_{d(on)}=0.7\text{V}$，$T_f=20\text{ns}$。



题 6.52 图

(a) 如果 v_1 在保持 0V 很长时间后，在 $t=0$ 时变到 5V，画出 $t\geqslant 0$ 时 v_1 和 v_O 随时间的变化(假设 C_j 是常数 5pF 以简化计算)。

(b) 如果 v_1 变到 2.5V(而不是 5V)，重复(a)。

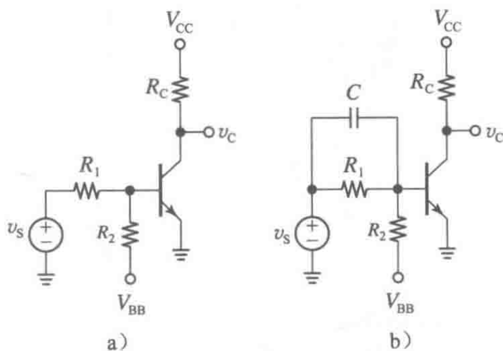
6.11 节

6.53 题 6.53 图所示的 BJT 有 $\tau_F=2\text{ns}$，$C_{je0}=5\text{pF}$，$\phi_e=0.8\text{V}$，$m_e=0.33$，$C_{jc0}=1\text{pF}$，$\phi_c=0.75\text{V}$，$m_c=0.33$，$V_{BE(EOC)}=0.6\text{V}$，$V_{CE(EOS)}=0.2\text{V}$。令 $V_{CC}=-V_{BB}=5\text{V}$，$R_1=3\text{k}\Omega$，$R_2=10\text{k}\Omega$，$R_C=1\text{k}\Omega$.

(a) 如果题 6.53a 图所示电路中，v_S 在一段长时间内保持为 0 之后，变到 +5V，求出 BJT 达到 EOC 需要的时间？(用习题 6.49 中的公式来计算 $C_{je(eq)}$ 和 $C_{jc(eq)}$)

(b) 通过在题 6.53b 图所示电路中加一个电容 C 可以使 t_{EOC} 趋近 0，其值为 C_{eoc}，当 v_s 从 0 变到 5V 时，这个值可以提供将 BJT 驱动到 EOC 需要的电荷。所需的 C_{eoc} 是多少？

(c) 事实上，我们可以进一步将电容增加到 C_{EOS}，这是驱动 BJT 从 CO 态，通过 FA 态，再到 EOS 态所需的值。C_{EOS} 的值是多少？



题 6.53 图

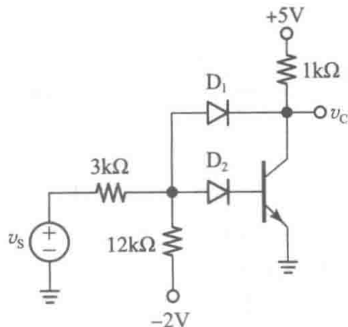
6.54 令题 6.53a 图所示的 BJT 有 $V_{BE(sat)}=0.7\text{V}$，$V_{CE(EOS)}=0.2\text{V}$，$V_{CE(sat)}=0.1\text{V}$，$\beta_F=75$。且令 $V_{CC}=5\text{V}$，$V_{BB}=-2\text{V}$，$R_1=10\text{k}\Omega$，$R_2=20\text{k}\Omega$，$R_C=1.2\text{k}\Omega$。

(a) 如果 v_S 在保持 5V 一段时间后，变到 0V，存储时间为 $t_S=30\text{ns}$，求出时间常数 τ_S。

(b) 在题 6.53b 图所示电路中加一个电容 C 使 t_S 变到 0，调整其到 C_{EOS}，使得在 v_S 从 5V 变到 0V 时，BJT 到达 EOS。求出 C_{EOS}？

(c) 如果 C 为 $C_{EOS}/2$，求出 t_S。

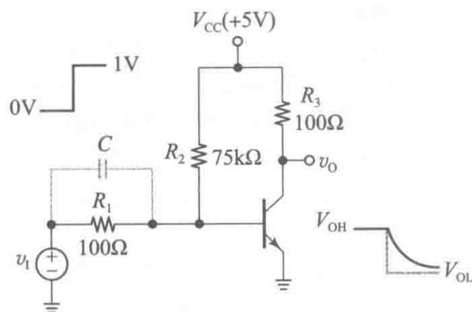
6.55 题 6.55 图所示的电路称为贝克(Baker)钳位电路，其在 SBD 普及之前常被用到，其利用两个二极管防止 BJT 进入饱和区。假设 $V_{be}=V_d=0.7\text{V}$，对于 $v_s=0$ 和 $v_s=5\text{V}$，分别求出所有电压和电流值。



题 6.55 图

6.56 题 6.56 图所示的 BJT 工作在 FA 区，Δv_{BE} 足够小，以致可以忽略 ΔQ_{je}。而且，R_3 很

小，从而 Δv_{BC} 也很小，可以忽略 ΔQ_{jc} 在这些条件下，式(6.128)化简为 $i_B = Q_F/\tau_{BF} + dQ_F/dt$。



题 6.56 图

(a) 假设在输入为 1V 阶跃响应的情况下，产生了 0.1V 的指数瞬态响应，求出 β_F，V_{OH}，V_{OL}。

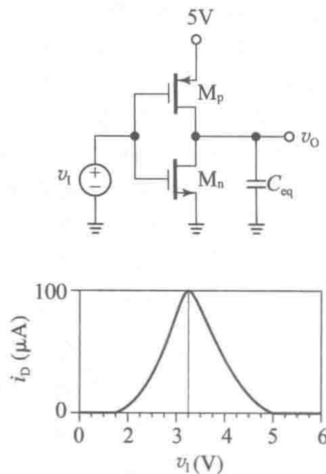
(b) 假设加一个电容并调整其值，直到输出变化过程与虚线完全吻合。如果 C=2pF，求出 T_{bf} 和 T_F。

(c) 在 C=1pF，C=3pF 的两种情况下，画出 v_O 随时间变化而变化的曲线。

(d) 如果 C=2pF，R_1 从电路中移除，画出 v_O 随时间变化而变化的曲线。

6.12 节

6.57 如果题 6.57 图所示 CMOS 反相器的传递函数如题 6.57 的下图所示，当寄生电容为 C_{eq}=1pF 时，求出 t_{phl} 和 t_{plh}？



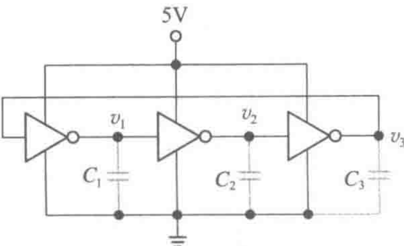
题 6.57 图

6.58 (a) 题 6.58 图所示电路中，三个 CMOS 反相器连成一个环。画出 v_1，v_2，v_3 随时间变化而变化的图形，证明电路将发生振荡。求出振荡频率 f_{osc} 和平均传播时延 t_p 之间的关系。

(b) 如果在环路中加入第 4 个反相器，有哪些变化？加入第 5 个呢？得出什么结论？

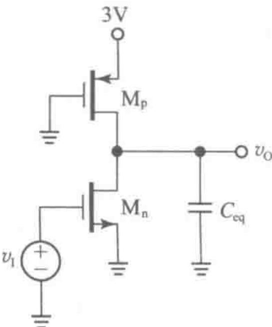
(c) 如图中虚线所示，栅极接了三个外部电容 $C_1 = C_2 = C_3 = 2$pF，使得 f_{osc} 从 300MHz 变到 100MHz，估计每个节点的寄净生电容，以及每个栅提供的对 C_{stray} 充/放电的平均电流。

(d) 如果电路在 v_3 处驱动一个 5pF 容性负载，求出振荡频率并讨论。



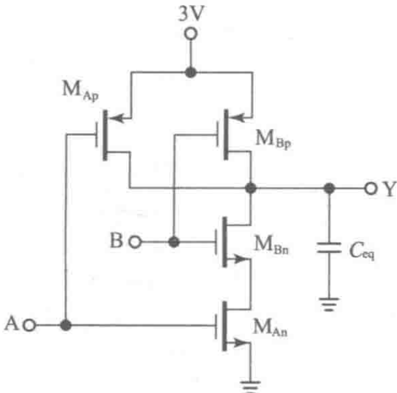
题 6.58 图

6.59 对于题 6.59 图所示的反相器，若 C_{eq} = 0.75pF，求出 V_{oh}，V_{ol}，t_{phl}。参数为：$V_{tn} = -V_{tp} = 0.5$V，$k_n = 6.25k_p = 500\mu$A/V^2，$\lambda_n = \lambda_p = 0$. 并讨论。



题 6.59 图

6.60 题 6.60 图所示"与非"门的 FET 有参数 $V_{tn} = -V_{tp} = 0.6$V，$k_n = 2.5k_p = 100\mu$A/V^2，$\lambda_n = \lambda_p = 0$. 假设寄生电容 C_{eq} = 1pF，在以下情形下估算传输延时：



题 6.60 图

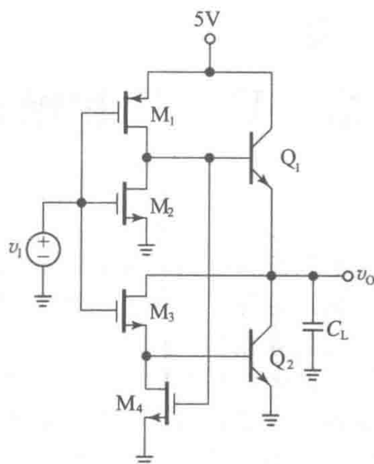
(a) A 和 B 同时从 0 变到 3V。

(b) B＝3V，A 从 0 变到 3V。

(c) A 和 B 同时从 3V 变到 0V。

(d) A＝3V，B 从 3V 变到 0V。

6.61　题 6.61 图所示的 BiCMOS 反相器取了两家之长(MOSFET 的高输入阻抗和 BJT 的高电流驱动能力)，以处理大电容负载。当 v_I 变到 0V 时，M_1 将 Q_1 的基极拉到 5V，得到$V_{oh}=5-0.7=4.3V$. 同时，M_4 将 Q_2 的基极拉到 0V，迅速将其关断。当 v_I 变到 5V 时，M_2 将 Q_1 基极拉到 0V，迅速将其关断。与此同时，M_3 使得 Q_2 导通(这是达林顿管的形式)，且将其集电极钳制在 $V_{OL}=v_{BE2}+V_{DS3}\approx(0.7+0)V=0.7V$，以防止其饱和。假设 FET 有 $V_t=1V$，$k=100\mu A/V^2$，BJT 有 $V_{be}=0.7V$，$\beta_F=75$，在 $C_l=25pF$时，估算 t_{PHL}和 t_{PLH}。



题 6.61 图

第7章
反馈、稳定性和噪声

电路中的反馈是指将放大器输出信号馈送到电路的输入端，与外部输入信号相叠加，产生一个新的信号，然后送给放大器处理的技术。最常见的叠加方式是信号相加减，反馈信号与输入信号相加，称为正反馈；反馈信号与输入信号相减，称为负反馈。

在正反馈中，反馈信号使输入信号增大，这种方式使得放大器输出至饱和状态。正反馈也称为再生反馈，常用在数字电路中，例如，触发器和施密特(Schmitt)触发器。

在负反馈中，反馈信号使输入信号减小，这也是，称为负反馈的原因。负反馈比正反馈有趣得多，它有很多潜在优点。首先，负反馈可以稳定增益，削弱参数变化对放大器的影响，减小放大器的漂移。其次，它可以减小失真及部分噪声。它还可以调节输入、输出电阻以减小负载的影响。最后，负反馈还可以控制放大器的动态特性，如拓展带宽、提高瞬态响应速度等。

像许多发明一样，负反馈也是优点与缺点并存的。

- 在往后的学习中，将会看到：为了更充分地了解负反馈的优点，我们需要设计高于应用需求的增益(已经接触过运放的学生知道，最常用的是用负反馈机制的放大器类型)。但是在IC技术中，高增益的放大器，如运放，制造容易、廉价，所以价格不是问题。
- 负反馈带来的严重问题是电路有可能产生振荡。当信号通过放大器时，会不可避免地产生时延，导致相位滞后。如果它反馈到输入端时，产生了$-180°$的相位差，负反馈就变成了正反馈。而且，如果这个信号和输入信号大小一样，就会产生高频振荡。通常利用这种效应来设计振荡器，但在其他电路中这是不希望的，因为它会导致整个电路失去作用。幸好，有多种方法来解决这种问题。常见的有“频率补偿技术”。它们是电子线路及控制系统理论中很重要的一部分。

1928年，哈罗德·布莱克(Harold Black)在研究如何减小电话中继器失真的时候，设计出了负反馈结构。例如，当使用增益为10的放大器时，我们给定输入为v_I的时候，电路输出$v_o=10v_I$。实际中，由于制造放大器的器件的非线性性(真空管、晶体管)，上面的关系式仅适用于小信号。在大信号处理中，放大器通常会产生较大的失真。当晶体管放大器处于过驱动状态时，可以用真实的输出$10v_I$和不希望的部分v_U来模拟这一情况：

$$v_O = 10v_I + v_U$$

为了减小v_U，哈罗德·布莱克推测：

(a) 如果使实际输出的一部分等于目标增益的倒数，即$(1/10)v_O$。

(b) 然后输入减去这一部分，产生一个新的输入信号v_E(称为误差信号)，即

$$v_E = v_I - \frac{1}{10}v_O = v_I - \frac{10v_I + v_U}{10} = \frac{-v_U}{10}$$

(c) 把v_E作为放大器的输入信号。

(d) 增大开环增益，使放大器在很小的v_E时，能维持v_O的输出。由于$v_E \to 0$，所以$v_U = -10v_E$也很小，因此可以基本上消除输出信号中失真v_U的影响，$v_O \to 10v_I$。

这样如此简单的推导诞生了电子线路中最重要的发明之一，太有趣了。

正如其他革命性的发明一样，由于负反馈可能会导致振荡，并没有立即被工程领域所接受。但是，当这种风险被更好地理解，并且找到了合适的方法来避免振荡时，负反馈立马成了电路设计、自动控制，以及生物系统建模的基石。学生们早就知道许多情况下的负

反馈：运放中运用了负反馈，负反馈偏置方法稳定了晶体管的直流静态工作点；发射极/源极退化也是一个负反馈例子，可以稳定增益，削弱晶体管参数变化对增益的影响。初步了解负反馈之后，接下来我们对它进行全面、系统的分析。

本章重点

本章首先提出了负反馈的概念，强调环路增益是负反馈系统中的重要参数。反馈的作用将从多个方面进行说明，如减小失真、减小噪声，以及增大带宽。

接着，本章介绍了四种基本的负反馈结构，讨论了反馈对增益以及输入、输出阻抗的影响。同学们在必修课中已经通过运放了解过负反馈。这是一个很好的契机，利用运放的背景知识，进一步系统地介绍不同反馈的拓扑结构。

在现实生活中的反馈电路主要是基于基本放大器和反馈网络互连起来的，所以我们需要合适的方法来分析不同的、带负载的反馈拓扑结构。第一种方法是“二端口分析”，将利用一些电路实例来说明，包括从全差分运放和电流反馈放大器到多晶体管结构，到单晶体管结构(同学们最终会明白早已熟悉的单晶体管反馈方案的稳定作用，如发射极/源极退化和反馈偏置)。

在多种电路实例中还阐述了二端分析的替代方案，该方案很强大，称为反馈比(return-ratio analysis)分析。与这种分析方法直接相关的是布莱克曼(Blackman)的阻抗公式和注入方法，这在实验室测量和计算机仿真的时候非常有用。

本章接着会介绍稳定性的研究，以及频率补偿的方法。首先介绍用于分析负反馈电路稳定性的图形化的、实验性的计算机工具，然后研究了第5章中讨论的、最常见的运放(μA741型晶体管运放、两级和共源共栅CMOS运放)的内部频率补偿方法。

本章总结了IC中的噪声问题。介绍了基本噪声特性、分析工具，以及噪声类型，接着讨论了二极管和晶体管的噪声模型。本章最后介绍了重要电路结构的噪声分析方法，例如，晶体管和CMOS运放电路、差分对电路等。

本章充分运用了PSpice作为手工计算的验证工具，并作为软件示波器显示电路波形。尤其是在研究减小失真、提高稳定性与补偿频率等复杂问题，以及理解电路的噪声性能等方面，PSpice发挥着重要作用。

7.1　负反馈基础

负反馈系统的结构如图7.1所示，它主要由误差放大器和反馈环路组成。如果在输入端输入信号 s_i(在电子电路中，通常是电流或电压)，在输出端会产生信号 s_o(也是电压或电流)。反馈环路对输出信号 s_o进行采样并将反馈信号 s_f传递到输出端，即

$$s_f = bs_o \tag{7.1}$$

式中：b 称为反馈比。反馈信号叠加到输入端，通过从输入信号中减去反馈信号得到误差信号 s_ε，即

$$s_\varepsilon = s_i - s_f \tag{7.2}$$

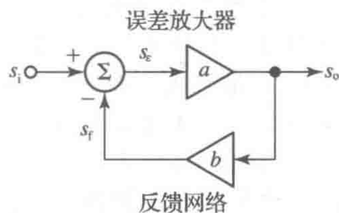


图7.1　负反馈电路框图

该信号通过误差放大器对误差进行放大，以上过程即为反馈系统的传输过程。

如式(7.2)所示，负反馈的目的就是将输入 s_i减小为更小的 s_ε。若将 s_f叠加(而不是相减)到 s_i上，则误差信号 s_ε将比 s_i更大。误差信号经误差放大器的放大后，输出更大的反馈信号并叠加到输入端，经过不断的循环，直至误差放大器饱和为止。这形象地称为正反馈电路，这种形式的反馈应用于非线性电路中，比如施密特触发器。本章将仅讨论负反馈。

我们希望得出输出 s_o和 s_i之间的关系式，根据定义，误差放大器产生

$$s_o = as_\varepsilon \tag{7.3}$$

式中：a 为放大器增益。若不引入负反馈，$s_f=0$，输入信号将在没有任何反馈信号的情况下被放大，即 $s_o=as_i$，所以，a 称为开环增益。综合以上各式，可得：

$$s_o = a(s_i - s_f) = a(s_i - bs_o)$$

求解上述等式，可得：

$$s_o = As_i \tag{7.4}$$

$$A = \frac{a}{1+ab} \tag{7.5}$$

式中：A 为整个负反馈系统放大输入信号 s_i 的增益，形象地称为闭环增益。不要把闭环增益 $A(=s_o/s_i)$ 与开环增益 $a(=s_o/s_\varepsilon)$ 相混淆，事实上，为了强调两者之间的区别，对于闭环参数，通常采用大写字母表示，比如，A，R_i，R_o，小写字母用来表示开环参数，比如，a，r_i，r_o。

信号沿着环路传输时，比方说，从放大器的输入端开始，信号首先经由放大器被放大 a 倍，然后经过反馈网络被衰减 $1/b$，最终反相传送到加法器。因此，整个环路的增益为 $-ab$，把这个增益取反，称为环路增益 L(不确切说法)：

$$L = ab \tag{7.6}$$

由此可以看出，L 在整个反馈系统中起到关键作用，将式(7.5)进行适当变换，可得：

$$A = \frac{1}{b}\frac{ab}{1+ab} = \frac{1}{b}\frac{1}{1+1/(ab)}$$

可将闭环增益表述为另一种更合理的等式：

$$A = \frac{1}{b} \times \frac{1}{1+1/L} \tag{7.7}$$

当 L 远大于 1 时，式(7.7)近似为：

$$A \approx \frac{1}{b}\left(1-\frac{1}{L}\right) \approx \frac{1}{b} \tag{7.8}$$

式(7.8)表明当 L 远大于 1 时，使用负反馈系统有如下两个重要优势。

- 闭环增益 A 实际上与开环增益 a 无关。这是非常希望得到的结果，因为开环增益通常是一个不确定的参数，它依赖于构成放大器的晶体管的参数。众所周知，随着晶体管直流偏置条件、温漂等参数的变化开环增益会发生变化，以及由于制造工艺的变化，发生器件参数的变化。
- 通过选择合适的反馈网络，来调整增益 A，以满足各种各样的应用。通常，反馈网络是由电容、电阻等无源器件组成的。通过选择合适品质的器件，可以使得增益 A 具有满足需求的可控性、精确度和稳定性。

若将式(7.8)中的 $1/L$ 视为误差项，则参数 L 可衡量有效增益 A 与理想值 $1/b$ 之间的近似度，具体来说，L 越大越好。由关系式 $L=ab$，当给定 b 值，需要高增益的放大器以确保 L 足够大。换句话说，需要由足够大的开环增益 a 得到足够小但更稳定、可控的闭环增益 A。由于增益从 a 降到了 $a/(1+L)$，因此可以通过反馈量来消除增益的影响。考虑到(反馈的)好处，以及先进的 IC 技术，使得实现高增益的(放大器)变得容易和低廉，付出这个价格是值得的。

接下来，将 $L\to\infty$ 作为理想情况，相应的闭环增益为：

$$A_{\text{ideal}} = \lim_{T\to\infty} A = \frac{1}{b} \tag{7.9}$$

尽管这种理想情况实际上不可能出现，但是电路设计者应该努力通过确保足够高环路增益 L 来趋近所规定精度范围，因此，通常要使用具有相应高开环增益 $a(=L/b)$ 的放大器(来满足足够高环路增益)。

例 7.1 (a) 工程师要设计闭环增益 10V/V 的电压放大器，误差不大于 1%，则 a、b 取何值？相应的 A 为多少？

(b) 为保险起见，该工程师选用了 10 倍于(a)问中计算出增益 a 的放大器，则相应的 A 为多少？

解：

(a) 令 $10\text{V/V}=1/b$，或 $b=0.1\text{V/V}$，对于1%的误差，需取 $1/L=1/100$，故 $a=L/b=(100/0.1)\text{V/V}=1\,000\text{V/V}$，此外，$A\approx(1/b)\times(1-1/L)=10\times(1-1/100)\text{V/V}=9.9\text{V/V}$。

(b) 现有 $L=1\,000$，故 $A\approx10\times(1-1/1\,000)\text{V/V}=9.99\text{V/V}$，非常接近于 10V/V。◀

误差信号 s_ε 及反馈信号 s_f

下面的表达式很容易发现负反馈的其他特性：

$$s_\varepsilon=\frac{s_o}{a}=\frac{As_i}{a}=\frac{a}{1+L}\frac{s_i}{a}$$

或

$$s_\varepsilon=\frac{s_i}{1+L} \tag{7.10}$$

另外，

$$s_f=bs_o=bAs_i=b\,\frac{1}{b}\,\frac{1}{1+1/L}s_i$$

即

$$s_f=\frac{s_i}{1+1/L} \tag{7.11}$$

上述等式结果表明，对于很大的开环增益(理想情况，$L\to\infty$)来说，误差信号极小(理想情况，$s_\varepsilon\to0$)，这样反馈信号就非常趋近输入信号($s_f\to s_i$)。为了快速理解负反馈电路的内部工作原理，牢记这些特性是值得的。

增益倒灵敏度(gain desensitivity)

因为生产的差异和环境的变化，给出的开环增益 a 是一个不确切的参数。我们要探究这些影响闭环增益 A 的不确定性因素，为此，将式(7.5)中的 A 对 a 求微分：

$$\frac{\mathrm{d}A}{\mathrm{d}a}=\frac{1\times(1+ab)-a\times b}{(1+ab)^2}=\frac{1}{(1+ab)^2}=\frac{1}{1+ab}\times\frac{a}{1+ab}\,\frac{1}{a}=\frac{1}{1+ab}\times\frac{A}{a}$$

等式两边同时乘以一个因子 $100\mathrm{d}a/A$，用 Δ 取代微分号 d，得到：

$$100\,\frac{\Delta A}{A}\approx\frac{1}{1+L}\left(100\,\frac{\Delta a}{a}\right) \tag{7.12}$$

上述等式表明，闭环增益的百分比变化($100\Delta A/A$)大约是给定开环增益的百分比变化($100\Delta a/a$)的 $1/(1+L)$。当 L 足够大，即使 a 有异乎寻常的变化，但对 A 的影响极小。为反映这种稳定效应，反馈量($1+L$)称为增益倒灵敏度。我们再次观察到 L 的大小可以衡量反馈系统趋近理想化的程度。

例7.2 假设例7.1(a)问放大器的开环增益有±20%的误差，估算闭环增益 A 的误差。对于例7.1(b)问亦同，给出你的结论。

解：

例7.1(a)问中，$L=100$，故 A 的误差大约为(±20%)/(1+100)≈±0.2%；例7.1(b)问中，L 增大了1/10，因此 A 的误差缩小了1/10，即±0.02%。不管哪种情况，负反馈都对闭环增益 A 具有显著的稳定作用。◀

经典示例：同相放大器结构

图7.2是我们熟悉的同相运放结构，是完全吻合图7.1所示框图的电路例子，因此，(该电路)包含了上文所讨论的所有特性。该放大器同时具有误差放大器和加法器的作用，后者(之所以称为加法器)是因为放大器能对其输入信号差异做出响应的事实。反馈网络是一个简单的分压器，即

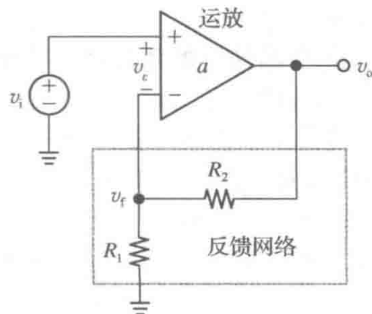


图7.2 同相运放作为负反馈系统的典型例子

$$b=\frac{v_f}{v_o}=\frac{R_1}{R_1+R_2}=\frac{1}{1+R_2/R_1} \tag{7.13}$$

有意使放大器具有很高的开环增益，是为了确保(放大器)高环路增益，以及在负反馈工作中具有近乎理想的行为(性能)。当 a 趋近理想极限 $a\to\infty$ 时，电路的(环路增益) $L\to\infty$。因此，$v_\varepsilon\to 0$，$v_f\to v_i$，闭环增益将得到理想值：

$$A_{ideal}=\frac{v_o}{v_i}=\frac{1}{b}=1+\frac{R_2}{R_1} \tag{7.14}$$

例 7.3 (a) 若图 7.2 所示放大器为通用 μA741 型，其芯片数据手册给出了典型增益值为 $a=200\,000\text{V/V}$，若 $R_1=1.0\text{k}\Omega$，$R_2=3.0\text{k}\Omega$，求其闭环增益。

(b) 若 $v_i=2.0\text{V}$，求 v_o、v_f和 V_g，并解释结果。

(c) 由于制造工艺的偏差，芯片数据手册也给出了放大器增益 a 低到 50 000V/V，解释这会对(a)问中结果产生什么影响?

解：

(a) $b=(1/(1+3))=1/4$，$L=ab=200\,000/4=50\,000$，$A\approx 4\times(1-1/50\,000)\text{V/V}=3.999\,92\text{V/V}$，得益于高的环路增益，$A$ 非常接近于理想值 $A_{ideal}(=4.0\text{V/V})$。

(b) 有 $v_o=Av_i=3.999\,92\times 2.0\text{V}=7.999\,84\text{V}$，$v_f=v_i/(1+1/L)=(2.0/(1+1/50\,000))\text{V}=1.999\,96\text{V}$，以及 $v_\varepsilon=v_i/(1+L)\approx(2.0/50\,000)\text{V}=40\times10^{-6}\text{V}=40\mu\text{V}$，在实际应用中，可取 $v_o\approx 8\text{V}$，$v_f=2\text{V}$，$v_\varepsilon\approx 0$，我们发现分压器正好取 v_o的 1/4 给 v_f，也就是说，放大器将 v_i放大 4 倍后输出 v_o。

(c) 已知 $L=ab=50\,000/4=12\,500$，故 $A\approx 4\times(1-1/12\,500)\text{V/V}=3.999\,68\text{V/V}$，该变化对 A 来说是不显著的，只变化了−0.006%，该变化对 v_o和 v_f同样也是不显著的，都非常趋近各自的理想值 8.0V 和 2.0V。尽管由于 a 的下降，可得 $v_\varepsilon=v_o/a\approx(8/50\,000)\text{V}=160\mu\text{V}$，比(b)问中高，但是与电路中其他电压相比，这种变化仍然可安全忽略。 ◀

例 7.4 (a) 适当修改图 7.2 所示电路，使其以 1 000V/V 的闭环增益，放大输入信号 $v_i=5\text{mV}$ 的传感器信号。

(b) 假设 μA741 型运放，计算其 A、v_o、v_ε、v_f。

(c) 与例 7.3 进行比较，可以得出什么结论?

解：

(a) 由 $1\,000=1+R_2/R_1$，可得 $R_2/R_1=999$，令 $R_1=1.0\text{k}\Omega$，则 $R_2=999.0\text{k}\Omega$。

(b) $b=0.001\text{V/V}$，$L=ab\approx 200\,000\times 0.001=200$，$A\approx 1\,000\times(1-1/200)\text{V/V}=995\text{V/V}$，$v_o=995\times 5\text{mV}=4.975\text{mV}$，$v_f=(5\text{mV})/(1+1/200)=4.975\text{mV}$，$v_\varepsilon\approx(5\text{mV})/(1+1/200)=25\mu\text{V}$。

(c) 由于追求更高增益 A，故 b 的值相对于例 7.3(a)问中值要低得多，即环路增益下降到 200。这意味着 A 和 v_f相对于理想值均有 0.5%的偏差——仍然是相当小的偏差。运放的输入为 $v_f=v_o/a$，也就是说，v_ε的偏差仅与 v_o和 A 相关，与环路增益 L 无关。 ◀

单个晶体管的负反馈结构示例

倘若图 7.2 给出了一个复杂电路(比如由很多晶体管构成的运放)的反馈结构，那么图 7.3 给出了仅由一个晶体管的反馈结构，该结构采用了 R_1-R_2分压器作为其反馈网络的共栅(CG)放大器，只要 $R_1+R_2\gg R_D$，有：

$$v_o\approx -g_m(R_D /\!/ r_o)v_{gs}=-g_m(R_D /\!/ r_o)\times(v_g-v_s)=g_m(R_D /\!/ r_o)\times(v_s-v_g)$$

这里忽略体效应，则此表达式可以表示为：

$$v_o=a(v_i-v_f)=a(v_i-bv_o)$$

由图 7.3b 所示电路，令 $v_s\to v_i$，$v_g\to v_f$，$v_{sg}\to v_\varepsilon$，可得开环增益为 $a=g_m(R_D /\!/ r_o)$，负反馈比为：

$$b=\frac{v_g}{v_d}=\frac{R_2}{R_1+R_2}=\frac{1}{1+R_2/R_1}$$

正如上面运放例子一样，本电路恰好符合图 7.1 所示框图。

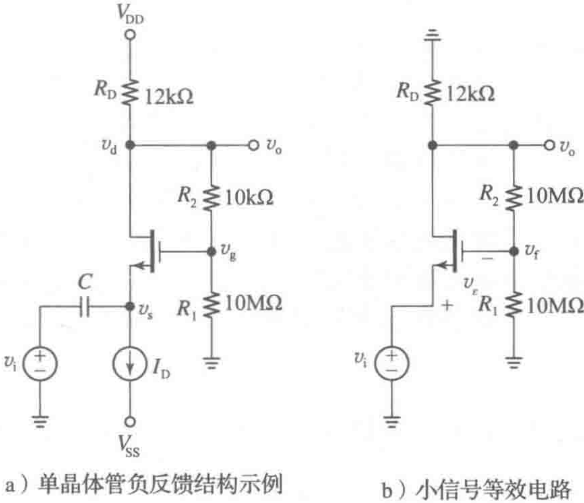
例 7.5 设图 7.3 所示晶体管的 $g_m=2\text{mA/V}$，$r_o=60\text{k}\Omega$，求 L 和 A 并给出解释。

解：

有 $a=g_m(R_D/\!/r_o)=2\times(12/\!/60)\text{V/V}=20\text{V/V}$，$b=1/(1+10/10)=1/2$，$L=ab=20/2=10$，且

$$A=\frac{1}{b}\frac{1}{1+1/L}=2\times\frac{1}{1+1/10}\text{V/V}=1.82\text{V/V}$$

考虑到 FET 的电压增益是明显偏低的，因此跟运放相比，环路增益 A 显著偏离理想值 2V/V 是不足为奇的。然而，从负反馈角度探讨单晶体管电路也是有益的！◀



a）单晶体管负反馈结构示例 b）小信号等效电路

图 7.3

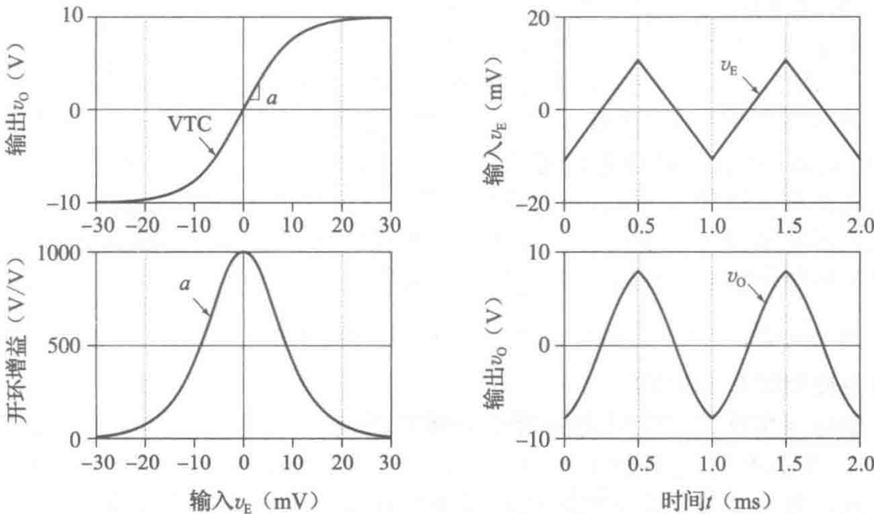
练习 7.1

继续深入探讨，我们会发现负反馈不仅仅影响增益，还对电路的输入和输出阻抗有影响，通过特定测试方法，对于图 7.3 所示电路，当 $R_1+R_2\gg R_D$ 时，从输入端看进去的电阻 R_i 和从输出端看进去的电阻 R_o 分别为：

$$R_i=\frac{1}{g_m}(1+L),\quad R_o=\frac{R_D/\!/r_o}{1+L}$$

7.2 反馈对失真、噪声、带宽的影响

式(7.3)表明输入、输出之间的线性关系，比例常数为开环增益 a。实际的放大器，比如集成电路运放，是由(多个)晶体管构成的，而这些晶体管本身就是一个非线性器件，并且放大器输出电压不大于其电源电压，因此，实际放大器的电压传输曲线(VTC)不是直线，而是图 7.4a(上部)所示的非线性曲线。若将工作区间限制在原点周围的小区域内，曲线可以视为直线，其斜率即增益 a，在这个小区域范围内，其斜率是最陡峭的。但是，当



a）误差放大器电压传输曲线及其开环增益 b）输出波形

图 7.4

工作区间逐渐远离原点时，斜率会逐渐下降，直到 VTC 最终变平(或者饱和)为止，增益 a 最终下降为 0(该示例中饱和电压 $v_O=\pm 10\text{V}$)，开环增益更精确表述为：

$$a=\frac{\mathrm{d}v_O}{\mathrm{d}v_E} \tag{7.15}$$

式中：v_O是输出端的瞬时电压值；v_E为输入端的瞬时误差电压。如图 7.4a(下部)图所示，增益 a 在原点处达到最大值 1 000V/V。随着工作区间远离原点，增益逐渐减小，直至放大器处于饱和状态为止，增益下降为 0。

由于实际放大器的非线性的 VTC，输出通常会产生失真。图 7.4b(上部)描绘了输入电压为三角波的波形，图 7.4b(下部)描绘了对应输入的放大输出波形。但是由于增益衰减，尖峰被明显压缩。对于一些不可容忍失真的苛刻应用，如高保真音频，或者精密仪器，我们应该对这种非线性器件做些什么？接下来我们会看到，这是负反馈另一个用武之地。

把非线性放大器放到负反馈环路中，就可得到其闭环 VTC 斜率代表闭环增益 A，即

$$A=\frac{\mathrm{d}v_O}{\mathrm{d}v_I} \tag{7.16}$$

式中：v_O和 v_I分别为瞬时输出和输入电压值。式(7.15)重新表述为：

$$\frac{1}{a}=\left[\frac{\mathrm{d}v_O}{\mathrm{d}(v_I-v_F)}\right]^{-1}=\frac{\mathrm{d}v_I-\mathrm{d}(bv_O)}{\mathrm{d}v_O}=\frac{1}{A}-b$$

重新整理，可得到熟悉的结果：

$$A=\frac{a}{1+ab}=A_{\text{ideal}}\times\frac{1}{1+1/L} \tag{7.17}$$

式中：$A_{\text{ideal}}=1/b$；$L=ab$ 为熟悉的环路增益。式(7.17)表示只要开环增益 a 足够大，以确保环路增益足够高，闭环增益 A 就会相当趋近理想值 A_{ideal}，尽管远离原点，增益 a 下降，结果也是一样的。因此，负反馈能够显著地使放大器的 VTC 线性化。

为了阐述这一点，可查看图 7.5 所示的 PSpice 电路，在这个电路的负反馈环路中嵌入了图 7.4a 所示的非线性 VTC 误差放大器，且 $b=R_1/(R_1+R_2)=1/4$。负反馈的线性特性如图 7.6 所示。相比于图 7.4a 所示的开环 VTC，图 7.6a 所示的闭环 VTC 具有更好的线性度，并且增益 A 在更宽的输出电压范围内近似理想值 $1/b$(在该例中为 4V/V)。只要将电路工作限制在这个(输出电压)范围内，输出、输入就能达到很好的线性度(本例中输出将输入放大 4 倍)，如图 7.6b 所示。图 7.6b(顶部)是输入 v_i 峰值为±2V 的三角波，输出是几乎不失真的峰值为±8V 的三角波；图 7.6b(底部)所示的是误差信号波形，它更进一步揭示了误差放大器使 $v_o=4v_I$所起到的作用。为了补偿因工作偏离原点致使开环增益的下降，放大器对本身的误差信号有合适的预失真是显而易见的。历史上，哈罗德·布莱克首先构想了用负反馈来降低输出失真的，其语句为：

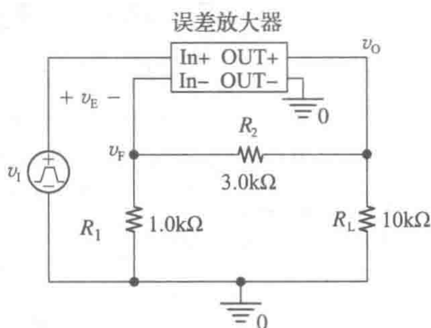
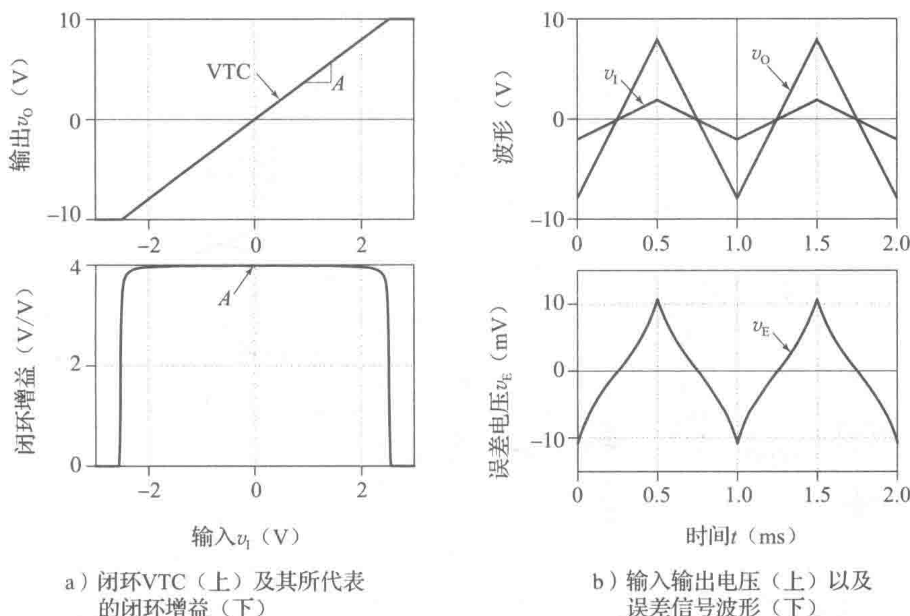


图 7.5　用于图 7.4a 所示的负反馈环路、具有非线性 VTC 的误差放大器的 PSpice 电路图

```
EVALUE 10*((exp(2E2*V(%IN+, %IN-))-1)/(exp(2E2*V(%IN+, %IN-))+1))
```

负反馈效应对噪声的影响

我们希望探讨负反馈效应对电路所受干扰的影响。外界干扰会通过输入节点 v_{n1}、中间节点 v_{n2}、输出节点 v_{n3}进入放大器内部，如图 7.7 所示，我们使用加法器模拟各种噪声成分的进入点。另外，为了模拟电路内部噪声的进入点，将放大器分为两级，每级增益分别为 a_1、a_2(显然，整体增益为 $a=a_1\times a_2$)。从右边开始逐渐向左分析图 7.7 所示电路，可得到：



a）闭环VTC（上）及其所代表的闭环增益（下）　　b）输入输出电压（上）以及误差信号波形（下）

图 7.6　负反馈效应的线性化功能

$$v_0 = v_{n3} + a_2[v_{n2} + a_1(v_i + v_{n1} - bv_o)]$$

这里有 $v_f=bv_o$，$a=a_1\times a_2$，整理化简可求得：

$$v_o = A\left(v_i + v_{n1} + \frac{v_{n2}}{a_1} + \frac{v_{n3}}{a_1\times a_2}\right) \quad (7.18)$$

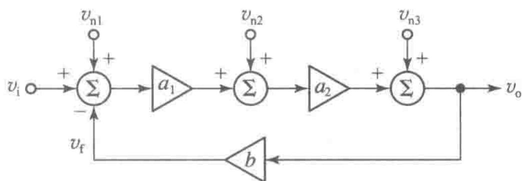


图 7.7　研究负反馈对电压噪声的影响模型

式中：A 是式(7.17)中的闭环增益。可看到三个噪声项与有用信号 v_i一样，都被负反馈电路以同样大增益 A 放大了。但是，噪声 v_{n1}维持不变，噪声 v_{n2} 缩小 $1/a_1$，噪声 v_{n3} 缩小 $\frac{1}{a_1\times a_2}$，由此可得出结论，在负反馈电路结构中，反馈到输入的噪声分量缩小了，缩小的倍数就是其前级电路的总增益。这一特性通常用来减小相应噪声源对系统的影响，比如潜入音响系统功率级的哼鸣噪声。若在噪声源的前级电路中加入一个高增益放大器，并在电路中引入负反馈电路，则电路中反馈到输入的哼鸣噪声信号相对于输入音频信号 v_i就变得很小了，将信噪比提高到一个令人满意的水平。

由于负反馈对噪声有显著的抑制特性，考虑图 7.8a 所示的情况，电压源 v_I通过 AB 类推挽输出级(Q_1－Q_2)缓冲到负载电阻 R_L，理想情况下，缓冲器满足：

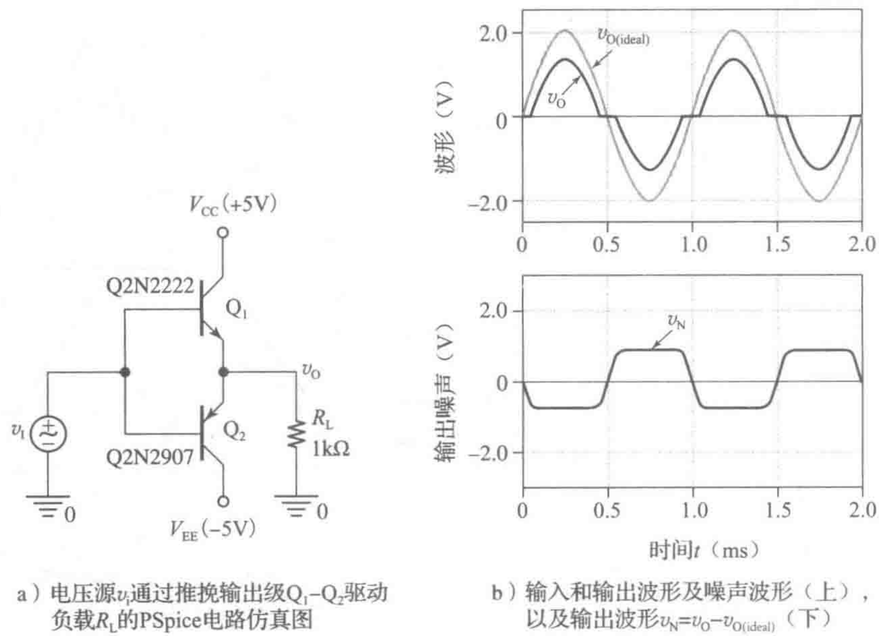
$$v_{O(ideal)} = v_I$$

然而，每个 BJT 的基极需要约 0.7V 的电压才能导通，当－0.7V＜v_I＜0.7V 时，输出 v_O＝0，当 v_I＞0.7V 时，$v_O\approx v_I-0.7$V，及当 v_I＜0.7V 时，$v_O\approx v_I+0.7$V。所得波形如图 7.8b 上图所示，相较于输入波形，输出失真较大。事实上，这是电压噪声注入推挽级的结果，如图 7.8b 下图所示，有：

$$v_N = v_O - v_{O(ideal)}$$

要减小 v_N对电路的影响，可在缓冲级之前加入一个合适的误差放大器，并与电路的另一端连接在一起，构成负反馈电路来实现。在图 7.9a 所示电路中，使用一个开环增益 10V/V的放大器，用简单的连线就构成了 b＝1V/V 的负反馈网络，可以减小失真，这个结果可以通过图 7.9b 上图和中图的波形与图 7.8b 上图和下图的波形得到。容易看出，插入放大器可以使 0.7V 电压降似乎只下降了约 0.7V/a，在本例中是 0.07V。

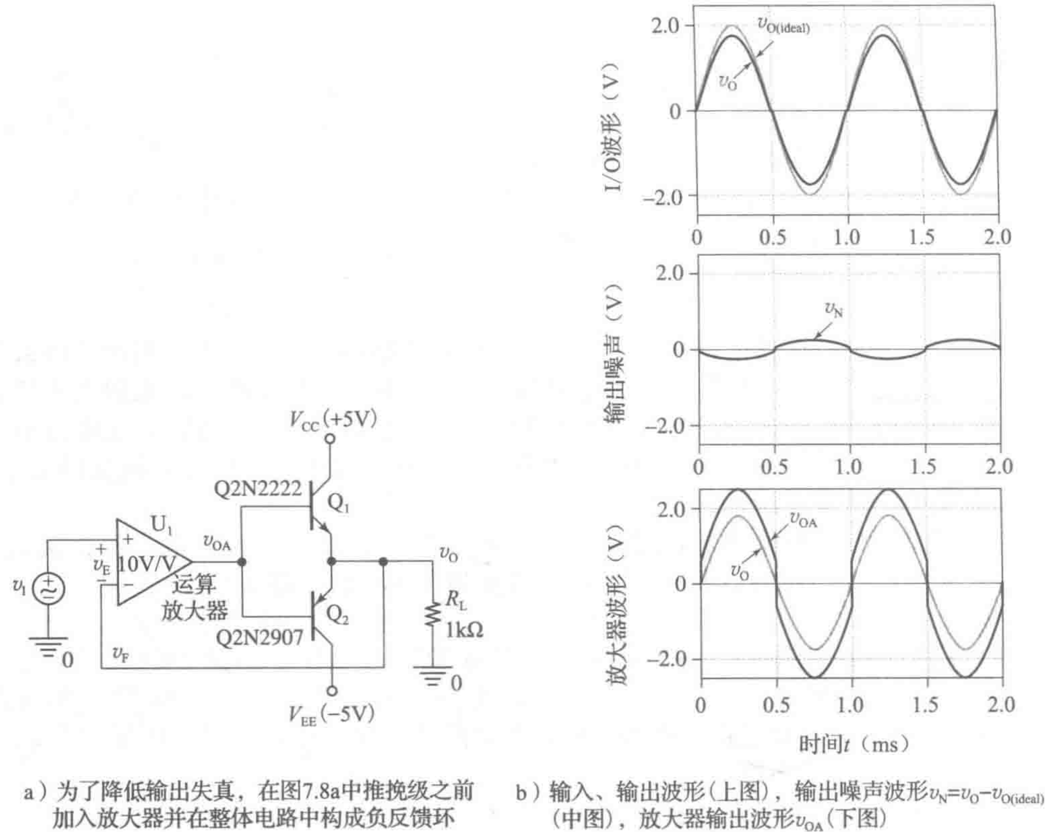
为了充分理解放大器的作用，也给出放大器输出 v_{OA} 的波形图，如图 7.9b(下图)所



a）电压源v_I通过推挽输出级Q_1–Q_2驱动负载R_L的PSpice电路仿真图

b）输入和输出波形及噪声波形（上），以及输出波形$v_N = v_O - v_{O(ideal)}$（下）

图 7.8



a）为了降低输出失真，在图7.8a中推挽级之前加入放大器并在整体电路中构成负反馈环

b）输入、输出波形（上图），输出噪声波形$v_N = v_O - v_{O(ideal)}$（中图），放大器输出波形v_{OA}（下图）

图 7.9

示，这是很有益的。为了使 v_O 能跟随 v_I，放大器输出 v_{OA} 的摆幅在正半轴时至少应比输出波形 v_O 高 0.7V，在负半轴时至少应比输出波形 v_O 低 0.7V。在该例中，使用的放大器增益只有 10V/V，然而，使用更高增益的放大器会按比例降低失真，使 v_O 能更精确地跟随 v_I。在 1.10 节，我们已经观察到了这种特性，而现在我们是从负反馈的角度来重温这个

已经熟悉的概念。

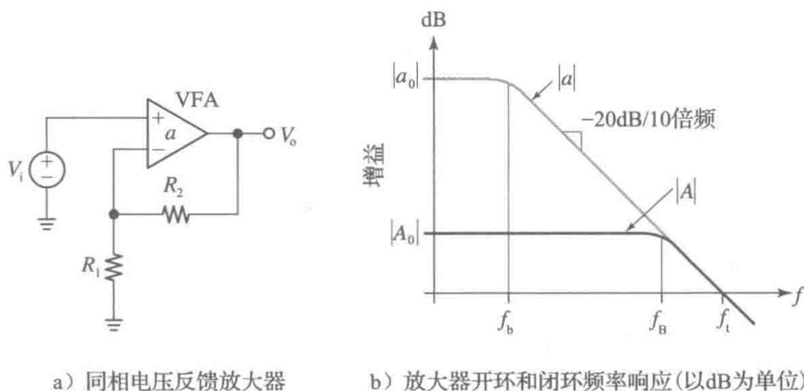
提示：图 7.9a 所示负反馈电路例子的目的就是实现用总增益 $A=1\text{V/V}$ 的放大器来降低失真。为此，我们插入了一个(开环)增益为 10V/V 的误差放大器。这样一来，实际上用了 10 倍的(开环)增益，而得到的总增益只有 1，但是对降低失真来说，这个代价是非常值得的。当然，区分基本误差放大器和在负反馈网络(图 7.9a 仅用一条连线就实现了负反馈网络)中的完整放大器是非常重要的。

负反馈效应对频率带宽的影响

负反馈对电路的频率响应有着深远的影响，如果不恰当地使用，可能会造成电路振荡，而这会对系统的稳定性造成影响。尽管稳定性问题将在本章后面详细讲解，但是这里分别探讨负反馈对两种运放结构的影响：电压反馈放大器(VFA)、电流反馈放大器(CFA)。

首先探讨图 7.10a 所示的同相电压反馈放大器，该电路的开环增益为：

$$a(\mathrm{j}f)\approx\frac{a_0}{1+\mathrm{j}f/f_\mathrm{b}} \tag{7.19}$$



a）同相电压反馈放大器　　b）放大器开环和闭环频率响应(以dB为单位)

图 7.10

式中：f 是输入信号频率；a_0是直流增益；f_b是开环增益带宽。在频率 f_b之前，放大器增益维持较大的值 a_0，之后便开始以 20dB/10 倍频的速度下降，我们知道，放大器的一项重要指标就是其增益带宽积：

$$\mathrm{GBP}=a_0\times f_\mathrm{b}=f_\mathrm{t} \tag{7.20}$$

举例来说，通用 μA741 型放大器直流增益 $a_0=200\,000\text{V/V}$，$f_\mathrm{b}=5\text{Hz}$，故其 $\mathrm{GBP}=200\,000\times5\text{Hz}=1\text{MHz}$，由式(7.6)、式(7.7)可得闭环增益为：

$$A(\mathrm{j}f)=\frac{V_\mathrm{o}}{V_\mathrm{i}}=\frac{1}{b}\frac{1}{1+\dfrac{1+\mathrm{j}f/f_\mathrm{b}}{ba_0}}=\frac{1}{b}\times\frac{1}{1+1/(ba_0)}\times\frac{1}{1+\dfrac{\mathrm{j}f}{(1+ba_0)f_\mathrm{b}}}$$

式中：$b=1/(1+R_2/R_1)$。由式(7.13)，式(7.19)可写成更清晰的形式：

$$A(\mathrm{j}f)=\frac{A_0}{1+\mathrm{j}f/f_\mathrm{B}} \tag{7.21}$$

式中：A_0是熟悉的闭环直流增益，

$$A_0=\left(1+\frac{R_2}{R_1}\right)\times\frac{1}{1+1/(ba_0)}\approx1+\frac{R_2}{R_1} \tag{7.22}$$

f_B是闭环增益带宽，

$$f_\mathrm{B}=(1+ba_0)f_\mathrm{b}\approx\frac{a_0}{A_0}f_\mathrm{b}=\frac{f_\mathrm{t}}{A_0} \tag{7.23}$$

重新回到图 7.10b 所示响应曲线，负反馈将直流增益从 a_0降低到 $A_0\approx1+R_2/R_1$，但扩大了电路的带宽，使之从 f_b增大为 $f_\mathrm{B}\approx(a_0/A_0)f_\mathrm{b}$，而闭环增益带宽积 $\mathrm{GBP}(=A_0\times f_\mathrm{B}=f_\mathrm{t})$，电路设计者通过增益带宽的权衡来实现目标性能。

例 7.6 (a) 若图 7.2 所示的同相放大器使用通用 μA741 型放大器来实现，且 $a_0=200\,000\text{V/V}$，$f_b=5\text{Hz}$，令 $R_1=1.0\text{k}\Omega$，$R_2=999.0\text{k}\Omega$，计算 A_0、f_B。

(b) $R_2=9.0\text{k}\Omega$，重复上述计算。

(c) 若想得到最大的闭环带宽，计算相应的闭环增益。

解：

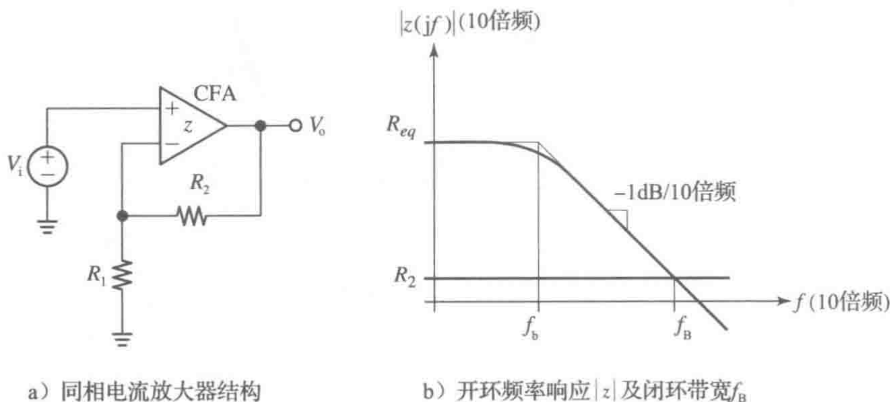
(a) 有：$A_0\approx 1/b=1+R_2/R_1=(1+999/1)\text{V/V}=1\,000\text{V/V}$，$a_0b=200\,000/1\,000=200$，$f_B=(1+a_0b)f_b=(1+200)\times 5\text{Hz}\approx 1.0\text{kHz}$

(b) 有 $A_0\approx 10\text{V/V}$，$a_0b=20\,000$，$f_B\approx 100\text{kHz}$，与(a)问相比，A_0下降了两个数量级。

(c) 当 $b=1$ 时，可得到最大的带宽，即去除 R_1，将 R_2用一个连线代替，可得：$A_0\approx 1\text{V/V}$，$a_0b=a_0\times 1=a_0$，$f_B=(1+a_0)f_b=f_t=1\text{MHz}$。◀

接下来，继续探讨图 7.11a 所示的电流反馈放大器，式(6.114)阐明了电流反馈放大器的开环跨导增益为：

$$z(\mathrm{j}f)\approx\frac{R_{\mathrm{eq}}}{1+\mathrm{j}f/f_b}\tag{7.24}$$



a）同相电流放大器结构　　b）开环频率响应$|z|$及闭环带宽f_B

图 7.11

式中：f 是输入信号频率；R_{eq}为直流增益；f_b为带宽。为了求出闭环增益 $A(\mathrm{j}f)$，我们采用 5.6 节推导出的表达式，但使用 R_{eq}代替 $z(\mathrm{j}f)$，即：

$$A(\mathrm{j}f)=\frac{V_o}{V_i}=\left(1+\frac{R_2}{R_1}\right)\times\frac{1}{1+\dfrac{R_2(1+\mathrm{j}f/f_b)}{R_{\mathrm{eq}}}}$$

$$=\left(1+\frac{R_2}{R_1}\right)\times\frac{1}{1+R_2/R_{\mathrm{eq}}}\times\frac{1}{1+\dfrac{\mathrm{j}f}{(1+R_{\mathrm{eq}}/R_2)f_b}}$$

式(7.24)可写成更直观的形式：

$$A(\mathrm{j}f)=\frac{A_0}{1+\mathrm{j}f/f_B}\tag{7.25}$$

式中：

$$A_0=\left(1+\frac{R_2}{R_1}\right)\times\frac{1}{1+R_2/R_{\mathrm{eq}}}\approx 1+\frac{R_2}{R_1}\tag{7.26}$$

为放大器的闭环直流增益；

$$f_B=\left(1+\frac{R_{\mathrm{eq}}}{R_2}\right)f_b\approx\frac{R_{\mathrm{eq}}}{R_2}\times\frac{1}{2\pi R_{\mathrm{eq}}C_{\mathrm{eq}}}=\frac{1}{2\pi R_2C_{\mathrm{eq}}}\tag{7.27}$$

为电路的闭环带宽(两种近似利用了关系 $R_2\ll R_{\mathrm{eq}}$)。使用简单的几何图形，我们将 f_B可视化为$|z|$下降到R_2时所对应的频率，如图 7.11b 所示。该频率可通过 R_2来决定，而不管由 R_1单独设置的闭环增益 A_0，因此，与电压反馈放大器不同的是，电流反馈放大器没有

增益带宽及摆率的限制。这正是其优势所在。

例 7.7 对于图 7.11 所示的电流反馈放大器，$R_{eq}=750\text{k}\Omega$，$C_{eq}=2.21\text{pF}$，若 $R_2=1.2\text{k}\Omega$，闭环增益为 10V/V，求出 R_1 和闭环带宽。

解：

由 $1+1200/R_1=10$，得 $R_1=133.3\Omega$ 有：

$$f_B \approx \frac{1}{2\pi R_2 C_{eq}} = \frac{1}{2\pi \times 1\,200 \times 2.21 \times 10^{-12}}\text{Hz} = 60\text{MHz}$$ ◀

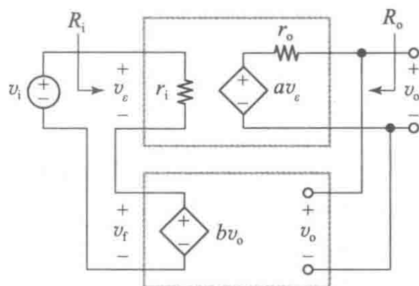
7.3 反馈结构和闭环 I/O 电阻

放大器最重要的参数即其空载状态下的增益，以及输入和输出电阻。当放大器由非理想信号源驱动并驱动输出端负载时，这些电阻将对电路性能产生影响。输入电阻和信号源内阻、输出电阻和负载分别组成了分压结构，在这一过程中，两次降低了信号源到负载的增益，即所谓的负载效应。接下来我们将看到除了稳定电路增益之外，负反馈还能通过改变电阻来减小负载效应。

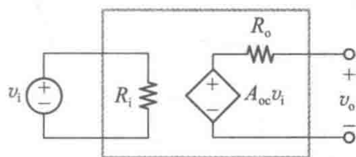
如上文所述，输入、输出信号既可以是电流，也可以是电压，故有四种可能的放大器形式：(a)电压放大器，$v_o=Av_i$，A 的单位为 V/V；(b)电流放大器，$i_o=Ai_i$，A 的单位为 A/A，(c)跨阻放大器，$v_o=Ai_i$，A 的单位为 V/A；(d)跨导放大器，$i_o=Av_i$，A 的单位为 A/V。当在放大器结构中引入负反馈时，将出现上述四种可选的形式，我们希望探讨各种结构下负反馈对增益及电路电阻的影响。

串联-并联反馈结构(电压-电压反馈结构)

首先探讨电压放大器中的负反馈结构。如图 7.12 所示，放大器的输出端根据戴维南定理等效为受控源 av_ε 及串联输出电阻 r_o，输入端视为无源器件 r_i。a、r_i、r_o 是开环参数，故使用小写字母。负反馈电路的作用是对输出电压 v_o 进行采样并等比例缩小，即 $v_f=bv_o$，$-v_f$ 耦合进输入端，进而产生误差信号 $v_\varepsilon=v_i-v_f$。注意，输出端电压的采样是通过并联的形式实现的，但是输入端的累加器通过串联实现，电压的增减通过串联实现，而不是并联——不要把不同的电压源并联起来。



a) 误差放大器即理想反馈回路



b) 等效电路

图 7.12　串联-并联反馈结构

为了单独观察负反馈对参数 a、r_i 和 r_o 的影响，排除环路的影响，假设放大器的两端均没有负载(实际电路中的负载影响将会在下一节讨论)。因此，为了避免输入端负载，假设 v_i 和 bv_o 源具有 0 的串联内阻，故我们可以写出 $v_\varepsilon=v_i-v_f$(如果这些电阻不为 0，输入端会产生电阻分压)。同样地，为了避免输出端负载，假设输出端开路，那么反馈网络表现出无穷大的电阻，故可以写出 $v_o=av_\varepsilon$(如果不是这种情况，输出端也会产生一个电阻分压)。

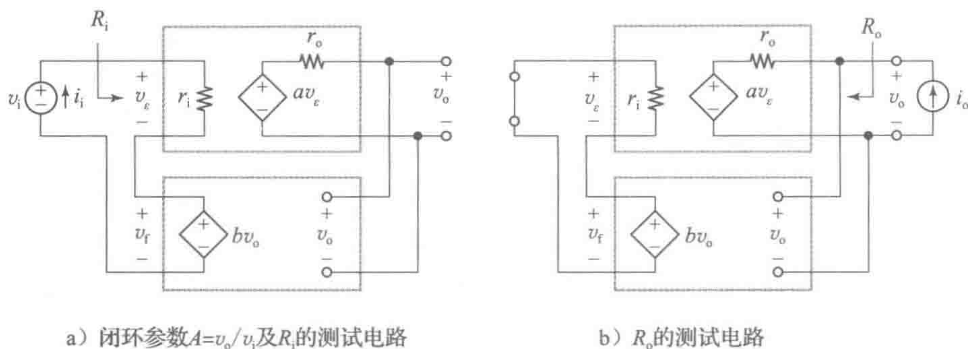
由图 7.13a，我们有 $v_o=av_\varepsilon=a(v_i-v_f)=a(v_i-bv_o)$，经过整理，有：

$$A_{oc}=\frac{v_o}{v_i}=\frac{1}{b}\frac{1}{1+1/L} \tag{7.28}$$

式中：$L=ab$。当 $L\to\infty$ 时，负反馈通过使 $A_{oc}\to 1/b$ 来稳定增益。

如图 7.13a 所示，为了验证上述效应对输入电阻 r_i 影响，在输入端施加一个测试电压 v_i，则产生相应的电流 i_i，可得到闭环输入电阻为 $R_i=v_i/i_i$。因此，由欧姆定律可得，$i_i=v_\varepsilon/r_i$，但是，由式(7.10)，有 $v_\varepsilon=v_i/(1+L)$，故，有：

$$R_i=\frac{v_i}{i_i}=r_i(1+L) \tag{7.29}$$



a）闭环参数$A=v_o/v_i$及R_i的测试电路　　b）R_o的测试电路

图 7.13

式(7.29)表明，负反馈使得电压放大器的输入电阻变得更加可观，在原先的基础上放大$(1+L)$倍。因为负反馈能显著降低输入负载(载荷)，所以这对电压输入的放大器非常有益。概括来说，若电路中没有负反馈，有 $v_f=0$，则输入电阻 r_i两端电压为测试电压 v_i，$i_i=v_i/r_i$；然而，当存在负反馈时，输入电阻 r_i两端电压降低为 v_ε，由式(7.10)，v_ε只有原先 v_i的$1/(1+L)$,相应地 i_i也变为原先的 $1/(1+L)$，继而输入电阻增大$(1+L)$倍。在理想情况下，$L\to\infty$，有 $i_i\to 0$，$R_i\to\infty$，这表明高增益的输入串联型放大器具有虚断特性。

同样，如图 7.13b 所示，令 $v_i=0$，在输出端插入一个电流源 i_o，可得到输出电压 v_o，则闭环输出电阻为 $R_o=v_o/i_o$，由 KVL 和欧姆定律，得：

$$v_o=av_\varepsilon+r_oi_o=a(-v_f)+r_oi_o=-abv_o+r_oi_o$$

整理可得：

$$R_o=\frac{v_o}{i_o}=\frac{r_o}{1+L} \tag{7.30}$$

这表明负反馈电压放大器的输出电阻变得更小，在原先基础上减小为原先的 $1/(1+L)$，这种显著降低输出阻抗的特点对于电压输出型的放大器非常有益。概括来说，若电路中没有负反馈($b=0$)，图 7.13b 所示电路有 $av_\varepsilon=0$ 及 $v_o=r_oi_o$。然而，当存在负反馈时，$v_\varepsilon\to 0$，放大器通过调节其受控源 v_o，使其变为原先的 $1/(1+L)$，相应的输出电阻 r_o也变为原先的 $1/(1+L)$。在理想情况下，$L\to\infty$，$v_o\to 0$，$R_o\to 0$，在没有输入信号的情况下，高增益的输出并联型放大器具有虚短特性。

由上述讨论可知，图 7.12a 所示的串并结构等效为图 7.12b 所示的电压放大器结构，式(7.28)～式(7.30)给出了其闭环参数 A、R_i和 R_o。注意，这些量使用大写字母，以区别于其相应的开环参数 a、r_i和 r_o。

例 7.8 若已知一个放大器的性能参数如下：$a=10^5\text{V/V}$，$r_i=1\text{M}\Omega$，$r_o=100\Omega$，其反馈为串联-并联结构，且 $b=0.01\text{V/V}$，计算 A_{oc}、R_i、R_o并讨论。

解：

有 $L=10^5\times 0.01=10^3$，故 $A_{oc}\approx 100\times(1-1/10^3)\text{V/V}=99.9\text{V/V}$，$R_i=10^6\times(1+10^3)\Omega\approx 10^9\Omega=1\text{G}\Omega$，$R_o=(100/(1+10^3))\Omega\approx 0.1\Omega$

与放大器外围电路中动辄千欧数量级别的电阻相比，该电路中输入电阻 $R_i=1\text{G}\Omega$ 相当于开路，输出电阻 $R_o=0.1\Omega$ 相当于短路。◀

并联-串联结构(电流-电流反馈结构)

下面着重探讨负反馈对电流放大器的影响。如图 7.14a 所示，放大器的输出级应用诺顿等效定理等效为受控源 $a\varepsilon_i$和并联输出电阻 r_o，输入级则视为没有源电阻的输入电阻 r_i。负反馈电路的作用是对输出电流 i_o进行采样，并将其按相应比例反馈到输入级，即 $i_f=bi_o$，相应的输入级的误差信号为 $i_\varepsilon=i_i-i_f$。输出级电流的采样以串联的形式进行，然而，在输入级电流的累加却是以并联的形式进行的，且当我们进行电流的加减运算时，都是以

并联的形式进行的——不要把不同的电流源串联起来！

为了研究负反馈对电路开环参数 a、r_i、r_o的影响，忽略外围电路对性能的影响，再次假设放大器的两端没有负载(实际电路中的负载影响将会在下一节讨论)。为消除输入负载的影响，假设信号源 i_i、ai_o的并联电阻为无穷大，则 $i_\varepsilon=i_i-i_f$(若这些信号源内阻不为无穷大，输入端就会产生分流)。同样，为消除输出负载对电路的影响，设输出级短路，且负反馈电路的等效电阻为零，有 $i_o=ai_\varepsilon$(若不在这种情况下，放大器输出端也会有分流)。在图 7.14a 中，有 $i_o=ai_\varepsilon=a(i_i-i_f)=a(i_i-bi_o)$，整理得：

$$A_{sc}=\frac{i_o}{i_i}=\frac{1}{b}\frac{1}{1+1/L} \tag{7.31}$$

式中：$L=ab$。据我们所知，当 $L\to\infty$时，负反馈通过使 $A_{sc}\to 1/b$ 来稳定增益。

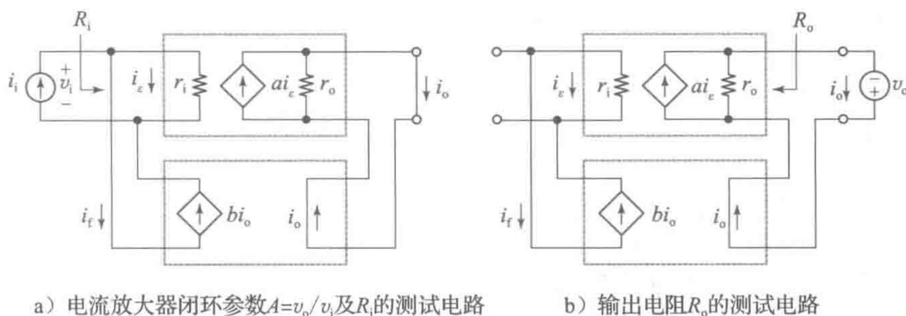
a) 误差放大器及理想反馈网络

b) 等效电路

图 7.14　电流放大器

为研究负反馈对输入电阻 r_i 的影响，在图 7.15a 中，施加一个测试电流 i_i，求出相应的输入电压 v_i，则闭环输入电阻为 $R_i=v_i/i_i$，由欧姆定律，有 $v_i=r_ii_\varepsilon$。由式(7.10)，有$i_\varepsilon=i_i/(1+L)$,故有：

$$R_i=\frac{v_i}{i_i}=\frac{r_i}{1+L} \tag{7.32}$$



a）电流放大器闭环参数$A=v_o/v_i$及R_i的测试电路　　b）输出电阻R_o的测试电路

图　7.15

这表明负反馈可将电流放大器的输入电阻 r_i 变得更小，在原先的基础上缩小为 1/(1+L)，这种能显著减小输入负载的特点对电流输入型的放大器非常有益。概括来说，若电路中没有负反馈结构，所有的测试电流 i_i流过输入电阻 r_i，$v_i=i_ir_i$。然而，当存在负反馈时，测试电流 i_i降低为误差电流 i_ε，由式(7.10)，只有原先 i_i的 1/(1+L)。相应地，v_i也变为原先的1/(1+L),继而降低输入电阻为原来的 1/(1+L)。在理想情况下，$L\to\infty$，有 $v_i\to 0$，$R_i\to 0$，表明高增益的输入并联型放大器具有虚短特性。

接下来，令 $i_i=0$，并在输出端施加一个测试电压 v_o，如图 7.15b 所示。然后，求出输出电流 i_o，闭环输出电阻 $R_o=v_o/i_o$，应用 KCL 和欧姆定律，有：

$$i_o=ai_\varepsilon+v_o/r_o=a(-i_f)+v_o/r_o=-abi_o+v_o/r_o$$

经过整理有：

$$R_o=\frac{v_o}{i_o}=r_o(1+L) \tag{7.33}$$

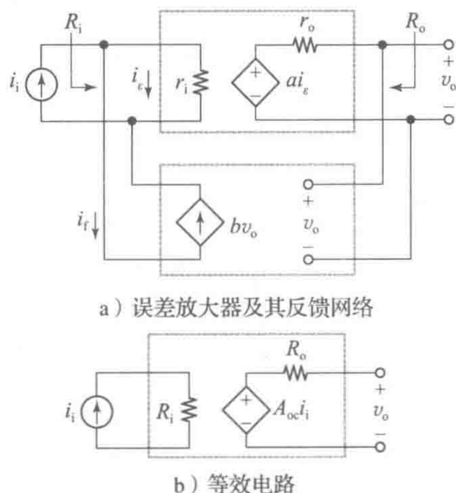
这表明，负反馈可使电流放大器的输出电阻变得更大，在原有基础上扩大(1+L)倍，这种显著降低输出负载的特点对于电流输出型的放大器非常有益。概括来说，若电路中没有负反馈结构，有 $i_o=v_o/r_o$。然而，当存在负反馈时，$i_\varepsilon\to 0$，受控源 i_o(=$i_f/b=-i_\varepsilon/b$)变为原先的

$1/(1+L)$。相应地，输出电阻 r_o 也增大到原先的 $(1+L)$ 倍。在理想情况下，$L\to\infty$，$i_o\to 0$，$R_o\to\infty$，这表明在没有输入信号的情况下，高增益的输出串联型放大器具有虚断特性。

基于上述探讨，图 7.14a 所示的并串结构等效为图 7.14b 所示的电流放大器，其闭环参数 A_{sc}、R_i、R_o 由式(7.31)～式(7.33)给出。需要注意的是，电流放大器参数变化($R_i\to 0$，$R_o\to\infty$)与电压放大器的参数变化($R_i\to\infty$，$R_o\to 0$)相反。这正是对称原理的另一种体现。

并联-并联结构(电压-电流反馈结构)

图 7.16a 所示的为负反馈电路在跨阻放大器中的应用，由于输入信号为电流信号，故电流累加采用并联形式，和图 7.14a 所示的电流放大器一样。而另一方面，输出级输出的为电压信号，故由戴维南定理可将其等效为电压源 ai_ε，并和图 7.12a 所示的电压放大器一样，电压采样运用并联形式，因此，跨阻放大器称为并联-并联结构。



a）误差放大器及其反馈网络

b）等效电路

图 7.16 并联-并联结构(跨阻放大器)

为了求闭环增益 A_{oc}，有 $v_o=ai_\varepsilon=a(i_i-i_f)=a(i_i-bv_o)$，整理可得：

$$A_{oc}=\frac{v_o}{i_i}=\frac{1}{b}\frac{1}{1+1/L} \tag{7.34}$$

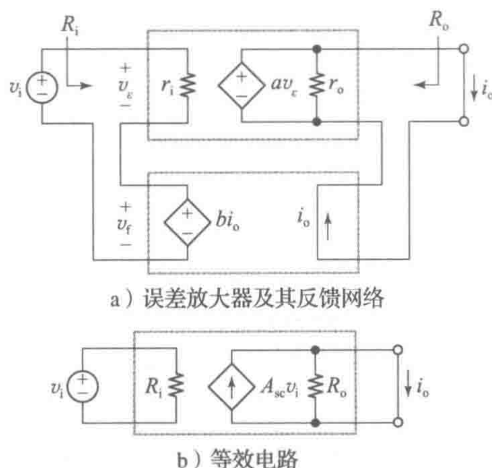
式中：$L=ab$。为了求出闭环电阻 R_i、R_o，可使用前文介绍的测试信号的方法。事实上，通过观察，可发现，跨阻放大器的输入级、输出级与电流放大器的输入级、电压放大器的输出级类似，故可由图 7.15a、图 7.13b 得出类似的结论：

$$R_i=\frac{r_i}{1+L},R_o=\frac{r_o}{1+L} \tag{7.35}$$

当 $L\to\infty$ 时，跨阻放大器有 $A_{oc}\to 1/b$，$R_i\to 0$，$R_o\to 0$。

串联-串联结构(电流-电压反馈结构)

图 7.17a 所示为负反馈电路在跨导放大器中的应用。由于输入信号为电压信号，故电压累加采用串联形式，和图 7.12a 所示的电压放大器一样。而输出信号是电流，由诺顿定理将输出级等效为受控电流源 av_ε，以串联的形式进行输出电流的采样，与图 7.14a 所示的电流放大器一样，跨导放大器因此是串联-串联形式的放大器。



a）误差放大器及其反馈网络

b）等效电路

图 7.17 串联-串联结构(跨导放大器)

为了推导闭环参数，采用前文已有的方法，可得：

$$A_{sc}=\frac{i_o}{v_i}=\frac{1}{b}\frac{1}{1+1/L} \tag{7.36}$$

$$R_i=r_i(1+L),R_o=r_o(1+L) \tag{7.37}$$

式中：$L=ab$。当 $L\to\infty$ 时，跨导放大器有 $A_{sc}\to 1/b$，$R_i\to\infty$，$R_o\to\infty$。

总结

鉴于前文所述，可以得出上述四种负反馈放大器结构的闭环增益可以表述为：

$$A=A_{ideal}\frac{1}{1+1/L} \tag{7.38}$$

式中：$A_{ideal}=1/b$ 是 $L\to\infty$ 时的闭环增益；$L=ab$ 为环路增益；a 是开环增益；b 是反馈系数。此外，闭环端口的电阻 $R_{i/o}$ 可以表示为含有开环电阻 $r_{i/o}$ 的等式：

$$R_{i/o} = r_{i/o}(1+L)^{\pm 1} \tag{7.39}$$

对于串联形式的系统，取+1；反之，对于并联形式的系统，取−1。表7.1总结了四种形式的负反馈结构参数，以及当环路增益$L \to \infty$时输入、输出节点的电阻。

表7.1 四种负反馈结构及其理想闭环端口电阻

s_i	s_o	名称	a	b	拓扑结构	$R_{i(ideal)}$	$R_{o(ideal)}$
v_i	v_o	电压放大器	V/V	V/V	串联-并联	∞	0
i_i	i_o	电流放大器	A/A	A/A	并联-串联	0	∞
i_i	v_o	跨阻放大器	V/A	A/V	并联-并联	0	0
v_i	i_o	跨导放大器	A/V	V/A	串联-串联	∞	∞

四种使用放大器的负反馈结构

有时输入端信号的累加和输出端信号的采样类型并不明显。为了建立敏锐的直觉，从运放着手来研究实际的电路实例，因为运放是设计用于负反馈工作的最受欢迎的构建模块。更严格地说，即使运放是电压放大器(为了强调，使用a_v来表示电压增益)，它也能应用到上述四种反馈结构中，从而为以后进一步的设计指明方向。

串联-并联结构(见图7.18a)：如图7.2所示的结构，当具有足够高的环路增益时，作为运放电路的通用情况，输入失调电压v_ε会变得非常小，相应地，流过放大器内阻r_i的失调电流i_ε也变得很小。因此，对反馈网络而言，输入端相当于断路。这可以应用电阻分压原理：

$$b = \frac{v_f}{v_i} = \frac{R_1}{R_1+R_2} = \frac{1}{1+R_2/R_1} \tag{7.40}$$

对于理想的开环放大器，则增益$a_v \to \infty$，对于该电路，有$A_{oc} = v_o/v_i \to 1/b = 1+R_2/R_1$，$R_i \to \infty$，$R_o \to 0$。

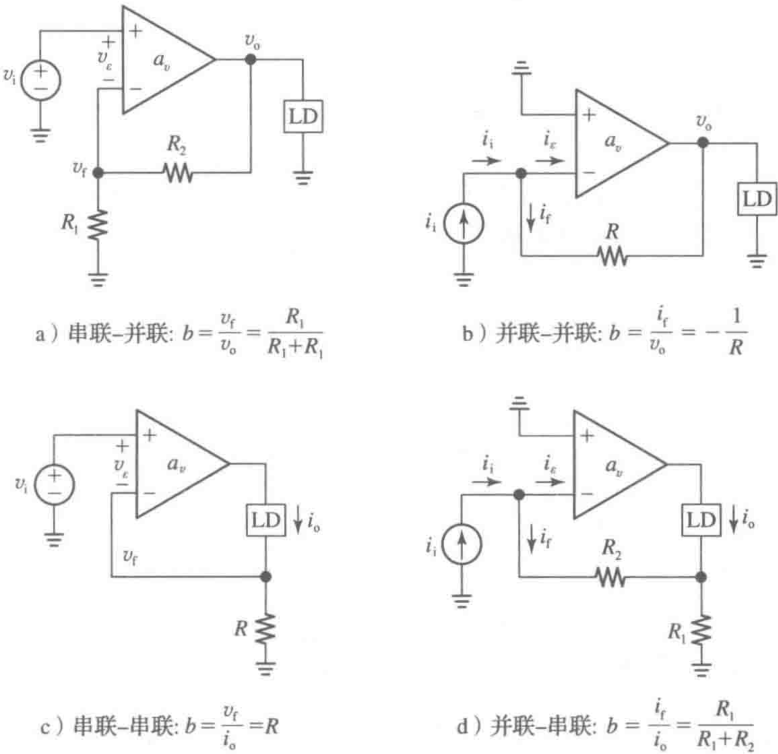


图7.18 使用运放的四种负反馈结构图

并联-并联结构(见图7.18b)：回顾基础运放理论，理想情况，增益$a_v \to \infty$时，其反相

输入端或电流累加端所起的作用类似于“虚拟地”。该类型运放的实际输入信号为电流，故误差信号为 $i_\varepsilon = i_i - i_f$。此外，令反相输入端电压为0V，由欧姆定律可得：$i_f = (0 - v_o)/R$，故

$$b = \frac{i_f}{v_o} = -\frac{1}{R} \tag{7.41}$$

对于理想的运放，其增益 $a_v \to \infty$，对于该电路，有 $A_{oc} = v_o/i_i \to 1/b = -R$。而且无论从输入端还是输出端看进去，$R_i \to 0$，$R_o \to 0$。

并联-并联结构是常见的反相电压放大器的基础，如图 7.19a 所示。即使这是一个输入、输出信号都为电压的放大器，从反馈的观点来看，这也是一个并联-并联结构。为了更清晰地叙述上述观点，可将信号源进行转换，从电压源 v_i 变换为电流源 $i_i = v_i/R_1$，因此，闭环增益为：

$$A_v = \frac{v_o}{v_i} = \frac{v_o}{i_i} \times \frac{i_i}{v_i} = (-R_2) \times \frac{1}{R_1} = -\frac{R_2}{R_1} \tag{7.42}$$

图 7.19 通过转换信号源，常见的反相电压放大器实际上是个并联-并联结构的放大器

串联-串联结构（见图 7.18c）：该电路的实际输入信号为电压，实际输出信号为电流。电路中反馈网络的作用是以串联的形式对输出电流 i_o 进行采样，并将其转化为反馈电压 v_f，以串联的形式累加到输入 v_i。令人惊讶的是，两个变换都是通过一个电阻 R 进行的。如前所述，对反馈网络而言，运放的输入端口均可看成开环，故可应用欧姆定律，有：

$$b = \frac{v_f}{i_o} = R \tag{7.43}$$

对于理想运放，其增益 $a_v \to \infty$，对于该电路，有 $A_{sc} = i_o/v_i \to 1/b = 1/R$。此外，无论在输入端还是输出端，$R_i \to \infty$，$R_o \to \infty$。

并联-串联结构（见图 7.18d）：该电路的实际输入、输出信号皆为电流。令反相输入端的输入电压为零，故根据电流分配规律，有：

$$-i_f = \frac{R_1}{R_1 + R_2} i_o$$

$$b = \frac{i_f}{i_o} = \frac{-R_1}{R_1 + R_2} = \frac{-1}{1 + R_2/R_1} \tag{7.44}$$

对于理想运放，其增益 $a_v \to \infty$，对于该电路，有 $A_{sc} = i_o/i_i \to -(1 + R_2/R_1)$。而且，从输入源看进去的电阻 $R_i \to 0$，从输出负载看进去的电阻 $R_o \to \infty$。

7.4 实际结构和负载效应

为了关注负反馈电路对放大器参数 a、r_i、r_o 的影响，7.3 节中的反馈网络都是理想的。而在实际电路应用中，反馈网络会在放大器的输入端和输出端引入负载，两者之间也会相互作用，导致很难将其区分开。通常，负反馈电路可使用节点分析或者环路分析，但是，当电路规模变得很大时，这种方法是不可行的。

通过一定的近似，电路可简化为带有负载效应和独立负反馈电路的放大器电路。借助上述方法，利用式(7.38)、式(7.39)，可以求出闭环参数 A、R_o、R_i，这种近似需要足够高的环路增益 L，其端口电阻 $R_{i/o}$ 满足以下条件：

$$\lim_{L \to \infty} R_{i/o} = \infty, \text{串联情况下} \tag{7.45a}$$

$$\lim_{L\to\infty} R_{i/o} = 0, \text{并联情况下} \tag{7.45b}$$

概括来说，当信号的累加或采样采取串联形式时，从放大器端口看进去的反馈网络相当于断路；当信号的累加或采样采取并联形式时，从放大器端口看进去的反馈网络相当于短路。随着讨论的深入，这种优势会更为明显。

串联-并联电路

在图 7.18a 所示电路中已将同相放大器结构作为经典的串并联电路例子来阐述。现在让我们重新审视一下误差放大器内部电阻 r_i、r_o与组成反馈网络的外部电阻 R_1、R_2之间的相互影响。这种相互作用在放大器的输入端口和输出端口引入了负载。为了能专注于研究反馈网络引入的负载，假设外界激励电压源内阻为零、输出开路，如图 7.20 所示。

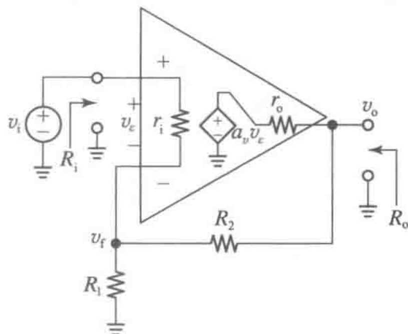


图 7.20　同相放大器及其内部阻抗 r_i、r_o

为了研究输入端口的负载，从该端口看到的外部电阻为 $R_1 // (R_o + r_o)$。而且，由于输出端采取并联的采样形式，反馈会使电路表现出很低的输出阻抗 $R_o \to 0$。这样就消除了 r_o的影响，即从放大器输入端看进去的电阻为 $R_1 // R_2$。等效电路如图 7.21a 所示，其中 R_2短接到地。

为了研究输出端的阻抗，从该端口看到的外部电阻为 $R_2 + (R_1 // r_i)$。由于输入端采取串联的累加形式，反馈会使电路表现出很高的输入阻抗 $R_i \to \infty$。之所以造成这样的结果，是由于 $v_\varepsilon \to 0$，流过 r_i电流可以忽略不计，故电阻 r_i的影响也可以忽略。在实际应用中，电路的输入端口对于反馈网络来说可以看作开路，如图 7.21a 所示，其中，R_1，R_2的连接点被看作开路，表明从输出端看到的外部电阻为 $R_1 + R_2$。

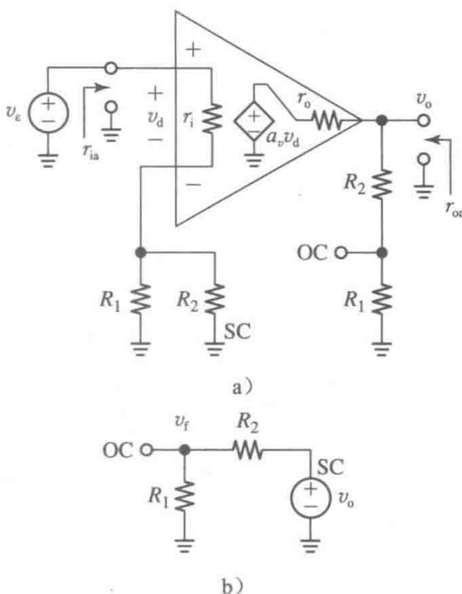


图 7.21　图 7.20 所示电路分解图

随着输出端的短路和输入端的断路，反馈环路在两个端口处被打断，图 7.21a 所示的为工作在开环模式的误差放大器，但是反馈网络在两个端口都引入了负载。接下来，我们希望求出其开环参数，记为 $a(=v_o/v_\varepsilon)$、r_{ia}、r_{oa}，由分压定律，有：

$$v_o = \frac{R_1 + R_2}{r_o + R_1 + R_2} a_v v_d$$

$$= \frac{R_1 + R_2}{r_o + R_1 + R_2} a_v \frac{r_i}{r_i + (R_1 // R_2)} v_\varepsilon$$

故

$$a = \frac{v_o}{v_\varepsilon} = \frac{r_i}{r_i + (R_1 // R_2)} a_v \frac{R_1 + R_2}{r_o + R_1 + R_2} \tag{7.46}$$

由于输入、输出负载，有 $a < a_v$，进一步，有：

$$r_{ia} = r_i + (R_1 // R_2), r_{oa} = r_o // (R_2 + R_1) \tag{7.47}$$

接下来，我们找到反馈网络与基本放大器的主要区别之处。再次回到图 7.20 所示电路中，在信号采样端，反馈网络由具有很低串联电阻 R_o的电压源 v_o驱动，而在求和端，反馈网络驱动了可看作开路的输入端。计算 b 的电路如图 7.21b 所示，很容易得出：

$$b = \frac{v_f}{v_o} = \frac{R_1}{R_1 + R_2} = \frac{1}{1 + R_2/R_1} \tag{7.48}$$

最后，我们应用式(7.28)来求得空载增益 A_{oc}，为了求得闭环端电阻 R_i 和 R_o，应用式(7.29)，式(7.30)，不过 r_i，r_o 要替换成 r_{ia}，r_{oa}。有了上述三个参数，我们可以在通用情况下进行考虑，此时的反馈放大器被输入为非零串联电阻 R_{sig} 的信号源 v_{sig} 驱动，并驱动有限大的输出端负载 R_L。参考图 7.22 所示的等效电路模型，信号源到负载的增益为 v_o/v_{sig}，亦或称为带载增益，有：

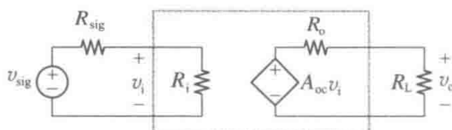


图 7.22 被信号源 v_{sig} 驱动，且驱动负载 R_L 的闭环电压放大器模型

$$\frac{v_o}{v_{sig}} = \frac{R_i}{R_{sig}+R_i}A_{oc}\frac{R_L}{R_o+R_L} \tag{7.49}$$

例 7.9 (a) 若图 7.20 所示电路为普通运放，其 $a_v = 1\,000\text{V/V}$，$r_i = 10\text{k}\Omega$，$r_o = 1.0\text{k}\Omega$。若 $R_1 = 1.0\text{k}\Omega$，$R_2 = 9.0\text{k}\Omega$，求 R_i，R_o 及空载增益 A_{oc}。

(b) 若反馈放大器的输入端为一个串联 $R_{sig} = 20\text{k}\Omega$ 的信号源 v_{sig}，负载电阻为 $R_L = 2.0\text{k}\Omega$。求信号源到负载的增益 $A = v_o/v_{sig}$。

解：

(a) 使用式(7.46)～式(7.48)，有：

$$a = \frac{10}{10+(1.0 /\!/ 9.0)} \times 1\,000 \times \frac{1.0+9.0}{1.0+1.0+9.0}\text{V/V} = 0.917 \times 1\,000 \times 0.909\text{V/V}$$
$$= 833.3\text{V/V}(< 1\,000\text{V/V})$$

$$r_{ia} = (10+(1.0 /\!/ 9.0))\text{k}\Omega = 10.9\text{k}\Omega, r_{oa} = (1.0 /\!/ (9.0+1.0))\text{k}\Omega = 0.909\text{k}\Omega$$

$$b = \frac{1.0}{1.0+9.0}\text{V/V} = \frac{1}{10}\text{V/V}$$

因此，

$$L = ab = 833.3/10 = 83.33$$
$$A_{oc} = \frac{10}{1+1/83.33}\text{V/V} = 9.881\text{V/V}$$
$$R_i = 10.9 \times (1+83.33)\text{k}\Omega \approx 920\text{k}\Omega$$
$$R_o = \frac{909}{1+83.33}\Omega \approx 10.8\Omega$$

(b) 由式(7.49)可得：

$$\frac{v_o}{v_{sig}} = \frac{920}{20+920} \times 9.88 \times \frac{2\,000}{10.8+2\,000}\text{V/V} = 0.979 \times 9.881 \times 0.995\text{V/V}$$
$$= 9.618\text{V/V}(< A_{oc})$$

◀

上述示例的解答可以归纳为如下的串联-并联流程：

- 将反馈网络采样端短路，计算基本放大器输入端的阻抗；
- 将反馈网络累加端断路，计算基本放大器输出端的阻抗；
- 在反馈网络采样端加上电压 v_o，求出在累加端的开路电压(OC)v_f，则 $b = v_f/v_o$。

下面的例子清晰的阐述了上述步骤。

在图 7.23 所示的反馈电路中，Q_1 响应误差电压 $v_\varepsilon = v_i - v_f$，这里是串联型的求和。$Q_2$ 是共射极，能为整个环路提供额外的增益，提升整体的环路增益 L。Q_3 是射极跟随器，用来在较低的输出电阻下提供电流增益。最后，注意到 v_o 串联到由电阻 R_1，R_2 组成的反馈网络，这里是并联型的采样端。功能上，此电路与图 7.20 所示的同相放大器类似。使用上文提到的串

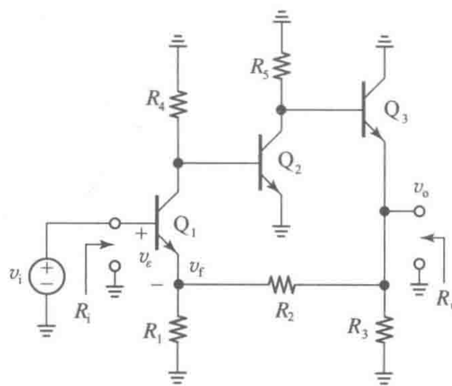
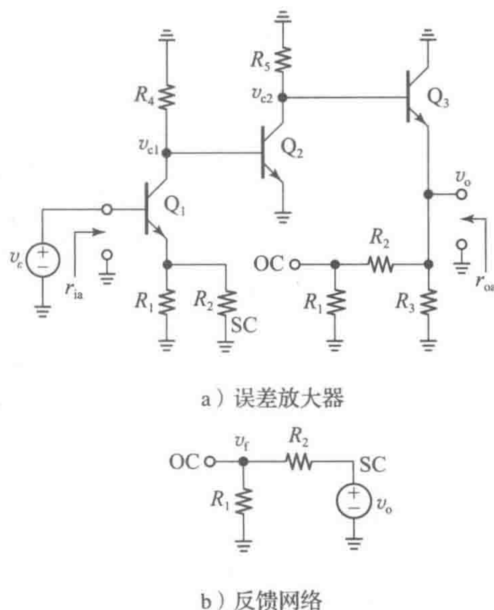


图 7.23 三重串联-并联反馈

联-并联流程，得到如图 7.24 所示的误差放大器和反馈网络。

例 7.10 (a) 在图 7.23a 所示电路中，令 $R_1=1.0\text{k}\Omega$，$R_2=3.0\text{k}\Omega$，$R_3=R_4=R_5=10\text{k}\Omega$。并令所有的 BJT 跨导为 $g_m=1/(25\Omega)$，$r_\pi=5\text{k}\Omega$，$r_o=\infty$。求出 R_i，R_o及空载增益 A_{oc}。

(b) 通过 PSpice 验证你的结果。



a）误差放大器

b）反馈网络

图 7.24 图 7.23 所示电路拆分的电路

解：

(a) 对于 BJT，有 $\beta_0=g_m r_\pi=5\,000/25=200$。利用图 7.24a，可求出：

$$r_{ia}=r_{\pi1}+(\beta_{01}+1)(R_1 /\!/ R_2)$$
$$=(5+201\times(1 /\!/ 3))\text{k}\Omega\approx 156\text{k}\Omega$$
$$r_{oa}=\frac{R_5+r_{\pi3}}{\beta_{03}+1} /\!/ R_3 /\!/ (R_1+R_2)$$
$$=\left(\frac{10+5}{201} /\!/ 10 /\!/ (1.0+3.0)\right)\text{k}\Omega\approx 73\Omega$$

为了求出整体增益 a，逐级检查电路。注意到 Q_1是射极退化级，根据经验法则，其增益为集电极节点的总电阻与发射极节点的总电阻比值的相反数，即

$$\frac{v_{c1}}{v_\varepsilon}=-\frac{R_4 /\!/ r_{\pi2}}{r_{e1}+(R_1 /\!/ R_2)}=-\frac{10 /\!/ 5}{0.025+(1.0 /\!/ 3.0)}\text{V/V}=-4.3\text{V/V}$$

很容易验证从 Q_3基极看进去的电阻 R_{b3}远大于 R_5，故 Q_2提供的增益为：

$$\frac{v_{c2}}{v_{c1}}=-g_{m2}(R_5 /\!/ R_{b3})\approx -g_{m2}R_5=(-10/0.025)\text{V/V}=-400\text{V/V}$$

我们希望电压跟随器 Q_3的增益接近于 1，即

$$\frac{v_o}{v_{c2}}\approx 1\text{V/V}$$

综合以上结果，最终可得：

$$a=\frac{v_o}{v_\varepsilon}=\frac{v_{c1}}{v_\varepsilon}\times\frac{v_{c2}}{v_{c1}}\times\frac{v_o}{v_{c2}}\approx(-4.3)\times(-400)\times(1)\text{V/V}=1\,720\text{V/V}$$

由图 7.24b，还可以得出：

$$b=\frac{v_f}{v_o}=\frac{R_1}{R_1+R_2}=\frac{1.0}{1.0+3.0}\text{V/V}=\frac{1}{4}\text{V/V}$$

故开环增益 $L=ab=1\,720/4=430$，故有：

$$A_{oc}=\frac{v_o}{v_i}=\frac{4}{1+1/430}\text{V/V}=3.991\text{V/V}$$

$$R_i=156\times10^3\times(1+430)\Omega=67\text{M}\Omega, R_o=\frac{73}{1+430}\Omega=0.17\Omega$$

备注：如果 Q_1不是负反馈环路的一部分，则从其发射极看进去的电阻为 r_{e1}，在本例中为 25Ω，是相当低的数值。然而，在负反馈结构中，情况则大不一样。为了建立直观的感受，考虑 $v_i=1.0\text{V}$ 的情形。此时，基极电流 $i_{b1}=v_i/R_i=1\text{V}/(67\text{M}\Omega)\approx15\text{nA}$，射极电流为 $i_{e1}=(\beta_{01}+1)\ i_{b1}=201\times(15\text{nA})\approx3\mu\text{A}$，换句话说，流过电阻 R_1 的电流 $i_1=v_f/R_1=(1\text{V})/(1\text{k}\Omega)=1\text{mA}$，考虑到 $3\mu\text{A}\ll1\text{mA}$，毫无疑问，在实际应用中，$Q_1$的射极对于 R_1，R_2来说，相当于开路！

(b) 图 7.25 所示的 PSpice 电路使用了 3 个压控电流源作为 BJT 的小信号模型，包括 0V 虚拟信号源来对 Q_1发射极的电流进行采样。在用 PSpice 对电路进行了直流分析和传递

函数分析，得到 $A_{oc}=3.99\text{V/V}$，$R_i=65.13\text{M}\Omega$，$R_o=0.1739\Omega$。且当 $v_i=1\text{V}$ 时，流过测试信号源 v_o 的电流为 $3.086\mu\text{A}$。所有数值和手算数值契合度很高！ ◀

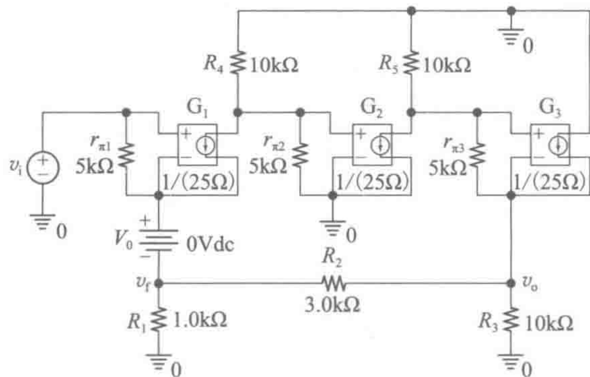


图 7.25　验证图 7.10 所示的三重串联-并联结构的 PSpice 电路

例 7.11 假设图 7.26 所示电路中的所有 MOSFET，有 $g_m=1\text{mA/V}$，$r_o=50\text{k}\Omega$，且 $\chi_5=0.25$，求出空载增益 A_{oc} 及输出阻抗 R_o（由于信号源加在 M_1 栅极，故 $R_i=\infty$）。

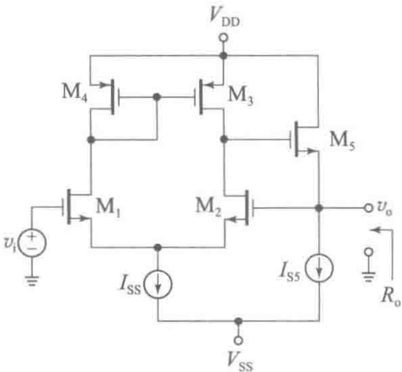


图 7.26　例 7.11 中的串联-并联电路

解：

图 7.27 所示的为同相单位增益放大器，第一级的电压增益为 $g_m(r_{op}/\!/r_{on})=g_m r_o/2$，$M_5$ 源极跟随器的电压增益为 $1/(1+\chi_5)$，故有：

$$a=\frac{v_o}{v_\varepsilon}=\frac{g_m r_o/2}{1+\chi_5}=\frac{1\times 50/2}{1+0.25}\text{V/V}=20\text{V/V}$$

$$b=1.0\text{V/V}$$

$$L=20$$

同时 $r_{oa}=1/[g_{m5}(1+\chi_5)]=(1/1.25)\text{k}\Omega=800\Omega$。所以：

$$A_{oc}=\frac{v_o}{v_i}=\frac{1}{1+1/20}\text{V/V}=0.9524\text{V/V}$$

$$R_o=\frac{800}{1+20}\Omega=38.1\Omega$$

◀

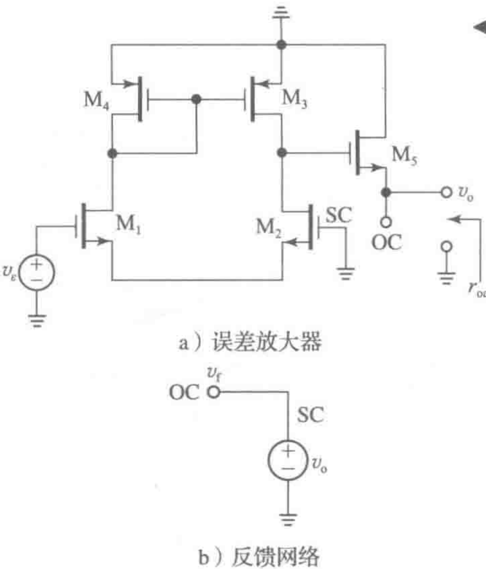
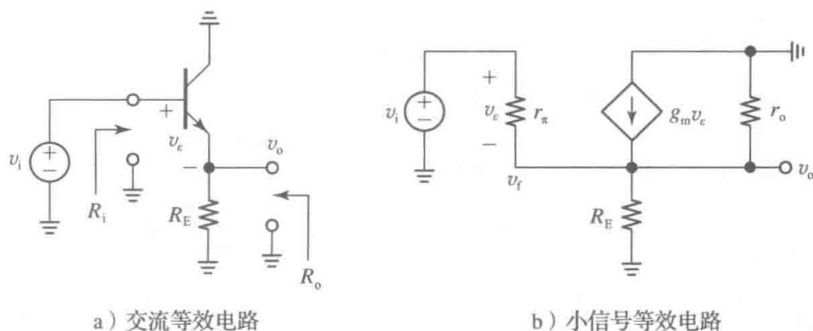


图 7.27　图 7.26 所示电路分解

在上例中，让我们来探究下图 7.28a 所示的射极跟随器。在各种应用场合都印证了在 BJT 的射极或者 MOSFET 的源极串联电阻会在电路中引入退化，但是却会稳定电路的直流偏置点。接下来从负反馈的观点重新审视这个问题。BJT 的输入信号为 $v_\varepsilon=v_i-v_o$，表明这是一个 $b=1\text{V/V}$ 的串-并结构。为了将该电路分解成误差放大器和反馈网络，可参考图 7.28b 所示的小信号等效电路。

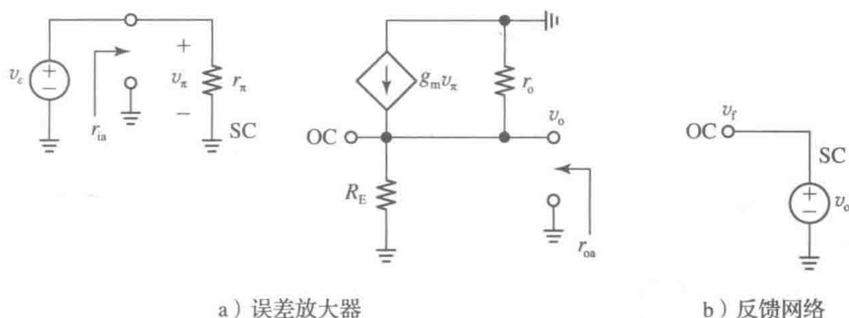
根据前文所述串联-并联流程，首先将放大器输出端 v_o 短接到地，以求出输入端负载，即图 7.29a 所示左图。接下来，将节点 v_f 开路以求出输出端负载，如图 7.29a 右图所示（有趣的是，从不同的端口看时，发射极既可以看成开路，也可以看成短路）。最后，反馈网络如图 7.29b 所

示，其中 b=1V/V。



a）交流等效电路　　b）小信号等效电路

图 7.28　带负反馈系统的射极跟随器



a）误差放大器　　b）反馈网络

图 7.29　图 7.28 所示的反馈电路分解

例 7.12 在图 7.28a 所示的射极跟随器中，令 $R_E=10\text{k}\Omega$。且所有的 BJT，有 $g_m=1/(25\Omega)$，$r_\pi=5\text{k}\Omega$，$r_o=100\text{k}\Omega$，求空载增益 A_{oc}、R_i、R_o。评价你的结果。

解：

由图 7.29a，有：

$$r_{ia}=r_\pi=5\text{k}\Omega, r_{oa}=R_E /\!/ r_o=(10 /\!/ 100)\text{k}\Omega=9.09\text{k}\Omega$$

$$a=\frac{v_o}{v_\varepsilon}=g_m(R_E /\!/ r_o)=(9.09/0.025)\text{V/V}\approx 364\text{V/V}$$

而由图 7.29b 有 $b=v_f/v_o=1\text{V/V}$，

$$L=a\times 1=g_m(R_E /\!/ r_o)=364$$

故，

$$A_{oc}=\frac{1}{1+1/[g_m(R_E /\!/ r_o)]}=\frac{1}{1+1/364}\text{V/V}=0.997\text{V/V}$$

$$R_i=r_\pi[1+g_m(R_E /\!/ r_o)]=5\times(1+364)\text{k}\Omega=1.83\text{M}\Omega$$

$$R_o=\frac{R_E /\!/ r_o}{1+g_m(R_E /\!/ r_o)}=\frac{1}{g_m} /\!/ R_E /\!/ r_o\approx\frac{1}{g_m}\approx r_e=25\Omega$$

感兴趣的同学可以将结果进行适当的变化，与 2.9 节中对应的表达式进行比较。由于本节中所用的方法基于式(7.45a)、式(7.45b)，故比较结果只有很小的区别(例如 β_0 代替了 β_0+1)，尽管本例进行了近似，但是结果证明其吻合度较高。

备注：注意，一个反馈电路可能是另一个更复杂的反馈电路的一部分，比如图 7.23 所示三重串联-并联结构的射极跟随器 Q_3。◀

并联-并联电路

图 7.30 所示电路中，我们再次对图 7.18b 所示的并联-并联运放结构进行分析，但是将注意力集中在放大器内阻 r_i 和 r_o 与由 R 组成的反馈网络之间的相互作用。为了能独立分析反馈网络引入的负载，假设激励源 i_i 的并联电阻无穷大，输出端开路。

众所周知，由于较高的增益 a_v，差分输入电压 v_d 非常小，反向输入端可看作"虚拟地"。因此，为了计算放大器的输出负载，将 R 看作左端接地。为了求出输入负载，输出端的信号采样采用并联形式，如图 7.20 的串联-并联电路所示。因此，为了计算输入负载，将 R 看作右端接地。两种情形都在图 7.31a 中标注出来了，其中误差放大器在开环情况下工作，但是包含外部反馈电路所引入的负载。接下来我们希望求出开环参数，记为 $a(=v_o/i_\varepsilon)$，r_{ia}、r_{oa}。由电阻分压定律和欧姆定律，有：

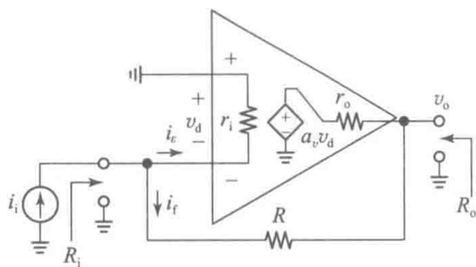


图 7.30　跨阻放大器的内部电阻示意图

$$v_o = \frac{R}{r_o + R} a_v v_d = \frac{R}{r_o + R} a_v (r_i \mathbin{/\!/} R)(-i_\varepsilon)$$

因此

$$a = \frac{v_o}{i_\varepsilon} = -(r_i \mathbin{/\!/} R) a_v \frac{R}{r_o + R} \qquad (7.50)$$

注意到 a 的单位为 V/A，且为负值，此外，还有：

$$r_{ia} = r_i \mathbin{/\!/} R, r_{oa} = r_o \mathbin{/\!/} R \qquad (7.51)$$

接下来，我们将反馈网络从基础放大器中分离出来，再次回到图 7.30 所示电路，我们注意到该反馈网络中由电压源 v_o 驱动的采样端串联电阻 R_o 非常小，而信号累加端则相当于短路。计算 b 的电路如图 7.31b 所示，当我们实际计算 b 时，可以有 $i_f=(0-v_o)/R$，故得：

$$b = \frac{i_f}{v_o} = -\frac{1}{R} \qquad (7.52)$$

b 的单位是 A/V，与 a 相反。此外，b 是负值，与 a 相同。所有这些性质都与无量纲的正参数 $L=ab$ 相吻合。可由式(7.34)、式(7.35)求出空载增益 A_{oc}、R_i、R_o，只不过用 r_{ia}、r_{oa} 代替 r_i、r_o。

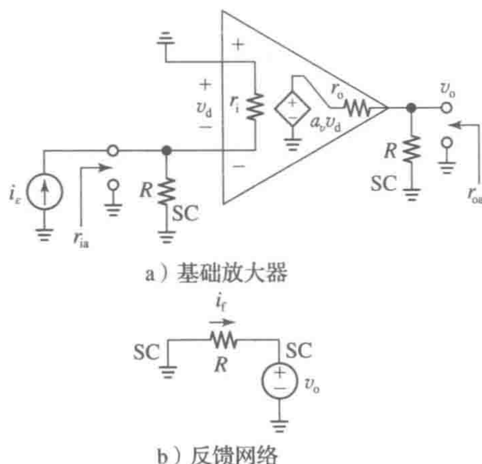


图 7.31　图 7.30 所示电路分解

例 7.13 在图 7.30 所示电路中，令运放增益 $a_v=10^5$ V/V，$r_i=2$MΩ，$r_o=100$Ω，若 $R=1.0$MΩ，求 A_{oc}，R_i，R_o。

解：

由式(7.50)～式(7.52)，有：

$$r_{ia} = (2 \mathbin{/\!/} 1) \times 10^6 \Omega = 667\text{k}\Omega, r_{oa} = (100 \mathbin{/\!/} 10^6)\Omega = 100\Omega$$

$$a = -(2 \mathbin{/\!/} 1) \times 10^6 \times 10^5 \times \frac{10^6}{100 + 10^6}\text{V/A} = -6.66 \times 10^{10}\text{V/A}, b = -10^{-6}\text{A/V}$$

$$L = (-6.667 \times 10^{10}) \times (-10^{-6}) = 66,667$$

$$A_{oc} = \frac{-10^6}{1 + 1/66\,667}\text{V/A} \approx -1.0\text{V}/\mu\text{A}$$

$$R_i = \frac{667\text{k}\Omega}{66\,667} = 10\Omega$$

$$R_o = \frac{100\Omega}{66\,667} = 1.5\text{m}\Omega$$

◀

上述解答可归纳为如下的并联-并联流程。

- 将反馈网络的采样端短路，计算基础放大器的输入端负载。
- 将反馈网络的累加端短路，计算基础放大器的输出端负载。
- 在反馈网络的采样端加一个电压 v_o，求出流过反馈网络累加端的短路电流 i_f，则 $b=i_f/v_o$。

我们利用下面的例子阐述上述步骤。

图7.32所示反馈电路与图7.23所示电路类似，除了输入信号现在为电流源，且从Q_1的发射极输入，同时基极接地。因此，Q_1被偏置在了共基极模式下。我们知道，由发射极看进去的电阻非常低，而反馈会让这个值更低。采用上述并联-并联流程，最终将电路分解为图7.33所示的基础放大器和反馈网络。

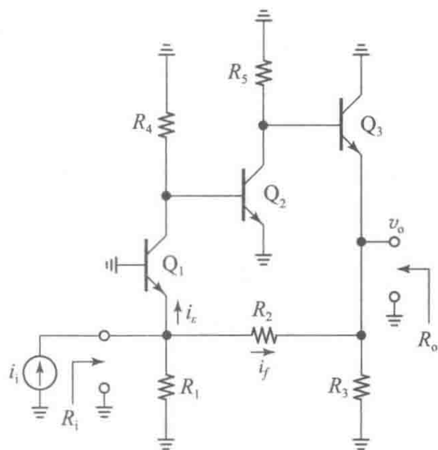


图7.32 三重并-并反馈

例7.14 (a) 假设图7.32所示电路的参数与例7.10中参数一样，即$R_1=1.0\text{k}\Omega$，$R_2=3.0\text{k}\Omega$，$R_3=R_4=R_5=10\text{k}\Omega$。此外，假设对于所有的BJT，$g_m=1/(25\Omega)$，$r_\pi=5\text{k}\Omega$，$r_o=\infty$，求出空载增益$A_{oc}$，$R_i$，$R_o$。

(b) 与例7.10比较，找出异同。

解：

(a) 采用例7.10中类似的步骤，由图7.33所示电路，有：

$$r_{ia}=r_{e1}\ /\!/\ R_1\ /\!/\ R_2=24.2\Omega$$

$$r_{oa}=\frac{R_5+r_{\pi3}}{\beta_{03}+1}\ /\!/\ R_2\ /\!/\ R_3\approx 72.3\Omega$$

$$\frac{v_{e1}}{i_\varepsilon}=r_{ia}=24.2\text{V/A}$$

$$\frac{v_{c1}}{v_{e1}}=g_{m1}(R_4\ /\!/\ r_{\pi2})=133\text{V/V}$$

$$\frac{v_{c2}}{v_{c1}}=-g_{m2}(R_5\ /\!/\ R_{b3})=-400\text{V/V},\frac{v_o}{v_{c2}}\approx 1\text{V/V}$$

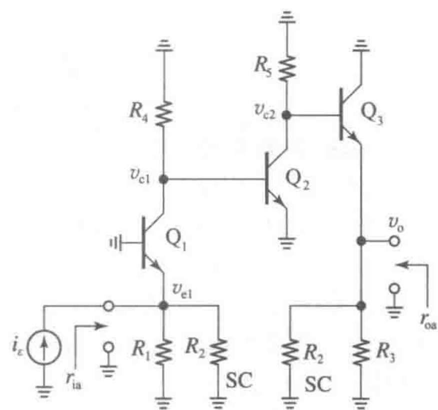
$$a=\frac{v_o}{i_\varepsilon}=\frac{v_{e1}}{i_\varepsilon}\times\frac{v_{c1}}{v_{e1}}\times\frac{v_{c2}}{v_{c1}}\times\frac{v_o}{v_{c2}}\approx 24.2\times133\times(-400)\times1\text{V/A}=-1.29\times10^6\text{V/A}$$

$$b=\frac{i_f}{v_o}=-\frac{1}{R_2}=-\frac{1}{3\times10^3}\text{A/V},L=ab=\frac{-1.29\times10^6}{-3\times10^3}=430$$

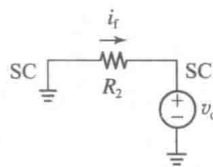
$$A_{oc}=\frac{v_o}{i_i}=\frac{-3\times10^3}{1+1/430}\text{V/A}=-2.993\text{V/mA}$$

$$R_i=\frac{24.2}{1+430}\Omega=0.056\Omega,R_o=\frac{72.3}{1+430}\Omega\approx0.168\Omega$$

(b) 可以很容易观察到，虽然a、b在数值和单位上截然不同，但是其乘积$L=ab$却相同。然而，由于不同的反馈结构，部分闭环参数变化却很剧烈。在这两例中，输出采样都是采取并联的形式，故R_o维持不变，与此相反，R_i却由例7.10中串联输入的67MΩ变为本例中并联输入的0.056Ω，变化不可谓不显著。同时，闭环增益在数值、单位以及极性上都有变化。◀



a）误差放大器



b）反馈网络

图7.33 图7.32所示的电路分解

作为最后一个例题，接下来探讨图7.34a所示的交流电路，代表了常见的反馈偏置方法。

这种方法为晶体管提供良好的直流偏置。由于其是并联-并联型电路，运用前文所述的并联-并联流程，可得图7.34b和图7.34c所示的电路分解图。

例7.15 (a) 在图7.34a所示的并-并电路中，令$R_B=100\text{k}\Omega$，$R_c=10\text{k}\Omega$，此外，对于所有的BJT，有$g_m=1/(25\Omega)$，$r_\pi=5\text{k}\Omega$，$r_o=100\text{k}\Omega$，求A_{oc}、R_i，R_o。

(b) 若 R_B 降为 5kΩ，重做(a)问，并评价你的结果。

解：

(a) 参考图 7.34b 和图 7.34c 所示电路，有：

$$r_{ia} = R_B \mathbin{/\!/} r_\pi = (100 \mathbin{/\!/} 5)\text{k}\Omega = 4.76\text{k}\Omega, r_{oa} = R_C \mathbin{/\!/} R_B \mathbin{/\!/} r_o = (10 \mathbin{/\!/} 100 \mathbin{/\!/} 100)\text{k}\Omega = 8.33\text{k}\Omega$$

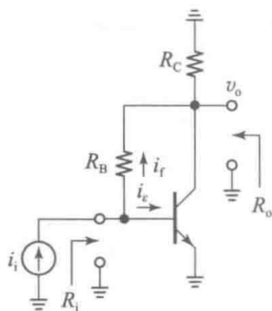
$$\frac{v_b}{i_p} = r_{ia} = 4.76\text{V/mA}, \frac{v_o}{v_b} = -g_m r_{oa} = -\frac{8.333}{0.025}\text{V/V} = -333\text{V/V}$$

$$a = \frac{v_o}{i_\sigma} = \frac{v_b}{i_\varepsilon} \times \frac{v_o}{v_b} = -g_m r_{ia} r_{oa} = (4.76 \times 10^3) \times (-333)\text{V/A} = -1.59 \times 10^6\text{V/A}$$

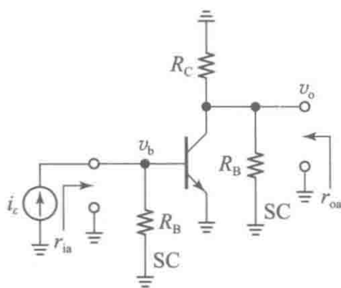
$$b = \frac{i_f}{v_o} = -\frac{1}{R_B} = -\frac{1}{10^5}\text{A/V}, L = ab = \frac{-1.59 \times 10^6}{-10^5} = 15.9$$

$$A_{oc} = \frac{v_o}{i_i} = -\frac{10^5}{1 + 1/15.9}\text{V/A} = -94\text{V/mA}$$

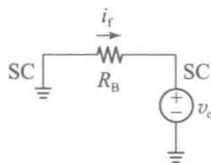
$$R_i = \frac{4.76}{1 + 15.9}\text{k}\Omega \approx 0.28\text{k}\Omega, R_o = \frac{8.33}{1 + 15.9}\text{k}\Omega \approx 0.5\text{k}\Omega$$



a）并-并电路中BJT的反馈偏置结构



b）误差放大器



c）反馈网络

图 7.34

(b) 由 $R_B = 5\text{k}\Omega$，有 $r_{ia} = 2.5\text{k}\Omega$，$r_{oa} = 3.23\text{k}\Omega$，$a = -3.23 \times 10^5\text{V/A}$，$b = -1/(5 \times 10^3)\text{A/V}$，故

$$L = 65.5, A_{oc} = -4.925\text{V/mA}, R_i = 38.2\Omega, R = 49.2\Omega$$

注意到 L 值有明显的增加，从 15.9 到 65.5，你能直观地解释吗？ ◀

串联-串联电路

在图 7.35 所示电路中，我们重新探讨图 7.18c 所示的串联-串联型的运放结构，但是将注意力放在放大器内阻 r_i 和 r_o 与由 R 组成的外部反馈网络的相互作用上。为了单独关注反馈网络引入的负载，假设此时电路是不带负载的，即输入端为串联电阻为零的电压源 v_i，输出视为短路（当输出信号为电压时，空载相当于开路，而当输出信号为电流时，空载相当于短路）。

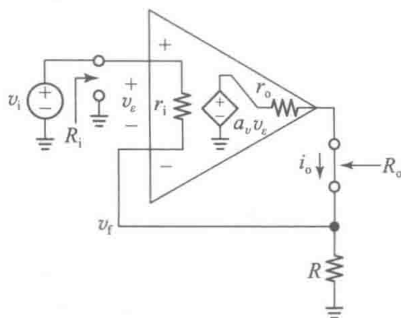


图 7.35 跨导放大器及其内阻 r_i、r_o 示意图

正如在图 7.20 所示电路中看到的联系，运放输入端口对反馈网络而言相当于开路。故为了计算放大器输出端的负载，将电阻 R 左端视为开路；为了计算输入端的负载，注意到输出端的采样运用串联形式，故此处的闭环电阻较高。因此，为计算放大器输入端负载，认为 R 与负载端之间是开路的。

上述两种情况如图 7.36a 所示，其中误差放大器处于开环模式，但是两个端口都考虑了外部反馈网络引入的负载。接下来，我们希望求出开环参数，即 a、r_{ia}、r_{oa}，由欧姆定律和电阻分压定律，可得：

$$i_o = \frac{a_v v_d}{r_o + R} = \frac{1}{r_o + R} a_v \frac{r_i}{r_i + R} v_\varepsilon$$

$$a = \frac{i_o}{v_\varepsilon} = \frac{r_i}{r_i + R} a_v \frac{1}{r_o + R} \tag{7.53}$$

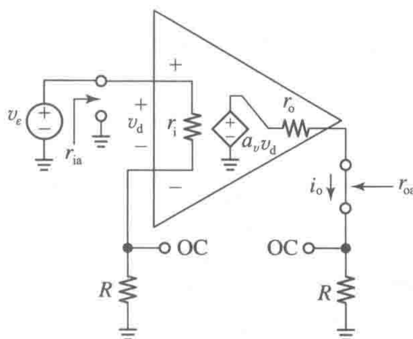
注意到，a 的单位为 A/V，此外，从激励源端 v_ε 及短路负载端看进去的阻抗为：

$$r_{ia} = r_i + R, r_{oa} = r_o + R \tag{7.54}$$

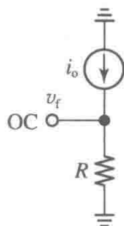
接下来，将反馈网络从放大器中分离出来。参考图 7.35所示电路，在采样端，电阻 R 由电流源 i_o 所驱动，其呈现出非常高的并联电阻 R_o，而在求和端，反馈网络驱动的放大器输入端可看成开路。计算 b 的电路如图 7.36b 所示，容易得出 $v_f = Ri_o$，故有：

$$b = \frac{v_f}{i_o} = R \tag{7.55}$$

b 的单位为 V/A，与 a 相反，这样 L 正好是无量纲常数。与前文一样，运用式(7.36)，求出空载增益 A_{sc}，将式(7.37)的 r_i，r_o 替换为 r_{ia}，r_{oa} 求得闭环端电阻 R_i，R_o。



a）误差放大器



b）反馈网络

图 7.36 图 7.35 所示的电路分解

例 7.16 (a) 在图 7.35 所示电路中，令运放的 $a_v = 10^3$ V/V，$r_i = 100$kΩ，$r_o = 1.0$kΩ，若 $R = 10$kΩ，求 A_{sc}，R_i，R_o；

(b) 若 $v_i = 5$V，则短路输出电流多少？若短路端被一个压降为 4.0V 的负载取代，则电流会改变多少？评价你的结果。

解：

(a) 由式(7.53)～式(7.55)，有：

$$a = \frac{100}{100+10} \times 10^3 \times \frac{1}{(1+10)\times 10^3} \text{A/V} = \frac{1}{12.1} \text{A/V}, b = 10^4 \text{V/A}$$

$$L = \frac{10^4}{12.1} = 826$$

$$r_{ia} = (100+10)\text{k}\Omega = 110\text{k}\Omega, r_{oa} = (1+10)\text{k}\Omega = 11\text{k}\Omega$$

$$A_{sc} = \frac{1/10^4}{1+1/826} \text{A/V} = 99.88\mu\text{A/V}, R_i = 110 \times (1+826)\text{k}\Omega = 91\text{M}\Omega$$

$$R_o = 11 \times (1+826)\text{k}\Omega = 9.1\text{M}\Omega$$

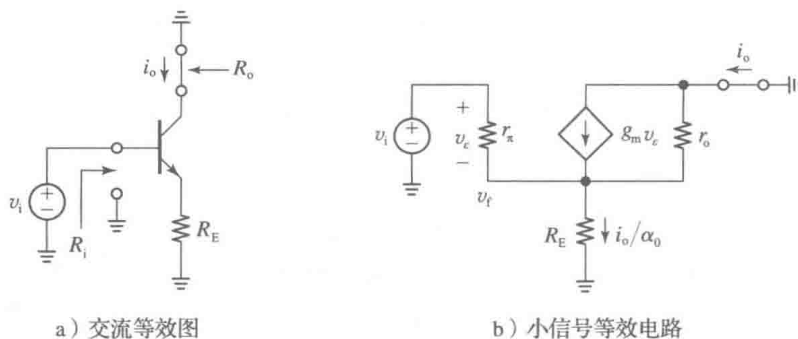
(b) 短路输出电流 $i_o = A_{sc} v_i = 99.88 \times 5.0\mu\text{A} = 499.4\mu\text{A}$。由输出端口的诺顿等效电路可知，当添加了一个压降 4.0V 的负载之后，电流将下降(4.0V)/(9.1MΩ)＝0.44μA，这个变化是不明显的，得益于负反馈带来的高输出阻抗。◀

上述解答可归纳为如下的串联-串联流程。

- 将反馈网络的采样端开路，计算基础放大器的输入负载。
- 将反馈网络的累加端开路，计算基础放大器的输出负载。
- 在反馈网络采样端添加电流 i_o，在反馈网络的累加端求出开路电压 v_f，则 $b = v_f / i_o$。

为了验证上述步骤，采取图 7.37 所示的单管 BJT 电路，该电路工作在串联-串联模式下，类似于电压/电流转换器。该电路与图 7.28 所示的共集电极类似，除了输出现在是集电极短路电流，而不是发射极开路电压。参考图 7.37b 所示的小信号等效电路，将电路分解为误差放大器和反馈网络，可看出被采样的电流不是 i_o，而是 i_o/α_0。

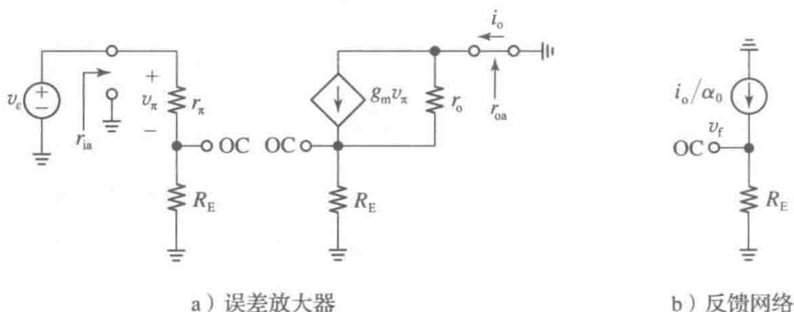
遵循上述串联-串联流程，将电阻 R_E 右端开路以求出输入端负载，如图 7.38a 左边电



a）交流等效图　　b）小信号等效电路

图 7.37　带串-串型反馈系统的单管 BJT 电压/电流转换器

路所示。同理，将 R_E左端开路求出输出负载，如图 7.38a 右边电路所示。最后，以电流 i_o/α_0驱动反馈网络 R_E，求出 v_f。



a）误差放大器　　b）反馈网络

图 7.38　图 7.37 所示电路分解

例 7.17 在图 7.37a 所示的电压/电流转换器中，令 $R_E = 10\text{k}\Omega$。且 BJT 有 $g_m = 1/(25\Omega)$，$r_\pi = 5\text{k}\Omega$，$r_o = 100\text{k}\Omega$，求 A_{sc}，R_i，R_o。评价你的结果。

解：

由图 7.38a，有：

$$r_{ia} = r_\pi + R_E = (5+10)\text{k}\Omega = 15\text{k}\Omega, r_{oa} = r_o + R_E = (100+10)\text{k}\Omega = 110\text{k}\Omega$$

$$i_o = i_{R_E} = \frac{r_o}{R_E + r_o} g_m v_\pi = \frac{r_o}{R_E + r_o} g_m \frac{r_\pi}{r_\pi + R_E} v_\varepsilon$$

$$a = \frac{i_o}{v_\varepsilon} = \frac{r_\pi}{r_\pi + R_E} g_m \frac{r_o}{R_E + r_o} = \frac{5}{5+10} \times \frac{1}{25} \times \frac{100}{10+100} \text{A/V} = \frac{1}{82.5} \text{A/V}$$

此外，由图 7.38b，有 $v_f = R_E i_o/\alpha_0$，故有：

$$b = \frac{v_f}{i_o} = \frac{R_E}{\alpha_0} = \frac{10\,000}{200/201} \text{V/A} = 10\,050 \text{V/A}, L = ab = \frac{10\,050}{82.5} = 122$$

$$A_{sc} = \frac{i_o}{v_i} = \frac{1}{10\,050} \frac{1}{1+1/122} \text{A/V} = 98.7\mu\text{A/V}$$

$$R_i = 15 \times (1+122)\text{k}\Omega = 1.85\text{M}\Omega, R_o = 110 \times (1+122)\text{k}\Omega = 13.5\text{M}\Omega$$

备注：将上述近似解与 2.6 节中的准确解进行比较，会发现两者之间的差异非常小。尽管图 7.37a 所示的电压/电流转换器与图 7.28 所示的射极跟随器类似，且器件参数一致，环路增益 L 却大相径庭(射极跟随器的 $L=364$，电压/电流转换器的 $L=122$)。另一方面，例 7.10 中的串-并电路和例 7.14 中的并联-并联电路却有相同的环路增益 $L=430$。可以说即使无源电路部分完全相同，环路增益 L 主要取决于反馈的结构。该问题在下一节中探讨。◀

并联-串联电路

在图 7.39 所示电路中，重新探讨图 7.18d 所示的并联-串联型运放结构，且使用成熟

的运放模型。假设没有外界负载，意味着输入电流源的并联电阻为零，输出短路。对于并联型的累加端，运放输入端与反馈网络之间相当于短路，同时对于串联型的采样端，运放输出端口与反馈网络之间相当于开路。最终，我们得到图7.40a所示电路，为一个开环状态的误差放大器，考虑了反馈网络在输入、输出端所引入的负载。接下来，希望求出其开环参数 a，r_{ia}，r_{oa}。

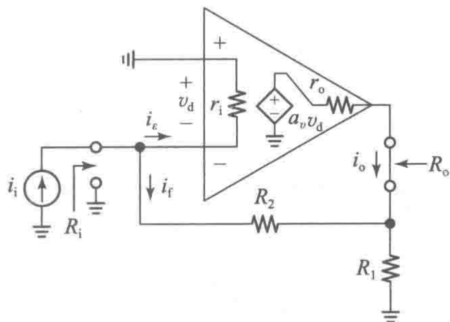


图7.39　电流放大器及其内阻 r_i 和 r_o 的示意图

$$r_{ia}=r_i // (R_2+R_1), r_{oa}=r_o+(R_2 // R_1) \tag{7.56}$$

$$i_o=\frac{a_v v_d}{r_{oa}}=\frac{1}{r_{oa}}a_v r_{ia}(-i_\varepsilon)$$

故有：

$$a=\frac{i_o}{i_\varepsilon}=-\frac{r_{ia}}{r_{oa}}a_v \tag{7.57}$$

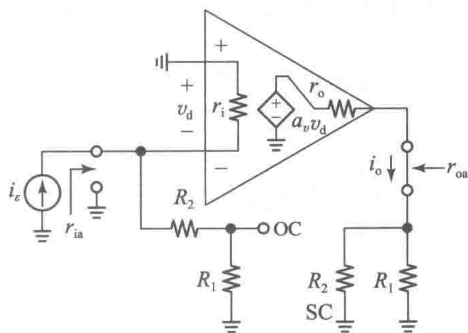
注意到 a 的单位是A/A，且为负值。

最后，将反馈网络从基本放大器中分离出来。参照图7.39所示电路，在采样端，反馈网络由具有较高并联电阻的电流源 i_o 驱动，而在累加端，反馈网络相当于短路。计算 b 的电路如图7.40b所示。根据电流分配规律，有：

$$b=\frac{i_f}{i_o}=-\frac{R_1}{R_1+R_2}=-\frac{1}{1+R_2/R_1} \tag{7.58}$$

注意到 b 为负值，单位为A/A，与 a 一样。同样地，运用式(7.31)求出空载增益 A_{sc}，利用式(7.32)、式(7.33)，用 r_{ia}，r_{oa} 代替 r_i，r_o，求出闭环端电阻 R_i，R_o。此外，在实际情况中参考图7.41所示的电路模型，反馈电流放大器由并联有限大电阻的电流源 i_{sig} 驱动，且驱动一个非零输出负载 R_L。其信号源到负载的电流增益为：

$$\frac{i_o}{i_{sig}}=\frac{R_{sig}}{R_{sig}+R_i}A_{sc}\frac{R_o}{R_o+R_L} \tag{7.59}$$



a）误差放大器

b）反馈网络

图7.40　图7.39所示电路分解

例7.18　(a) 图7.39所示电路中，运放参数为 $a_v=10^3$ V/V，$r_i=100\text{k}\Omega$，$r_o=100\Omega$，若 $R_1=1.0\text{k}\Omega$，$R_2=9.0\text{k}\Omega$，求 R_i，R_o，A_{sc}。

(b) 求出信号到负载的增益 i_o/i_{sig}，假设反馈放大器由并联电阻 $R_{sig}=1.0\text{k}\Omega$ 的电流源 i_{sig} 驱动，且其负载 $R_L=1.0\text{k}\Omega$。

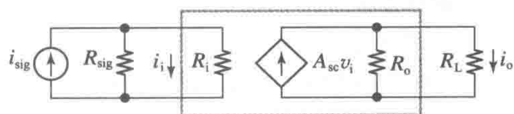


图7.41　闭环电流放大器的模型，其输入是带 R_{sig} 输出电阻的信号源，输出负载是 R_L

解：

(a) 由式(7.56)～式(7.58)，有：

$$r_{ia}=(100 // (9.0+1.0))\text{k}\Omega=9.09\text{k}\Omega$$

$$r_{oa}=(0.1+(9.0 // 1.0))\text{k}\Omega=1.0\text{k}\Omega$$

$$a=-\frac{9.09}{1.0}\times 10^3\text{A/A}=-9\,090\text{A/A}$$

$$b=-\frac{1}{1+9/1}\text{A/A}=-0.1\text{A/A}$$

$$L = ab = 909$$

$$A_{sc} \approx -10 \times \left(1 - \frac{1}{909}\right) \text{A/A} = -9.989 \text{A/A}$$

$$R_i = \frac{9\,100}{1 + 909} \Omega = 10\Omega$$

$$R_o = 1 \times (1 + 909) \text{k}\Omega = 910 \text{k}\Omega$$

(b) 参考图 7.41 所示的等效电路，会发现电流被分配到输出端和输入端，则信号到负载的增益为：

$$\frac{i_o}{i_{sig}} = \frac{1.0}{1.0 + 0.010} \times (-9.989) \times \frac{910}{910 + 2.0} \text{A/A}$$
$$= -9.868 \text{A/A}$$

上述解答可归纳为如下的并联-串联流程。

- 将反馈网络的采样端开路，计算基础放大器输入端负载。
- 将反馈网络的累加端短路，计算基础放大器输出端负载。
- 在反馈网络采样端添加电流 i_o，求出出反馈网络的累加端短路电流 i_f，则 $b = i_f / i_o$。

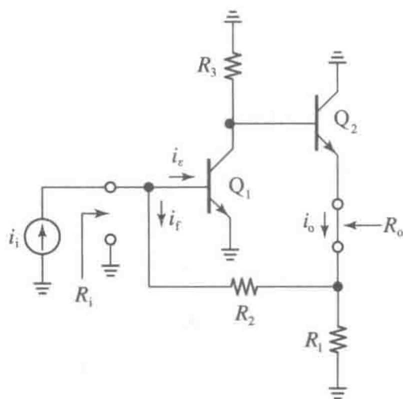


图 7.42 并联-串联型反馈对

为了验证上述步骤，用图 7.42 所示的并联-串联型反馈对，即电流放大对。遵循上述流程，我们可将电路分解为图 7.43 所示的基础放大器和反馈网络。

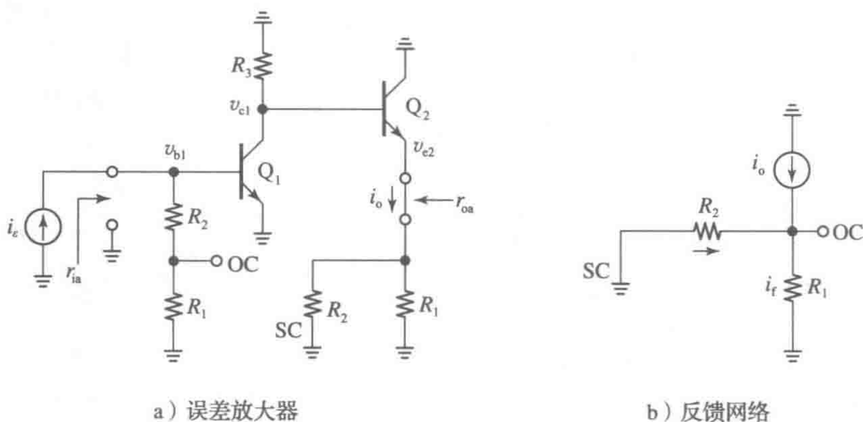


图 7.43 图 7.42 所示的电路分解

例 7.19 (a) 在图 7.42 所示的并-串对中，有 $R_1 = 1.0\text{k}\Omega$，$R_2 = 3.0\text{k}\Omega$，$R_3 = 10\text{k}\Omega$。此外，对于所有的 BJT，有 $g_m = 1/(25\Omega)$，$r_\pi = 4.0\text{k}\Omega$，$r_o = 50\text{k}\Omega$，求出 R_i，R_o，A_{sc}。

(b) 用 PSpice 验证你的结果。

解：

(a) 有 $\beta_0 = g_m r_\pi = 4/0.025 = 160$，由图 7.43，有：

$$r_{ia} = (R_2 + R_1) /\!/ r_{\pi 1} = ((3.0 + 1.0) /\!/ 4) \text{k}\Omega = 2.0 \text{k}\Omega$$

$$r_{oa} = \frac{(r_{o1} /\!/ R_3) + r_{\pi 2}}{\beta_{02} + 1} + (R_2 /\!/ R_1) \approx \left(\frac{(50 /\!/ 10) + 4}{161} + (3.0 /\!/ 1.0)\right) \text{k}\Omega = 0.827 \text{k}\Omega$$

$$\frac{v_{b1}}{i_\varepsilon} = r_{ia} = 2.0 \text{k}\Omega$$

$$\frac{v_{c1}}{v_{b1}} = -g_{m1} \{R_3 /\!/ r_{o1} /\!/ [r_{\pi 2} + (\beta_{02} + 1)(R_1 /\!/ R_2)]\}$$

$$=-\frac{10 /\!/ 50 /\!/ [4+161(1.0 /\!/ 3.0)]}{0.025}\text{V/V}=-312\text{V/V}$$

$$\frac{v_{e2}}{v_{c1}}=\frac{1}{1+\frac{(R_3 /\!/ r_{o2})+r_{\pi2}}{(\beta_{02}+1)(R_1 /\!/ R_2)}}=\frac{1}{1+\frac{10 /\!/ 50+4}{161(1.0 /\!/ 3.0)}}\text{V/V}=0.907\text{V/V}$$

$$\frac{i_o}{v_{e2}}=\frac{1}{R_1 /\!/ R_2}=\frac{1}{1.0 /\!/ 3.0}\text{A/V}=\frac{1}{0.75\text{k}\Omega}$$

$$a=\frac{i_o}{i_\varepsilon}=\frac{v_{b1}}{i_\varepsilon}\times\frac{v_{c1}}{v_{b1}}\times\frac{v_{e2}}{v_{c1}}\times\frac{i_o}{v_{e2}}=\frac{2\times(-312)\times 0.907}{0.75}\text{A/A}=-755\text{A/A}$$

$$b=-\frac{1.0}{1.0+3.0}\text{A/A}=-\frac{1}{4}\text{A/A}, L=ab=(-755)\times(-0.25)=189$$

最后，所求闭环参数为：

$$A_{sc}=\frac{i_o}{i_i}\approx\frac{-4}{1+1/189}\text{A/A}=-3.979\text{A/A}$$

$$R_i=\frac{2\,000}{1+189}\text{k}\Omega\approx 10.5\Omega$$

$$R_o=0.827\times(1+189)\text{k}\Omega=157\text{k}\Omega$$

(b) PSpice 电路如图 7.44 所示，其中 0V 的虚拟信号源 V_L 用来测量短路负载电流。在运用 PSspice 进行传递函数分析之后，得到 $A_{sc}=-3.980\text{V/V}$，$R_i=9.877\Omega$，$R_o=167.4\text{k}\Omega$，与 (a) 问中计算结果非常接近。◀

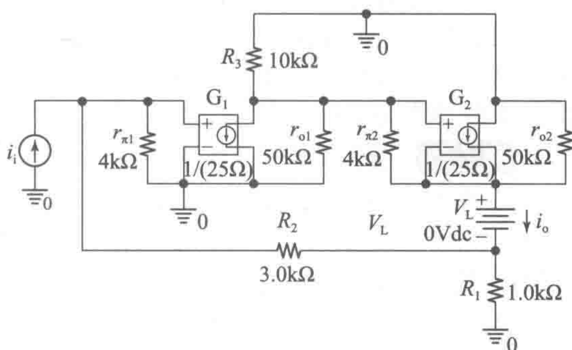
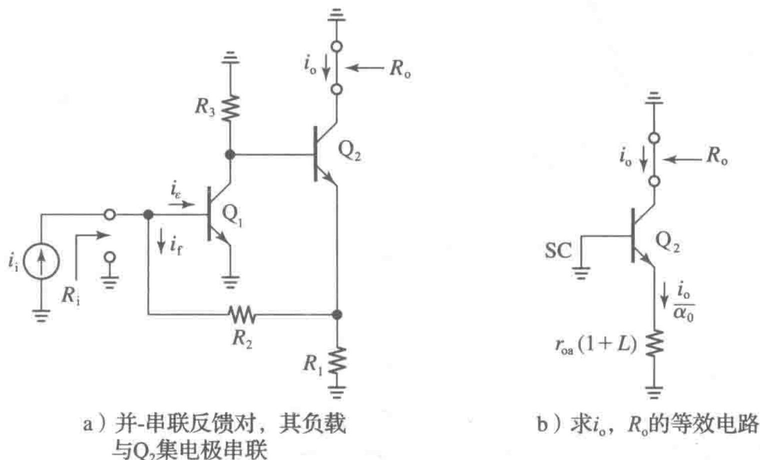


图 7.44 验证例 7.19 的 PSpice 电路

如图 7.45a 所示，若电路中需要一个更高的输出电阻，则可将负载移动到集电极，其交流阻抗比发射极的大得多。注意，此时负载与反馈环路是分离的，但是 Q_2 的基极-发射极端却还在反馈环路中，故 Q_2 的发射极电流 i_{e2} 将被调制。该电流与负载电流相关，且有 $i_{e2}=i_o/\alpha_0$。此外，如图 7.45b 所示，负反馈实际上在 Q_2 的发射极串联了一个阻值为 $r_{oa}(1+L)$ 等效电阻。



a) 并-串联反馈对，其负载与 Q_2 集电极串联

b) 求 i_o，R_o 的等效电路

图 7.45

例 7.20 假设电路参数和例 7.19 所示，且 $r_\mu=\infty$，求图 7.45a 所示的空载增益 i_o/i_i 及 R_o，最后，在 PSpice 中验证你的结果。

解：

$$i_o=a_o(-3.979)i_i$$

$$\frac{i_o}{i_i}=\frac{160}{161}\times(-3.979)\text{A/A}=-3.954\text{A/A}$$

$R_o\approx r_{o2}[1+g_{m2}\{r_{\pi2}\ /\!/\ [r_{oa}(1+L)]\}]=50\times10^3\times[1+(4\ /\!/\ 157)/0.025]\Omega\approx7.8\text{M}\Omega$

依然使用图 7.44 所示电路来进行 PSpice 的仿真验证，但是集电极与采样电流源 V_L 串连，最终仿真结果为 $i_o/i_i=-3.955\text{A/A}$，$R_i=9.877\Omega$，$R_o=7.5\text{M}\Omega$，与计算结果相吻合。◀

直接求出信号源到负载的增益

如图 7.22 和图 7.41 所示，一旦知道开环参数 R_i，R_o，及空载增益 A_{oc} 或 A_{sc}，我们就能够在一个含有非理想激励源和任意负载的系统中求出其信号源到负载的增益。然而，通常需要直接求出这个增益，不通过求解中间量 R_i 和 R_o。要达到上述要求，在计算基本放大器的开环增益 a 时，需要将信号源内阻 R_{sig} 和负载电阻 R_L 考虑进去。则信号源到负载的增益为 $A=a/(1+ab)$。我们将在电压和电流放大器中证明这种方法，且同样适用于其余两种类型的放大器。

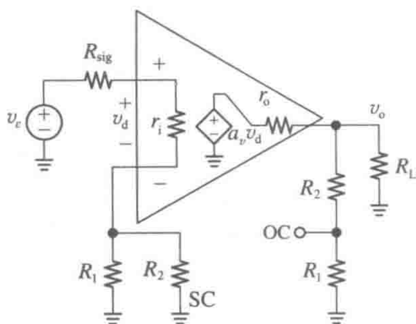


图 7.46　图 7.21a 所示的基本电压放大器模型，考虑了外部负载 R_{sig}，R_L

例 7.21 在例 7.9(b)问中，直接计算信号源到负载的增益 $A=v_o/v_{sig}$，其中 $a_v=1\,000\text{V/V}$，$r_i=10\text{k}\Omega$，$r_o=1.0\text{k}\Omega$，$R_1=1.0\text{k}\Omega$，$R_2=9.0\text{k}\Omega$，$R_{sig}=20\text{k}\Omega$，$R_L=2.0\text{k}\Omega$。

解：

重画图 7.21a 所示电路，但是将 R_{sig} 和 R_L 包含进来，得到图 7.46 所示电路。注意到 R_{sig} 串联，而 R_L 并联，与现有反馈结构相符合。则式(7.46)变为：

$$a=\frac{v_o}{v_\varepsilon}=\frac{r_i}{R_{sig}+r_i+(R_1\ /\!/\ R_2)}a_v\frac{(R_1+R_2)\ /\!/\ R_L}{r_o+[(R_1+R_2)\ /\!/\ R_L]}$$

或

$$a=\frac{10}{20+10+(1.0\ /\!/\ 9.0)}\times1\,000\times\frac{(1.0+9.0)\ /\!/\ 2.0}{1+[(1.0+9.0)\ /\!/\ 2.0]}\text{V/V}$$
$$=0.324\times1\,000\times0.625\text{V/V}=202\text{V/V}$$

由式(7.48)还有：

$$b=0.1\text{V/V},L=202\times0.1=20.2$$
$$\frac{v_o}{v_{sig}}=\frac{1/b}{1+1/L}=\frac{10}{1+1/20.2}\text{V/V}=9.528\text{V/V}$$

与例 7.9b 吻合的很好。◀

例 7.22 直接计算例 7.18(b)问所示电路信号源到负载的增益 $A=i_o/i_{sig}$。

解：

重画图 7.40a 所示电路，但是将 R_{sig} 和 R_L 包含进来，得到图 7.47 所示电路。注意到 R_{sig} 采取并联的形式，R_L 采取串联的形式，与现有反馈结构相符合，则式(7.57)变为：

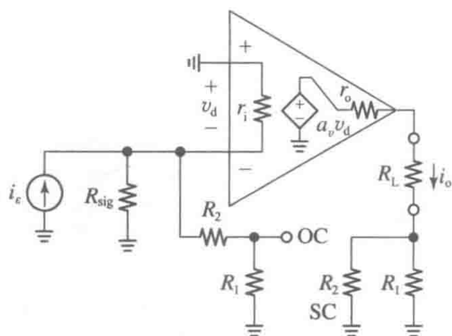


图 7.47　图 7.40a 所示的基本电压放大器模型，考虑了外部负载 R_{sig}，R_L

$$a=\frac{i_o}{i_\varepsilon}=-\frac{R_{sig}\ /\!/\ r_i\ /\!/\ (R_1+R_2)}{r_o+R_L+(R_1\ /\!/\ R_2)}a_v$$
$$=-\frac{1.0\ /\!/\ 100\ /\!/\ (1.0+9.0)}{1.0+2.0+(1.0\ /\!/\ 9.0)}\times10^3\text{A/A}$$
$$=-231\text{A/A}$$

b 的表达式仍由式(7.58)给出，即 $b=-0.1\mathrm{A/A}$，有：

$$\frac{i_o}{i_{sig}}=\frac{a}{1+ab}=\frac{-231}{1+(-231)\times(-0.1)}\mathrm{A/A}=-9.585\mathrm{A/A}$$

与例 7.18b 结果非常吻合。◀

区分反馈类型和结构

前文所述的分析方法适用于所有负反馈系统。为了确定反馈极性，在输入端加一个激励 s_i，随着信号在环路中传递，分析返回信号 s_f 对 s_i 所起的作用是削弱还是加强。只有起削弱作用才是负反馈，该过程可通过信号“翻转”直观地看出，如图 7.48 所示。

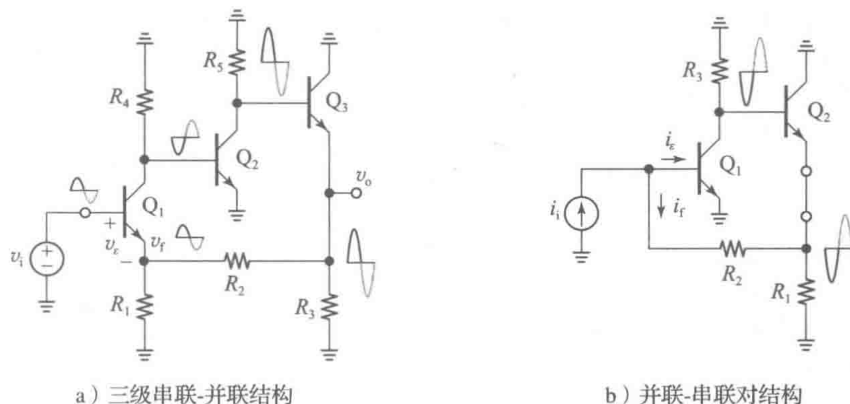


图 7.48 采用激励电压来判断环路信号传播类型

图 7.48a 所示电路中，固定交流输入信号为正半周。Q_1，Q_2 对信号进行放大和反相，最后经由 Q_4 缓冲，被电阻 R_1，R_2 分压反馈到输入级。经过两次反相，反馈信号 v_f 与输入信号 v_i 极性相同，由于 Q_1 输入电压变为 v_i-v_f，很明显，v_f 会削弱 v_i 的影响，故反馈作用为负。若 R_2 连接到 Q_1 的基极而不是发射极，则 v_f 会加强 v_i 的影响，是为正反馈。

在图 7.48b 所示电路中，正半周的电流信号 i_i 在 Q_1 的集电极被反相为负半周的电压，经由 Q_2 缓冲并通过 R_2 反馈到 Q_1 的基极。由于 R_2 右端电压为负半周，则其将从 Q_1 的基极抽取电流。此时，Q_1 的输入电流为 i_i-i_f，很明显，i_f 会削弱 i_i 的影响，故反馈为负。若如 7.48a 所示在 Q_1Q_2 中间插入一个反相极，i_f 的方向将发生反转，使得 i_f 加强了 i_i，则反馈为正。

为了确定反馈结构，必须确认输出端的信号采样类型和输入端的信号累加类型。明确输出端的信号采样类型，按照以下步骤进行。

- 对于电压采样，令 $v_o\to 0$ 将输出端短路。若输入端反馈信号也将为零，则为并联采样。
- 对于电流采样，令 $i_o\to 0$ 将输出端开路。若输入端反馈信号也将为零，则为串联采样。

作为例子，将图 7.48a 所示输出端口短路，使 $v_f\to 0$，确认为电压反馈；相反地，将图 7.48b 所示的输出端口开路，使 $i_f\to 0$，确认为电流反馈。一般来说，两种情形都需要考虑，一个用来验证，另一个用来确认。

明确输入端累加的类型，遵循以下步骤。

- 验证是否为电压累加型，找出输入电压、放大器控制电压，以及输出负载的反馈电压的串联组合。如果可以找到这样的组合，则信号的累加是串联的形式。若找不到，则进行电流累加型的验证。
- 验证是否为电流累加型，找出输入电流、放大器控制电流，以及输出负载上的反馈电流的并联节点。如果能找到该节点，则信号的累加是并联的形式。若找不到，则进行电压累加型的验证。

在图 7.48a 所示电路中，我们找到电压 v_i，v_ε，v_f 的串联组合，即为串联累加；而在图 7.48b 所示电路中，有 i_i，i_ε，i_f 的并联节点，即为并联累加。图 7.48a 所示电路中没有

并联节点，图 7.48b 所示电路中也没有相应的串联组合。

上述步骤同样有助于形成对电阻的直观预估：高阻抗意味着串联，低阻抗意味着并联。初学者必须经过对电路反馈类型的判别来培养自己对电路结构快速识别的能力。

7.5　反馈比分析

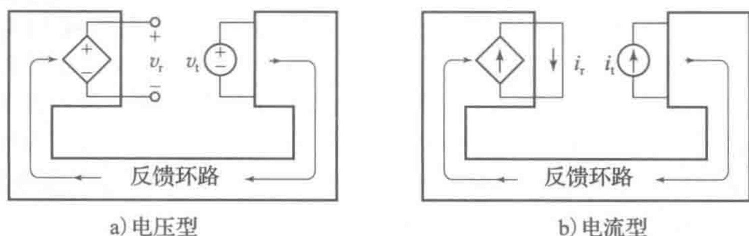
毫无疑问，环路增益在负反馈系统中扮演着重要角色。因为它给出了电路行为与理想值之间的接近程度，电路设计者需要快速估计该值，以判断电路与设计指标是否符合或者需要改进。双端口技术可通过适当的电路变换和近似来计算出 a 和 b，然后可由 $L=ab$ 估算环路增益值(在前一节中可以看到，a 和 b 的值均随着反馈结构变化而变化)。与双端法不同，直接法通过在反馈环路中加激励信号来查看电路的响应，以确定环路特性(同样地，他们与结构无关)。当添加激励信号时，有几点必须注意：(a)不要影响电路的直流偏置；(b)不改变负载情况。两种方法都能用来估算反馈环路特性。第一种方法在本节中将探讨，适合于含有受控源的电路的计算；第二种方法将在下一节中探讨，适合于测试和仿真环境，例如实验室测试或晶体管级仿真。

含受控源电路的反馈比分析

假设有一个包含受控源的单级反馈电路，可按以下步骤计算反馈比。

- 将外界激励源 s_i 设为零，即如果 s_i 是一个电压源，将其短路；如果是一个电流源，将其开路。
- 沿着受控源方向将反馈环路断开，若是电压信号源，则将其开路；若是电流信号源，则将其短路。
- 若受控源是电压源，则用一个与其相同极性的测试电压 v_t 来驱动电路，如图 7.49a 所示。因此，求出受控源反馈的开路电压 v_r，则受控源的反馈比记为 T，即

$$T=-\frac{v_r}{v_t} \tag{7.60a}$$



a) 电压型　　b) 电流型

图 7.49　求受控源的反馈比

- 若受控源是电流源，则用一个与其相同方向的测试电流 i_t 来驱动电路，如图 7.49b 所示。因此，求出受控源反馈的短路电流 i_r，则受控源的反馈比记为 T，即

$$T=-\frac{i_r}{i_t} \tag{7.60b}$$

反馈比 T 和环路增益 L 的比较

直觉告诉我们，反馈比 T 和环路增益 L 是一样的(实际上，很多时候会将 T 当成是环路增益，进一步造成了误导)。尽管在某些情况下两者相等，但 T 和 L 是迥然不同的(当需要区分两者时，T 是反馈比环路增益，L 是双端环路增益)。为了理解这些区别，先回忆式(7.6)中 L 的定义是基于以下两个前提的：

- 正向信号仅通过放大器传递(在图 7.1 所示用带箭头的放大器，表示正向信号的传递方向)；
- 反向信号仅通过反馈网络传递(在图 7.1 所示用带箭头的反馈网络，表示反向信号的传递方向)。

对于这种情况，可以说放大器和反馈网络是单边的。然而，多数反馈网络实际上是双边的。正因为如此，在运用双端法时，采用了端口的短路和开路近似来计算 a 和 b，这是 T 和 L 的另一个区别。必须强调的是 T 的计算不包含任何前提，且结果是准确的！

可通过比较 T 和 L 对闭环增益 A 的影响来分析两者之间的异同。若将当前讨论的受控源的增益表示为 k(例如，运放中 $k=a_v$，BJT 中 $k=\beta_0$，MOSFET 中 $k=g_m$，颜色滤波阵列中 $k=z$)。众所周知，闭环增益 A 与环路增益 L 密切相关：

$$A=\frac{s_o}{s_i}=\frac{A_{ideal}}{1+1/L} \tag{7.61}$$

式中：

$$A_{ideal}=\lim_{k\to\infty}\frac{s_o}{s_i} \tag{7.62}$$

A_{ideal}是当受控源增益无穷大时 A 的极限值。用图 7.50a 所示的模块来检验式(7.61)，源于图 7.1 所示电路，令 $b\to 1/A_{ideal}$，$a\to ab/b=L/b=LA_{ideal}$。我们知道，一个信号从误差放大器输入端输入，顺时针流过整个环路，则被放大$(LA_{ideal})\times(1/A_{ideal})\times(-1)=-L$ 倍。

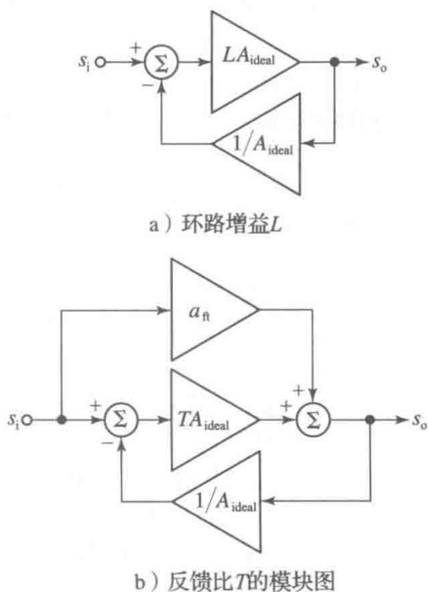
此外，闭环增益 A 与反馈比 T 之间的关系式可以表示为：

$$A=\frac{s_o}{s_i}=\frac{A_{ideal}}{1+1/T}+\frac{a_{ft}}{1+T} \tag{7.63}$$

式中：

$$a_{ft}=\lim_{k\to 0}\frac{s_o}{s_i} \tag{7.64}$$

a_{ft}为受控源为零时的馈通增益。该增益源于受控源的正向信号传递。通过图 7.50a 所示的模块来检验式(7.63)，该图是对 7.50b 所示电路的一般化，因为其上部包含了馈通路径。



a）环路增益L

b）反馈比T的模块图

图 7.50

与双端分析法相比，反馈比分析法更具洞察力，因为它将环路增益 A 拆分为两个分量，这两个分量均来自信号的正向传递，但一个流经误差放大器，而另一个流经反馈网络。另一方面，双端分析法则致力于使整个反馈网络遵循图 7.50a 所示的模块，这就是为什么与反馈比分析法相比，双端分析法只给出近似解的原因。很明显，在式(7.63)中，若满足条件：

$$|a_{ft}|\ll|TA_{ideal}| \tag{7.65}$$

式(7.63)中所包含的馈通分量可以忽略，意味着式(7.63)和式(7.61)在形式上是一样的。即使是这样，由于 L 的近似，T 和 L 两个参数还是不同的。正因为如此，用两种方法计算得到的增益 A 不同，尽管当 T 和 L 非常大时，这个差异会很小。从另一种观点来看，可将信号分量 $a_{ft}s_i$ 看成导致输出电压发生"蠕变"的输出噪声。当被反馈到输入时，该噪声信号要除以一个增益 TA_{ideal}，因此也会产生一个输入噪声分量 $s_{ni}=a_{ft}s_i/(TA_{ideal})$。很明显，只要满足式(7.65)，且 $|s_{ni}|\ll|s_i|$，这种情况下，对非单边的反馈网络不会有任何影响。

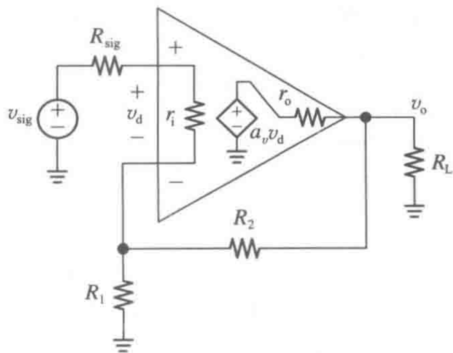


图 7.51 带输入输出负载的同相放大器

反馈比计算示例

上述概念需要通过实例解释。如图 7.51 所示熟

悉的运放电路，考虑更一般的环境，加入输入负载 R_{sig}，以及输出负载 R_L。为了求出 T，将 v_{sig} 接地，在电压源 $a_v v_d$ 右侧断开环路，保持电压源的开路，在断开处接测试电压源 v_t，计算反馈电压 v_r。参见图 7.52a 所示电路，从电路左端开始，慢慢转移到右端，不停地使用分压原理，得到：

$$v_r = a_v v_d = a_v \frac{-r_i}{R_{sig}+r_i} \times \frac{(R_{sig}+r_i) /\!/ R_1}{[(R_{sig}+r_i) /\!/ R_1]+R_2} \times \frac{\{[(R_{sig}+r_i) /\!/ R_1]+R_2\} /\!/ R_L}{(\{[(R_{sig}+r_i) /\!/ R_1]+R_2\} /\!/ R_L)+r_o} v_t$$

通过简单的计算得：

$$T = -\frac{v_r}{v_t} = a_v \times \frac{1}{1+\dfrac{R_{sig}}{r_i}} \times \frac{1}{1+\dfrac{R_2}{(R_{sig}+r_i) /\!/ R_1}} \times \frac{1}{1+\dfrac{r_o}{(\{[(R_{sig}+r_i) /\!/ R_1]+R_2\} /\!/ R_L}} \tag{7.66}$$

为了求出 a_{ft}，令 $a_v \to 0$，故受控源的 r_o 侧变为零。则电路等同于图 7.52b 所示电路。从电路右端开始，两次运用分压原理，则有：

$$v_o = \frac{r_o /\!/ R_L}{R_2+(r_o /\!/ R_L)} \times \frac{R_1 /\!/ [R_2+(r_o /\!/ R_L)]}{R_{sig}+r_i+(R_1 /\!/ [R_2+(r_o /\!/ R_L)])} v_{sig}$$

或者：

$$a_{ft} = \lim_{a_v \to 0} \frac{v_o}{v_{sig}} = \frac{1}{1+\dfrac{R_2}{r_o /\!/ R_L}} \times \frac{1}{1+\dfrac{R_{sig}+r_i}{R_1 /\!/ [R_2+(r_o /\!/ R_L)]}} \tag{7.67}$$

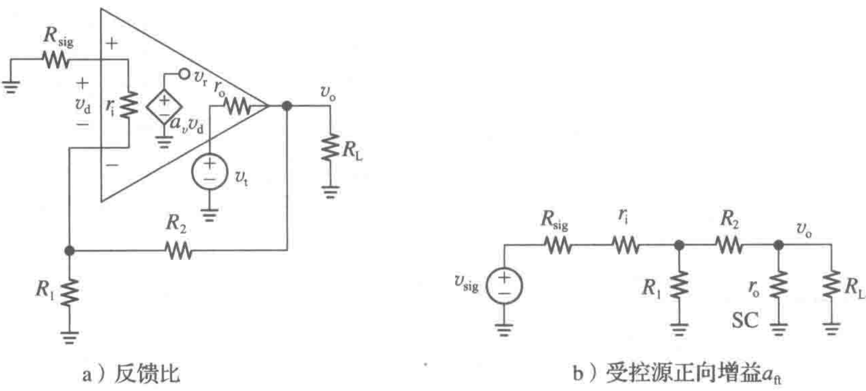


图 7.52 修改图 7.51 所示的电路以求出

例 7.23 运用反馈比分析法找出图 7.21 所示的运放电路的信号源到负载增益 $A = v_o/v_{sig}$，其中，$a_v = 1\,000$V/V，$r_i = 10$kΩ，$r_o = 1.0$kΩ，$R_1 = 1.0$kΩ，$R_2 = 9.0$kΩ，$R_{sig} = 20$kΩ，$R_L = 2.0$kΩ。与例 7.21 中结果比较并评价。

解：

运用式(7.66)，式(7.67)，有：

$$T = 10^3 \times \frac{1}{1+\dfrac{20}{10}} \times \frac{1}{1+\dfrac{9.0}{(20+10) /\!/ 1.0}} \times \frac{1}{1+\dfrac{1.0}{\{[(20+10) /\!/ 1.0]+9.0\} /\!/ 2.0}}$$

$$= 10^3 \times \frac{1}{3} \times \frac{1}{10.3} \times \frac{1}{1.6} = 20.2$$

$$a_{ft} = \frac{1}{1+\dfrac{9.0}{1.0 /\!/ 2.0}} \times \frac{1}{1+\dfrac{20+10}{1.0 /\!/ [9.0+(1.0 /\!/ 2.0)}} \text{V/V}$$

$$=\frac{1}{14.5}\times\frac{1}{34.1}\text{V/V}=2.02\times10^{-3}\text{V/V}$$

此外，由基础运放理论，有当 $a_v\to\infty$，有，$A_{ideal}=1+R_2/R_1=(1+9.0/1.0)\text{V/V}=10\text{V/V}$，由式(7.63)，有：

$$A=\left(\frac{10}{1+1/20.2}+\frac{2.02\times10^{-3}}{1+20.2}\right)\text{V/V}=(9.528+0.000\,095)\text{V/V}\approx9.528\text{V/V}$$

此处 T 的值与例 7.21 中 L 的值相符合，馈通效应在这里可以忽略不计。实际上，由 A 的表达式可以看出，a_{ft} 对整个增益 A 的影响仅仅只有 0.001%！而 $TA_{ideal}=(20.2\times10)\text{V/V}=202\text{V/V}$ 和 $a_{ft}=2.02\times10^{-3}\text{V/A}$ 表明式(7.65)是正确的。

备注#1：如图 7.52b 所示的电路，若运放有 $r_o=0$，则 v_{sig} 将不会传递到 v_o，$a_{ft}=0$，正如式(7.67)所展示的一样，本例中反馈网络是单边的。

备注#2：额外地，考虑式(7.19)中 $f\to\infty$，即 $a_v\to0$ 时的情况。由于 $a_v\to0$，环路被断开，此时 $L=T=0$。根据式(7.61)，可得 $A=0$，$v_o=Av_{sig}=0$。另一方面，据式(7.63)，$v_o=a_{ft}v_{sig}=(2.02\times10^{-3})v_{sig}\neq0$。故后者是正确的，而前者是错误的。◀

接下来，让我们重新审视图 7.53 所示反馈偏置 BJT 电路，但使用反馈比分析法。

图 7.53 由反馈偏置的 BJT 结构

为了求出 T，使用图 7.54a 所示的交流小信号等效电路，环路在受控源的上端被断开，故为了电流的流通，必须将其短路。接下来，让一个测试源 i_t 驱动其余电路结构，由分压定律和欧姆定律，有：

$$i_r=g_m v_\pi=g_m\frac{r_\pi}{r_\pi+R_B}v_o$$

$$=g_m\frac{r_\pi}{r_\pi+R_B}[(R_B+r_\pi)\,/\!/\,R_C\,/\!/\,r_o](-i_t)$$

令 $g_m v_\pi\to\beta_0$，对其稍做变换，有：

$$T=-\frac{i_r}{i_t}=\frac{\beta_0}{1+\dfrac{R_B+r_\pi}{R_C\,/\!/\,r_o}}\tag{7.68}$$

注意到 $T<\beta_0$。为了求 a_{ft}，不考虑受控源的影响，得到电路如图 7.54b 所示。由分压定律和欧姆定律，有：

$$a_{ft}=\lim_{g_m\to0}\frac{v_o}{i_i}=\frac{r_o\,/\!/\,R_C}{R_B+(r_o\,/\!/\,R_C)}\times\{r_\pi\,/\!/\,[R_B+(r_o\,/\!/\,R_C)]\}\tag{7.69}$$

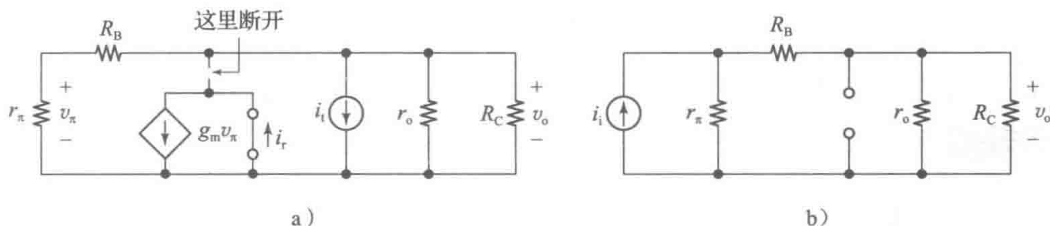


图 7.54 图 7.53 所示电路中，求(a)T，(b)a_{ft}的电路交流信号模型

例 7.24 求出例 7.15 中反馈偏置的 BJT 电路的 T，A，a_{ft}。比较两种结果，并评价。

解：

(a) 使用式(7.15a)中的分量，有 $A_{ideal}=-R_B=-100\text{V/mA}$，

$$T=\frac{200}{1+\dfrac{100+5}{10\,/\!/\,100}}=15.9$$

$$a_{ft}=\frac{100 /\!/ 10}{100+(100 /\!/ 10)}\times\{5 /\!/ [100+(100 /\!/ 10)]\}\text{V/A}=0.4\text{V/mA}$$

$$A=\left(\frac{-100}{1+1/15.9}+\frac{0.40}{1+15.9}\right)\text{V/A}=(-94.08+0.024)\text{V/mA}=-94.1\text{V/mA}$$

在例 7.15a 中有 $L=15.9$，$A=-94.0\text{V/mA}$。在该例中 T 和 L 相等，且馈通效应仅占 A 的 0.025%，几乎可以忽略。

(b) R_B从 100kΩ 降为 5.0kΩ，则有：

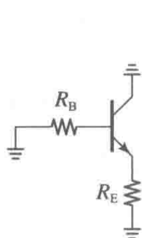
$$A_{ideal}=-5.0\text{V/mA},\quad T=95.2$$

$$a_{ft}=2.4\text{V/mA},\quad A=(-4.948+0.025)\text{V/mA}=-4.923\text{V/mA}$$

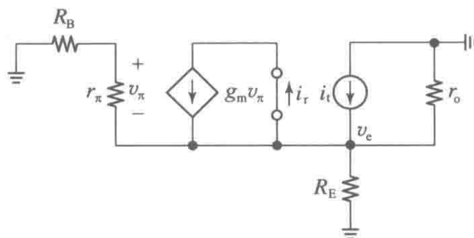
在例 7.15(b)问中有 $L=65.5$，$A=-4.925\text{V/mA}$，即使 A 的值很接近，但是 T 和 L 则差距很大，且馈通效应占 A 的比例从 0.025%变为 0.5%，注意从含有 T 的表达式计算出的 A 是准确的，而从含有 L 的表达式计算出来的 A 则是近似的。◀

接下来，考虑图 7.55a 所示的常见 BJT 电路，图中已经忽略了外部激励。通过这个电路可实现不同的结构，而这取决于输入、输出端口的位置。因此，在基极加入一个电压或者发射极加入一个电流，就实现了串联或者并联的累加。若发射极电压或集电极流作为输出信号，则为并联或者串联采样。然而，T 是电路的本征参数，不因为所采用的结构不同而变化。与此相反，L 和 a_{ft}则会因为电路结构的不同而不同。为了求出 T，在受控源右端将环路断开，将受控源短路，如图 7.55b 所示，在环路中添加测试电流源 i_t，由分压定律和欧姆定律，有：

$$i_r=g_m v_\pi=g_m\frac{r_\pi}{R_B+r_\pi}(-v_e)=g_m\frac{r_\pi}{R_B+r_\pi}[(R_B+r_\pi) /\!/ R_E /\!/ r_o](-i_t)$$



a）一般的BJT交流电路



b）求T的小信号等效电路

图 7.55

令 $g_m v_\pi\to\beta_0$，稍作变换，有：

$$T=-\frac{i_r}{i_t}=\frac{\beta_0}{1+\dfrac{R_B+r_\pi}{R_E /\!/ r_o}}\tag{7.70}$$

注意到 $T<\beta_0$。当 $R_C\to R_E$时，式(7.70)和式(7.68)形式相似，你能解释为什么吗？

例 7.25 (a) 在图 7.55a 所示一般的 BJT 交流电路中，令 $R_B=0$，$R_E=10\text{k}\Omega$，此外，对于 BJT，有 $g_m=1/(25\Omega)$，$r_\pi=5\text{k}\Omega$，$r_o=100\text{k}\Omega$，求出 T。

(b) $R_B=30\text{k}\Omega$，重做(a)问。

(c) 什么时候 T 最大，值为多少？

解：

(a) 应用式(7.70)，有：

$$T=\frac{200}{1+\dfrac{5}{10 /\!/ 100}}=129$$

(b) 将 R_B从 0 变为 30kΩ，则反馈比降低为 $T=41$

(c) 由式(7.70)，有 $R_B=0$，$R_E=\infty$，采用理想电流沉为共基极 BJT 提供发射极偏

置，则 $T_{max}=\beta_0/(1+r_\pi/r_o)=190.5$ ◀

例 7.26

(a) 图 7.55a 所示的 BJT 电路工作在例 7.12 所示的串-并模式，且输出信号为发射极电压，利用例 7.25a 中的 T 值求出其增益 A，比较结果并说说你的发现。

(b) 图 7.55a 中的 BJT 电路工作在例 7.17 所示的串-串模式，且输出信号为集电极电流，求出增益 A，比较结果并说说你的发现。

解：

不论反馈结构如何，例 7.25a 中 $T=129$。

(a) 如图 7.56 所示的串联-并联结构，为了求 A_{ideal}，令 $g_m\to\infty$。为了维持有限的输出电压 v_o，受控源需要一个非常小的电压 v_π。故 r_π 两端电压及流过的电流都将趋近于零，则 $R_B=0$，$v_o=v_b=v_{sig}$，或者 $A_{ideal}=v_o/v_{sig}=1\text{V/V}$。为求 a_{ft}，将 BJT 电路中的受控源开路，可得图 7.56b 所示电路，由分压定律，有：

$$a_{ft}=\lim_{g_m\to 0}\frac{v_o}{v_{sig}}=\frac{R_E /\!/ r_o}{R_B+r_\pi+(R_E /\!/ r_o)}=\frac{1}{1+\dfrac{R_B+r_\pi}{R_E /\!/ r_o}}=\frac{1}{1+\dfrac{0+5}{10 /\!/ 100}}\text{V/V}=\frac{1}{1.55}\text{V/V}$$

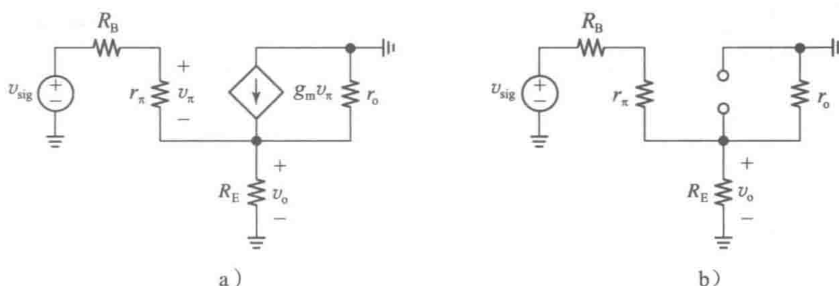


图 7.56

利用式(7.63)，得：

$$A=\left(\frac{1}{1+1/129}+\frac{1/1.55}{1+129}\right)\text{V/V}=(0.992+0.005)\text{V/V}=0.997\text{V/V}$$

这个结果与例 7.12 的精确地符合。为了测试两种方法的精确度，回顾 2.9 节中 $R_B=0$ 时的精确增益为：

$$A_{exact}=\frac{1}{1+\dfrac{r_\pi}{(\beta_0+1)(R_E /\!/ r_o)}}=\frac{1}{1+\dfrac{5}{201\times(10 /\!/ 100)}}\text{V/V}=0.997\text{V/V}$$

观察上述表达式可发现 $A_{exact}=1/(1+1/L_{exact})$，故有

$$L_{exact}=\frac{(\beta_0+1)(R_E /\!/ r_o)}{r_\pi}=\frac{201\times(10 /\!/ 100)}{5}=365.5$$

与例 7.12 中 $L=364$ 非常吻合，因此，不管我们使用式(7.61)中 $L=364$，或式(7.63)中 $T=129$，$a_{ft}=(1/1.55)\text{V/V}$，$A$ 的结果都是一致的。

(b) 对于图 7.57 所示的串联-串联型结构，负反馈控制着发射极电流 i_e。输出电流 i_o 不在反馈环路之内，但是还是受反馈的影响，即 $i_o=\alpha_0 i_e$。由于 $i_e=v_e/R_E$，重新审视(a)问中 v_e/v_{sig} 的值，有：

$$\frac{i_o}{v_{sig}}=\frac{i_o}{i_e}\times\frac{i_e}{v_e}\times\frac{v_e}{v_{sig}}=\alpha_0\times\frac{1}{R_E}\times A$$

$$=\frac{200}{201}\times\frac{1}{10^4}\times 0.997\text{A/V}=99.2\mu\text{A/V}$$

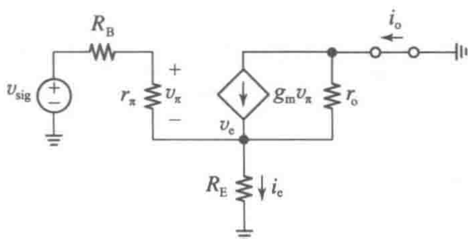
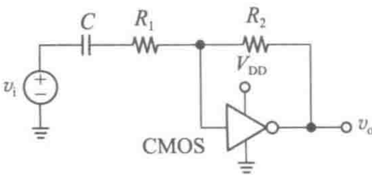


图 7.57　图 7.55a 所示工作在串-串模式的 BJT 交流模型

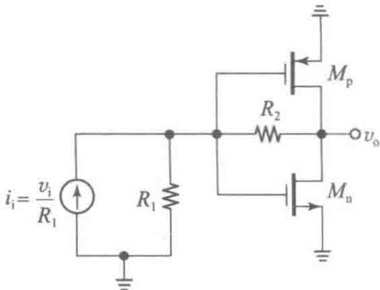
例 7.17 中的增益 $98.7\mu\text{A/V}$ 与本例中 $99.2\mu\text{A/V}$ 相

比，误差来源于图 7.38 所示的近似。

备注：如前文所述，L 随着反馈结构的不同而不断变化，即使无源电路也是如此。然而，不管怎样，T 都维持不变。◀



a）CMOS反相器作为反相放大器



b）其并联-并联交流等效电路

图 7.58

通过一系列的例子，可总结为图 7.58a 所示结构，采用 CMOS 反相器实现电压的反相放大，理想增益为 $A_v=v_o/v_i=-R_2/R_1$。这是一个并联-并联结构，故为了采用双端分析法，采用图 7.58b 所示的输入转换图。为求出 A_v，先求出跨阻增益 $A=v_o/v_i$，有：

$$A_v=\frac{v_o}{v_i}=\frac{v_o}{i_i}\times\frac{i_i}{v_i}=\frac{A}{R_1} \tag{7.71}$$

我们知道，CMOS 反相器中的 MOSFET 的跨导互相叠加，即

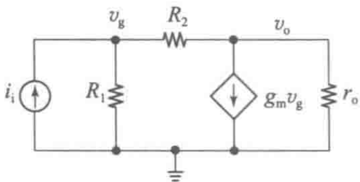
$$g_m=g_{mn}+g_{mp},\quad r_o=r_{on}\,/\!/\,r_{op}$$

小信号等效原理图如图 7.59a 所示。该电路非常简单，可以直接求出其增益 A。当然，还可以通过环路增益分析法和反馈比分析法求出 A，故可以比较上述三种方法，体会其间异同。

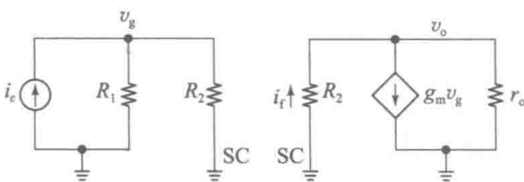
练习 7.2

利用节点分析证明图 7.59a 所示电路有：

$$A=\frac{v_o}{i_i}=-R_2\frac{1}{1+\dfrac{(1+R_2/R_1)(1+R_2/r_o)}{g_mR_2-1}} \tag{7.72}$$



a）图7.58的小信号等效电路



b）求解a，b的电路图

图 7.59

基于上述结论，由 $A=(-R_2)/(1+1/L_{exact})$，经过整理，有：

$$L_{exact}=\frac{g_m(R_2\,/\!/\,r_o)-1/(1+R_2/r_o)}{1+R_2/R_1} \tag{7.73}$$

接下来，通过双端分析法估算 L，参考图 7.59b，有：

$$a=\frac{v_o}{i_\varepsilon}=-g_m(R_1\,/\!/\,R_2)\times(R_2\,/\!/\,r_o),\quad b=\lim_{i_\varepsilon\to0}\frac{i_f}{v_o}=-\frac{1}{R_2}$$

$$L=ab=\frac{g_m(R_2\,/\!/\,r_o)}{1+R_2/R_1} \tag{7.74}$$

注意到由该方法所估算出来的 $L>L_{exact}$，其误差由 R_2/r_o决定，比值越高，误差越小。

最后通过图 7.60a 和图 7.60b 所示电路来求得 L 和 a_{ft}，可以轻易得出下列表达式：

$$T=-\frac{i_r}{i_t}=\frac{g_mr_o}{1+(R_2+r_o)/R_1}$$

$$a_{ft}=\lim_{g_m\to0}\frac{v_o}{i_i}=\frac{r_o}{1+(R_2+r_o)/R_1} \tag{7.75}$$

例 7.27 (a) 在图 7.58a 所示电路中，令 $g_m=2\text{mA/V}$，$r_o=50\text{k}\Omega$，假设该电路为单位增益电压放大器，$R_1=R_2=100\text{k}\Omega$，通过准确分析法、双端分析法、反馈比分析法求出

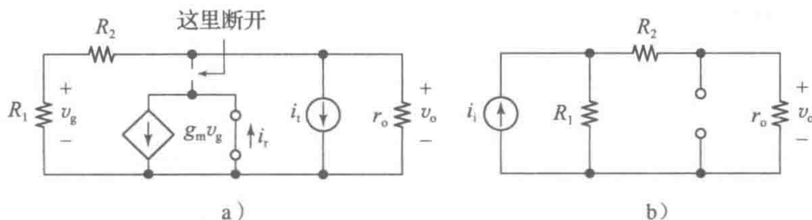


图 7.60　求图 7.58 所示电路中 a) T；b) a_{ft} 的小信号等效电路

$A=v_o/v_i$。

(b) 重复上述过程，但是 $R_1=R_2=10\text{k}\Omega$，与(a)问比较并评价。

解：

(a)有 $A_{v(ideal)}=(-100/100)\text{V/V}=-1\text{V/V}$，利用式(7.71)～式(7.73)，有：

$$L_{exact}=\frac{2\times(100\,/\!/\,50)-1/(1+100/50)}{1+100/100}=33.33-0.17=33.17$$

$$A_v=\frac{-100/100}{1+1/33.17}\text{V/V}=-0.970\,7\text{V/V}$$

由式(7.74)和式(7.61)，有：

$$L=2-\frac{100\,/\!/\,50}{1+100/100}=33.33,A_v=\frac{-100/100}{1+1/33.3}\text{V/V}=-0.970\,9\text{V/V}$$

由(7.75)，有：

$$T=\frac{2\times 50}{1+(100+50)/100}=40.0,a_{ft}=\frac{50}{1+(100+50)/100}\text{V/A}=20\text{V/A}$$

最后，由(7.63)，有：

$$A_v=\frac{1}{100}\times\left(\frac{-100}{1+1/40}+\frac{20}{1+40}\right)\text{V/V}=\frac{1}{100}\times(-97.56+0.49)\text{V/V}=-0.970\,7\text{V/V}$$

如前所述，双端分析法高估了 L 的值，但是在该例中其对 A_v 的影响可以忽略。由于 a_{ft} 和 $A_{v(ideal)}$ 有相反的极性，故有 $T>L$。通过反馈网络的正向传输约占 A_v 的 0.5%。

(b) $R_1=R_2=10\text{k}\Omega$ 时，$A_{v(ideal)}=(-10/10)\text{V/V}=-1\text{V/V}$，重新进行(a)问中的计算，有：

$$L_{exact}=7.917,A_v,=-0.887\,9\text{V/V}$$

$$L=8.333,A_v=-0.892\,9\text{V/V}$$

$$T=14.29,a_{ft}=7.14\text{V/A},A_v=(-0.934\,6+0.047)\text{V/V}=-0.887\,9\text{V/V}$$

再次，反馈比分析法计算的增益与准确值相符。同时降低相同数量级的 R_1，R_2 的值不会改变 $A_{v(ideal)}$ 的值，但是会显著改变电路输入、输出端的负载情况，以及信号传输条件。此时，T 几乎是 L 的 2 倍大，通过反馈网络的正向传输约占 A_v 的 5%。◀

反馈系数 β

通过分析双端环路增益 L，其表达式为 $L=ab$，与之类似，反馈比分析法反馈比 T 的表达式为：

$$T=a\beta \tag{7.76}$$

式中：β 与 b 对应，称为反馈比的反馈系数(为了与 b 相区别，应称为双端反馈系数)。其推导过程与式(7.60)中 T 的过程类似，不同点在于其反馈信号是受控源的控制信号(另外，也可以通过求 T 得到 $\beta=T/a$)。就像 T 和 L 一般是不同的，β 与 b 也是这种情况，尽管在某些情况下 β 和 b 可能相等。通过图 7.20 所示的同相放大器来验证上述推论，其简化图如图 7.61a 所示。结合图 7.61b，通过两次应用分压定律，有：

$$\beta=-\frac{v_d}{v_t}=\frac{1}{1+\dfrac{R_2}{r_i\,/\!/\,R_1}}\times\frac{1}{1+\dfrac{r_o}{r_i\,/\!/\,R_1+R_2}},\quad a=a_v$$

另一方面，由式(7.48)和式(7.46)，有：

$$b=\frac{1}{1+R_2/R_1}, \quad a=\frac{r_i}{r_i+(R_1 /\!/ R_2)}a_v\frac{R_1+R_2}{r_o+R_1+R_2}$$

代入图 7.61 所示的分量，有：

$$L=ab=833.3\times\frac{1}{10}=83.33$$

$$T=a\beta=1\,000\times\frac{1}{12}=83.33$$

我们可做如下几点归纳。

- 双端分析法使反馈系数 b 仅仅依赖反馈网络，故 $b=1/A_{ideal}$。反馈网络所带来的负载将计入放大器负载中，这也使得上例中的增益从 $a_v=1\,000$ 变为 $a=833.3$。
- 反馈比分析法使放大器的增益维持不变。放大器负载被计入反馈网络，反馈系数从 $b=1/10$变为 $\beta=1/12$。因此，$A_{ideal}\neq 1/\beta$(为避免混淆，在运放电路中，A_{ideal}的计算需要在 $k\to\infty$或 $a_v\to\infty$条件下进行)。
- 在本段的示例中，$T=L$，尽管一般情况下二者是有区别的。如前所述，即使二者相等，但其对 A 的影响却不尽相同，可参考式(7.61)，式(7.63)。

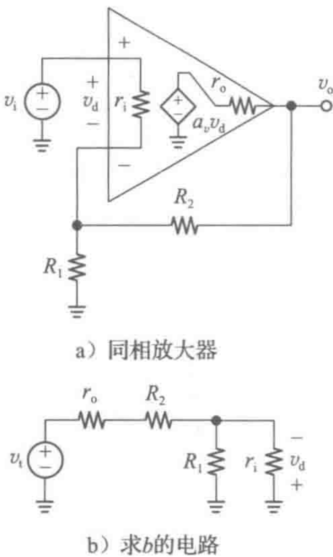


图 7.61 $a_v=1\,000\text{V/V}$，$r_i=10\text{k}\Omega$，$r_o=1.0\text{k}\Omega$，$R_1=1.0\text{k}\Omega$，$R_2=9.0\text{k}\Omega$

当我们在 7.7 节中着手分析稳定性时，会使用反馈比分析法，因为其将负载的影响计入 β，增益 a 的伯德图使得稳定性的分析更加简单。

7.6 布莱克曼阻抗公式和注入方法

反馈比分析法是计算负反馈电路中任意节点间闭环电阻 R 的有效工具，而不局限于输入、输出端。电阻值由布莱克曼阻抗公式给出：

$$R=r_0\frac{1+T_{sc}}{1+T_{oc}} \tag{7.77}$$

式中：

$$r_0=\lim_{k\to 0}R \tag{7.78}$$

当受控源置零时，r_0为给定节点之间的电阻，同时，T_{sc}和 T_{oc}是该受控源的反馈比，对应着两个端点之间短路和开路的情况。不管使用何种反馈结构，布莱克曼公式都适用。T_{sc}或 T_{oc}经常为零，表明负反馈要么将 r_0提高$(1+T_{sc})$倍(串联结构)，要么将 r_0降低到原值的$\dfrac{1}{(1+T_{oc})}$(并联结构)。

例 7.28 考虑图 7.62 所示的反馈偏置并-并型电路，正如例 7.15 和例 7.24 一样。采用例 7.15(b)问中的参数值($R_B=5.0\text{k}\Omega$，$R_C=10\text{k}\Omega$，$g_m=1/(25\Omega)$，$r_\pi=5.0\text{k}\Omega$，$r_o=100\text{k}\Omega$)，用布莱克曼阻抗公式求(a)R_i；(b)R_o。比较这两个例子并评价。

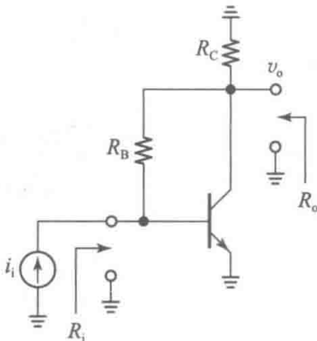


图 7.62 例 7.28 中的反馈偏置 BJT 电路

解：

为求出 r_{i0}、r_{o0}，令 $g_m\to 0$，以断开输入信号 i_i，且

使得输出端开路。这得到了如图7.63a所示的电路，为了求出反馈比使用图7.63b所示电路。

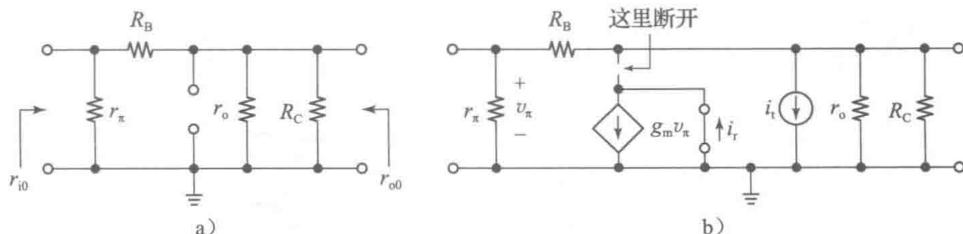


图7.63 图7.62所示电路的求(a)r_{i0}和r_{o0}，(b)反馈比的交流模型

(a) 经检验，有：

$$r_{i0}=r_\pi /\!/ [R_B+(r_o /\!/ R_C)]=(5 /\!/ [5+(100 /\!/ 10)])\text{k}\Omega=3.69\text{k}\Omega$$

将图7.63b所示的输入端短路，有$v_\pi=0$，故$i_r=0$，$T_{sc}=0$。输入端开路的情况，则与例7.24(b)问中一样，故可以写出$T_{oc}=95.2$。因此，

$$R_i=r_{i0}\frac{1+T_{sc}}{1+T_{oc}}=3.69\times\frac{1+0}{1+95.2}\Omega=38.4\Omega$$

(b) 参见图7.63a所示电路，有：

$$r_{o0}=R_C /\!/ r_o /\!/ (R_B+r_\pi)=4.76\text{k}\Omega$$

将图7.63b所示输出端短路，有$v_\pi=0$，$T_{sc}=0$。同样，将输出端开路，有$T_{oc}=95.2$。因此，有：

$$R_o=r_{o0}\frac{1+T_{sc}}{1+T_{oc}}=4.76\times\frac{1+0}{1+95.2}\Omega=49.5\Omega$$

例7.15(b)问中电阻值38.2Ω、49.2Ω与本例中的值非常接近。 ◀

例7.29 图7.64a所示的为威尔逊电流镜电路的交流形式，是一个基于Q_3的并联-串联反馈电路。可通过图7.64b所示的小信号等效电路来更好地理解，其中二极管形式连接的Q_2对Q_3的发射极电流进行采样，电流镜Q_1复制该电流，其反馈系数为1，并从输入累加端抽取该电流。使用布莱克曼阻抗公式和Q_1的受控源模型求解以下两个参数的表达式(a)R_i；(b)R_o

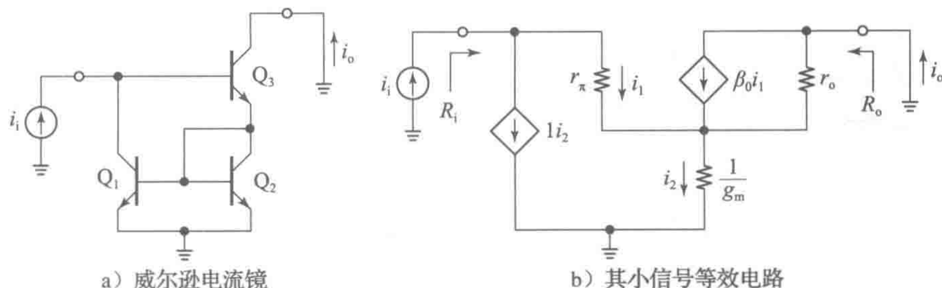


图 7.64

解：

为求出r_{i0}、r_{o0}，忽略输入信号源i_i，将Q_1的受控源模型置为零，则有图7.65a所示的情况：

$$r_{i0}=r_\pi+(\beta_0+1)\left(\frac{1}{g_m} /\!/ r_o\right)\approx 2\pi_\pi,r_{o0}=r_o+\frac{1}{g_m}\approx r_o$$

为求出反馈比，参考图7.65b所示电路。

(a) 如图7.65b所示，将输入端开路，有$i_r=1\times i_2\approx(\beta_0+1)i_1=-(\beta_0+1)i_t$，这其中忽略了$r_o$，因为其与$1/g_m$并联，而$r_o\gg 1/g_m$。因此，$T_{oc}=-i_r/i_t=\beta_0+1$。将输入端短接到地，则$i_t$流过短接电路，有$i_1=i_2=0$。故$i_r=0$，$T_{sc}=0$，则：

$$R_i=r_{i0}\frac{1+T_{sc}}{1+T_{sc}}=2r_\pi\frac{1+0}{1+\beta_0+1}\approx\frac{2}{g_m}$$

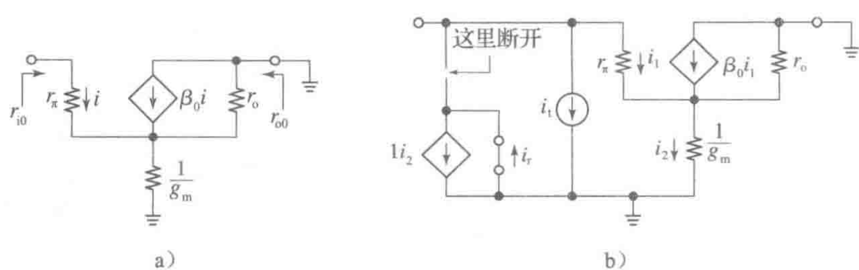


图 7.65

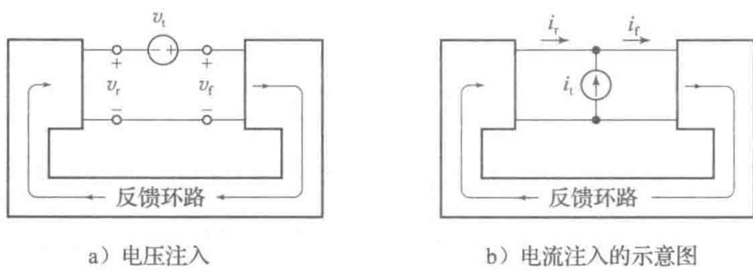
(b) 如图 7.65b 所示，将输出端短路。可重复(a)问过程，并有 $T_{sc}=\beta_0+1$。输出端开路将造成电流 $\beta_0 i_1$ 流过电阻 r_o，使 $i_r=1i_2=i_1=-i_t$。故 $T_{oc}=-i_r/i_t=1$，且

$$R_o = r_{o0}\frac{1+T_{sc}}{1+T_{oc}} \approx r_o\frac{1+\beta_0+1}{1+1} = r_o\frac{\beta_0+2}{2} \approx \frac{\beta_0}{2}r_o$$

两个结果与 4.8 节所述一致。有趣的是，在(b)问中，T_{oc}、T_{sc}都不为零。此外，(b)问中的 T_{sc}与(a)问中的 T_{oc}相等。◀

使用连续电压电流注入法求反馈比 T

当遇到实际的反馈电路或者晶体管级的电路仿真时，我们无法使用内部受控源，故需要另外的方法来求 T。R. D. 米德尔布鲁克(R. D. Middlebrook)提出了一种简洁的方法，称为连续电压电流注入法，如图 7.66 所示，该方法步骤如下。



a）电压注入　　b）电流注入的示意图

图 7.66

- 将所有外部信号源设为零，使电路处在静态。
- 断开反馈环路，如图 7.66a 所示，串联接入一个测试源 v_t。v_t引起的扰动将使信号 v_f沿着电路正向传播，进而反馈环路也出现相应的电压 v_r。电压比率为：

$$T_v = -\frac{v_r}{v_f} \tag{7.79a}$$

- 将测试源 v_t去掉，重新并联接入一个电流源 i_t，如图 7.66b 所示。i_t引起的扰动将使信号 i_f沿着电路传播，进而反馈环路也出现相应的电压 i_r，电流比率为：

$$T_i = -\frac{i_r}{i_f} \tag{7.79b}$$

- 可以证明，环路反馈比 T 表述为：

$$\frac{1}{1+T} = \frac{1}{1+T_v} + \frac{1}{1+T_i} \tag{7.80}$$

求解 T，有：

$$T = \frac{T_v T_i - 1}{T_v + T_i + 2} \tag{7.81}$$

值得注意的是 T 与环路注入点的位置无关。

根据信号的注入点，注入的交流信号 v_t、i_t必须足够小，以避免电路的非线性性。注意到所有的测试过程中现有的直流偏置条件和电路负载状况维持不变。接下来将介绍一个例子。

例 7.30 图 7.67 所示的是一个在例 7.15 和例 7.24 已经研究过的反馈偏置 BJT 电路。由于没有输入信号，电路处于静态。若 BJT 有 $I_s = 2\text{fA}$，$\beta_F = 200$，$V_A = 100$，用 PSpice 求出电路的反馈比，与例 7.24 比较并评价你的发现。

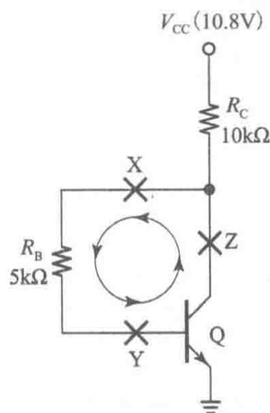


图 7.67 反馈偏置的 BJT 结构

解：

在该电路中，信号流向为逆时针方向，且电路中有三个点可以进行电压电流的注入，记为 X，Y，Z。在实验室中，通常选取信号强度最强，易测量的点进行注入，尤其是在考虑噪声的情况中。在图 7.68 所示的 PSpice 电路中，任意选取一点 Y，但该过程应容易被其余两点所重复(注意到电流注入的电路需要使用两个 0V 的虚拟源 V_1、V_2 来对电流 i_r 和 i_f 采样)。仿真结果如下所示：

At point *X*: $T_v = 179.8$， $T_i = 201.1$， $T = 94.4$
At point *Y*: $T_v = 353.4$， $T_i = 129.4$， $T = 94.3$
At point *Z*: $T_v = 1983$， $T_i = 99.26$， $T = 94.4$

有趣的是，当注入点变化时，T_v、T_i 也随之变化，而 T 是不变的(考虑舍入误差)。此外，T 与例 7.24(b)问中手算的值一致。

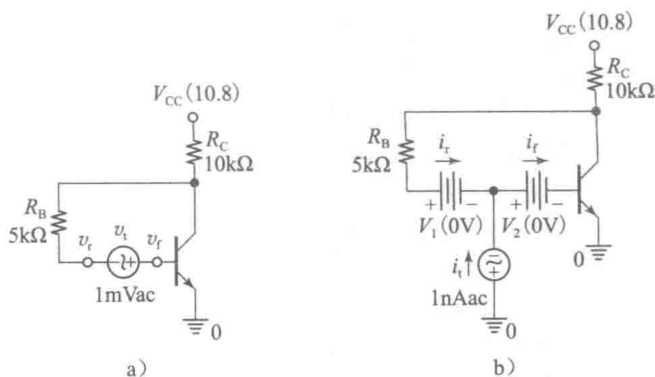


图 7.68 图 7.67 所示采用(a)电压(b)电流注入的反馈偏置电路

◀

单注入近似

由式(7.80)可知，$(1+T_v)$ 与 $(1+T_i)$ 像是并联的两个电阻。当其中一个数值远大于另一个时，则小的量将占主导，这让我们可以通过单信号注入来快速估算 T，该注入信号会导致更小的反馈比。比如，在图 7.67 所示的 Z 点，假设有 $T_v \gg T_i$，则可以跳过电压注入的步骤，做出近似 $T \approx T_i \approx 99$，其误差小于 5%。下述 T_v、T_i 的表达式有助于选择在何处断开反馈环路：

$$\frac{1+T_v}{1+T_i} = \frac{Z_r}{Z_f} \tag{7.82}$$

式中：Z_f 和 Z_r 分别是从信号注入端的正向和反向看进去的阻抗值，如图 7.69 所示。比如，若选择图 7.67 所示的 Z 点，则 Z_r 是从集电极看进去的阻抗，比从 R_C、R_B 的公共端点看进去的阻抗 Z_f 要大得多。因此，由式(7.82)，有 $(1+T_v) \gg (1+T_i)$，正如例 7.30 所示。

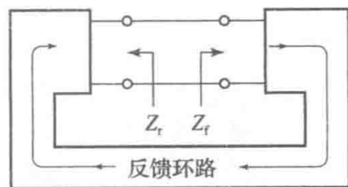


图 7.69 从正向看进去的阻抗 Z_f 和从反向看进去的阻抗 Z_r

例 7.31 使用 PSpice 库中的 μA741 宏模型，将其连接成反相放大器的结构，且增益为 −100V/V，通过两个电阻

$R_1=1\text{k}\Omega$，$R_2=100\text{k}\Omega$，求出 T。找出一个适用于单注入的节点。

解：

将输入信号置零，使电路处于静态，如图 7.70 所示。信号注入点选为运放的反相输入端，这里 $Z_f(=r_i)$ 数值在 MΩ 数量级，而 $Z_r(=R_1 /\!/ (R_2+r_o))$ 小于 1kΩ。由于两者之间相差三个数量级，不需要进行电流注入测试，故只需要进行电压测试，如图 7.70 所示。仿真可得：

$$T_v = 1\ 970$$

学生可以验证：对于同一节点的电流注入有 $T_i=1.983\times10^6(\gg T_v)$，因此有近似 $T\approx T_v$。◀

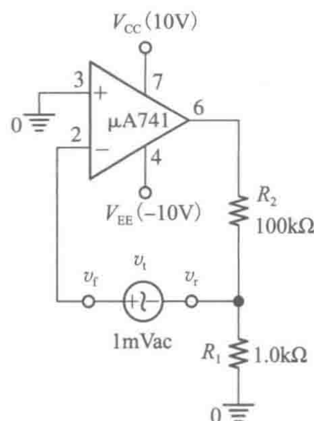


图 7.70　例 7.31 中仅使用电压注入的电路图

7.7　负反馈电路的稳定性

对于前文所述的所有优势，负反馈电路存在着振荡的风险。因此，当负反馈电路第一次被哈罗德·布莱克(Harold Black)在 1928 年提出来时，受到了大家的质疑。然而，只需要对振荡特性有着更深入的了解以及采取行之有效的方法来抑制振荡，则其将成为电子技术和控制技术的基石。为了形成对稳定性的基本了解，假设忽略馈通现象，则放大器和反馈网络可以认为是单边的，如图 7.71 所示。而且让我们以一个电路设计者的角度来看问题，主要考虑带纯电阻反馈网络的放大器稳定性。对于纯电阻反馈网络，反馈系数 β 与频率无关，且相位角为零(若反馈环路中包含电抗元件，譬如电容，则反馈系数 β 受电路频率影响，电路稳定性保障取决于电路使用者)。

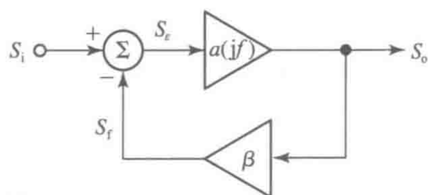


图 7.71　含有单边放大器、反馈网络及不受频率影响的反馈系数 β 的负反馈系统

将闭环增益重新表述为更加深刻的形式：

$$A(jf)=\frac{S_o}{S_i}=A_{\text{ideal}}\times D(jf) \tag{7.83}$$

式中：

$$A_{\text{ideal}}=\lim_{a\to\infty}A$$

$$D(jf)=\frac{1}{1+1/T(jf)} \tag{7.84}$$

为误差函数，是 $A(jf)$ 与 A_{ideal} 之间的差量此外，$T(jf)=\beta a(jf)$ 为环路增益。当信号 S_ε 沿着环路传递到电路累加端 Σ 后变为 S_f，经过了频率的相移，表示为 $\angle T(jf)$。若相移达到 $-180°$，则电路从负反馈变为正反馈。将此时的频率表示为 $f_{-180°}$，因此得出结论 $T(jf_{-180°})$ 是一个负实数，比如 −0.5，−1，−2。有以下三种情况。

- $|T(jf_{-180°})|<1$，即使在频率点 f_{-180} 处，反馈是正反馈，信号 S_ε 沿着反馈环路每传递一次都要经过衰减。将 S_i 设为零，则环路所有信号都将衰减为零，即系统是稳定的。
- $T(jf_{-180°})\to-1$，由式(7.84)，有 $D(jf_{-180°})\to\infty$，和 $A(jf_{-180°})\to\infty$，表明当有一个很小的信号 $S_i\to0$，系统输出 $S_o\neq0$。一旦电路中含有一个信号分量 $S_\varepsilon(jf_{-180°})$(比如以噪声的形式)，则反馈网络中这个分量 $S_f(jf_{-180°})=-S_\varepsilon(jf_{-180°})$，在累加端经过相位的翻转，再出现在输入端的时候，又变为 $S_\varepsilon(jf_{-180°})$！该电路在 $f_{-180°}$ 处像振荡器一样维持信号，此时的电路是不稳定的。
- $|T(jf_{-180°})|>1$，假设将 $T(jf_{-180°})$ 从 −1 变为一个更负的值，比如 −1.1。表明信号

每次经过环路都将比原来幅值增大 10%，即变大的幅值产生振荡。振荡会一直增强，直到电路出现固有的非线性现象为止，比如运放饱和将使 T 趋近于−1，因此振荡也将趋于稳定。尽管上述机制可以用来设计振荡器，但对于放大器、缓冲器、V/I 转换器和 I/V 转换器、电压电流源及有源滤波器来说，则需要避免振荡现象。在接下来的内容中，我们可以看到，振荡可以通过合适的技术来抑制，即频率补偿。

例 7.32 若图 7.71 所示电路是不稳定的，内部噪声从 1MHz 的频率开始振荡。若每个振荡周期，其振幅增加 10%，求出振幅从 1nV 增加到 1V 时的周期数和时间。

解：

当信号第一次流过环路时，振幅变为(1nV)×1.1，第二次流过环路时，振幅变为(1nV)×1.1^2，故有(1nV)×1.1^n=1V，求解，可得 $n\approx 217$，一个周期所花时间为 $(1/10^6)\text{s}=1\mu\text{s}$，信号需要 $217\mu\text{s}$ 时间从 1nV 变为 1V。◀

反馈比 T 的图形

考虑反馈比 T 对电路稳定性的影响，通过图表，可以快速了解反馈比 $T(\mathrm{j}f)$ 和相位 $\angle T(\mathrm{j}f)$ 的频率响应图，根据定义，有：

$$|T|_{\mathrm{dB}} = 20\ \lg|T| = 20\ \lg|a\beta| = 20\ \lg\left|\frac{a}{1/\beta}\right| = 20\ \lg|a| - 20\ \lg\left|\frac{1}{\beta}\right|$$

即

$$|T(\mathrm{j}f)|_{\mathrm{dB}} = |a(\mathrm{j}f)|_{\mathrm{dB}} - \left|\frac{1}{\beta}\right|_{\mathrm{dB}} \tag{7.85a}$$

同样地，有：$\angle T(\mathrm{j}f)=\angle a(\mathrm{j}f)-\angle\beta$

只要 β 与频率无关，我们有 $\angle\beta=0$，故有：

$$\angle T(\mathrm{j}f) = \angle a(\mathrm{j}f) \tag{7.85b}$$

根据上述关系，我们按照以下步骤进行。

- 在 $|a(\mathrm{j}f)|$ 分贝图中，画出噪声增益 $1/\beta$ 的分贝图，如图 7.72a 的上半部分所示。因为假设 β 与频率无关，且 $0<\beta\leqslant 1$，则 $1/\beta$ 的曲线将是 0dB 轴上方的水平线（若 $\beta=1$，则曲线在 0dB 轴上）。

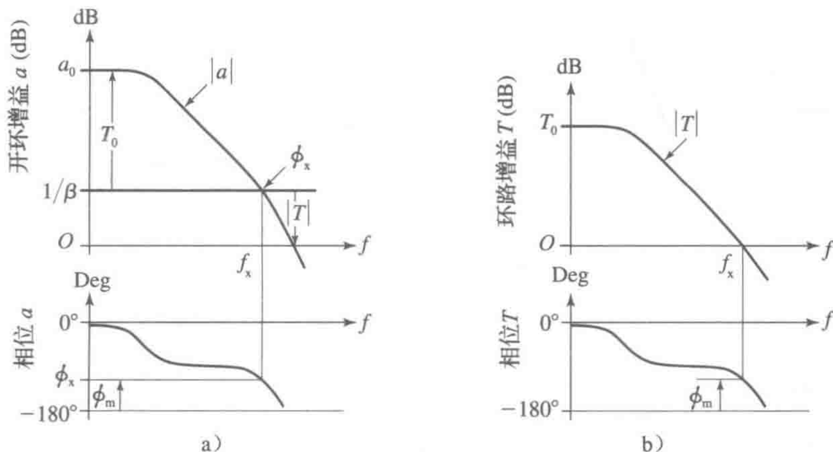


图 7.72 环路增益 $|T(\mathrm{j}f)|$，交越频率 f_x，相位裕度 ϕ_m 的图形

- 画出 $|T(\mathrm{j}f)|$ 的图形，比较其与 $1/\beta$ 曲线和 $|a(\mathrm{j}f)|$ 图形的差异。同样地，按照 $|a(\mathrm{j}f)|$ 的图形画出 $|T(\mathrm{j}f)|$ 的图形，但把 $1/\beta$ 曲线作为其 0dB 轴，如图 7.72b 上半部分所示。
- $|T(\mathrm{j}f)|$ 一开始有着较高的直流增益 $T_0=\beta a_0$，随着频率的增加，增益开始下降，与 $|a(\mathrm{j}f)|$ 图的变化规律一致。

- 直线 $1/\beta$ 与 $|a(\mathrm{j}f)|$ 的交点所对应的频率称为交越频率 f_x。在这个频率下，有 $|T(\mathrm{j}f_x)|=0\mathrm{dB}$，或 $|T(\mathrm{j}f_x)|=1\mathrm{V/V}$，故有 $T(\mathrm{j}f_x)=1\exp(\mathrm{j}\phi_x)$，$\phi_x=\angle a(\mathrm{j}f_x)$，如图 7.72a 下半部分所示。
- 对于 $f>f_x$ 的情况，$T(\mathrm{j}f)$ 的分贝值变为负值，表明环路信号的衰减。对于 $|T(\mathrm{j}f)|\ll 1$ 的情况，将式(7.84)近似为 $|D(\mathrm{j}f)|\approx 1/(1/T)|=|T(\mathrm{j}f)|$。

相位裕度 ϕ_m

按照本节最开始的讨论，我们希望上文所讨论的“交越频率”发生在引起振荡的 $T=1\exp(\mathrm{j}(-180°))=-1$ 之前。电路的稳定度通过相位裕度来量化表示，记为 $\phi_m=\phi_x-(-180°)$，即

$$\phi_m = 180° + \phi_x \tag{7.86}$$

相位裕度如图 7.72b 下半部分所示。随着我们的深入，我们会对误差函数在 f_x 的值感兴趣。在式(7.84)中，令 $T(\mathrm{j}f_x)=1\exp(\mathrm{j}\phi_x)=1\exp[\mathrm{j}(\phi_m-180°)]=-1\exp(\mathrm{j}\phi_m)$，由欧拉公式，有：

$$|D(\mathrm{j}f_x)| = \left|\frac{1}{1+1/(-1\mathrm{e}^{\mathrm{j}\phi_m})}\right| = \left|\frac{1}{1-\mathrm{e}^{-\mathrm{j}\phi_m}}\right| = \left|\frac{1}{1-(\cos\phi_m-\mathrm{j}\sin\phi_m)}\right|$$
$$= \frac{1}{\sqrt{(1-\cos\phi_m)^2+(\sin\phi_m)^2}}$$

使用恒等式 $\cos^2\phi_m+\sin^2\phi_m=1$，有：

$$|D(\mathrm{j}f_x)| = \frac{1}{\sqrt{2(1-\cos\phi_m)}} \tag{7.87}$$

一个例子

用图 7.73 所示的反馈电路验证上述结论。该电路是使用了由跨导对组成的三级放大器电路，其中直流增益 $a_{10}=G_{m1}R_1=10^3\,\mathrm{V/V}$，$a_{20}=G_{m2}R_2=10^3\,\mathrm{V/V}$，并驱动一个单位增益放大器，故 $a_0=a_{10}a_{20}=10^6\,\mathrm{V/V}$。三级的极点频率分别为 $f_1=1/(2\pi R_1C_1)=1\mathrm{kHz}$，$f_2=1/(2\pi R_2C_2)=100\mathrm{kHz}$，$f_3=1/(2\pi R_3C_3)=10\mathrm{MHz}$，开环增益为：

$$a(\mathrm{j}f) = \frac{10^6}{(1+\mathrm{j}f/10^3)(1+\mathrm{j}f/10^5)(1+\mathrm{j}f/10^7)} \tag{7.88}$$

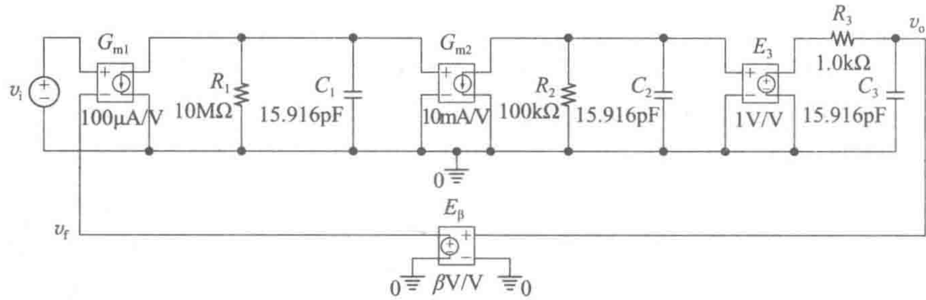


图 7.73　不同反馈信号下的三极点运算放大器的 PSpice 电路

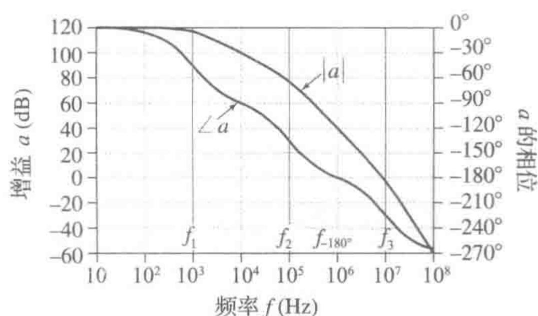
幅值和相位分别为：

$$|a(\mathrm{j}f)| = \frac{10^6}{\sqrt{[1+(f/10^3)^2]\times[1+(f/10^5)^2]\times[1+(f/10^7)^2]}} \tag{7.89a}$$

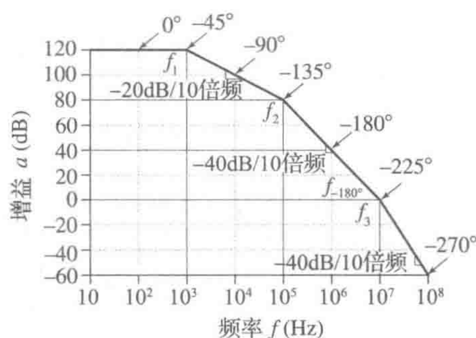
$$\angle a(\mathrm{j}f) = -[\arctan(f/10^3)+\arctan(f/10^5)+\arctan(f/10^7)) \tag{7.89b}$$

在图 7.74 所示电路中用 PSpice 画出幅值和相位的图形(幅值的单位是 dB，如左端所示，相位的单位是(°)，如右端所示)。

如果正如本例一样，开环增益的根被隔得较远，我们可以用图 7.74b 所示的更简洁及更直观的图形合并幅度和相位。特别地，我们可以用斜率更陡峭的分段线性的幅度曲线来作图，同时我们标记出重要的相位曲线，使用如下的关系：



a）图7.73中误差放大器的幅频和相频响应



b）标明斜率且带相位的幅值折线图

图 7.74

$$\text{Phase}(\text{单位}(°))\leftrightarrow 4.5\times\text{Slope}(\text{单位 dB/10 倍频}) \tag{7.90}$$

因此，从直流到 f_1 我们画出斜率为 0dB/10 倍频的部分，在此区间内式(7.90)表明相位为 0°。从 f_1 到 f_2 我们画出斜率为−20dB/10 倍频的部分，表明相位为 4.5°×(−20)或−90°。在 f_1 处，斜率为−10dB/10 倍频，因此相应的相位为 4.5°×(−10)或−45°。同样地，从 f_2 到 f_3 斜率为−40dB/10 倍频，表明相位为−180°。在 f_2 处，相位为−135°。超过 f_3 后，斜率为−60dB/10 倍频，相位达到−270°。

我们现在希望研究在增加反馈量的情况下的闭环响应，反馈量可以通过改变反馈比 β 实现。我们有下列重要发现。

- 从 $\beta=10^{-5}$ 开始，我们注意到如果我们在图 7.74b 中画出 $1/\beta$ 曲线($1/\beta=10^5=100$dB)100dB，它将与增益曲线相交于 $f_x\approx 10$kHz，此时，$\phi_x\approx 90°$。因此，$\phi_m\approx 180°-90°=90°$。图 7.75 显示出闭环增益的初始值为 $A_0=(1/\beta)/(1+1/T_0)=10^5/(1+1/10)=90\,909$V/V(由于低的 T_0，A_0 比 $A_{\text{ideal}}=100\,000$V/V 低约 10%)，且它显示出一个主极点频率 f_x。图 7.76a 所示的是一个输入为 $\beta V(=10\mu\text{V})$ 的阶跃响应。这是一个近似的指数瞬态变化过程，因此当输入跳变到零时，$v_O(t)$ 将按指数方式衰减，表明电路稳定。

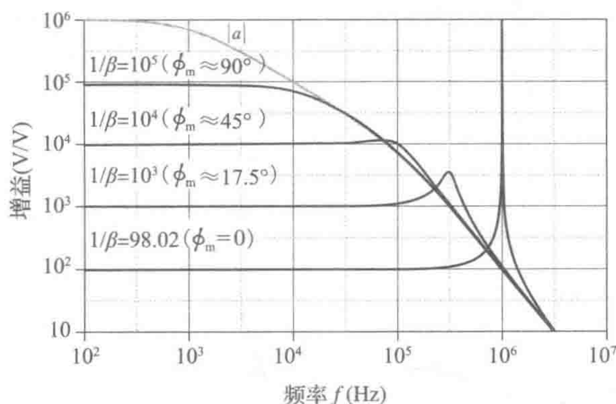


图 7.75 对于不同负反馈量，图 7.73 所示电路的闭环响应。提高 β 将降低 $1/\beta$ 曲线，交越频率向右移动，从而降低相位裕度。这反过来增加了峰值及振荡(见图 7.76)

- 在图 7.74b 中增加 β 到 10^{-4} 将降低 $1/\beta$ 曲线到 80dB，得到 $f_x\approx 100$kHz 及 $\phi_x\approx -135°$，因此 $\phi_m\approx 180°-135°=45°$。闭环增益现在在 f_x 之前显示出一点尖峰，在这之后其按 $|a(\text{j}f)|$ 随频率增加而降低。由式(7.87)，我们有 $|D(\text{j}f_x)|=1/\sqrt{2(1-\cos 45°)}=1.307$ 因此式(7.83)表明，$|A(\text{j}f_x)|=10^4\times 1.307\text{V/V}=13\,070$V/V，这比 A_{ideal} 高 30.7%。回忆频域的峰值伴随着时域的振荡的系统理论。这由图 7.76b 证实，其显示出对于一个 $\beta V(=0.1\text{mV})$ 的阶跃输入的瞬态响应。一旦我们将输入跳变回零，$v_O(t)$ 虽然会有振荡，但仍将衰减到零。我们断定电路在 $\phi_m=45°$ 时，尽管其(适度的)峰值和振荡在某些应用中是不可取的，但仍然是一个稳定的电路。
- 对于 $\beta=10^{-3}$，图 7.74b 所示的 $1/\beta$ 曲线进一步降低到 60dB，因此 f_x 现在为

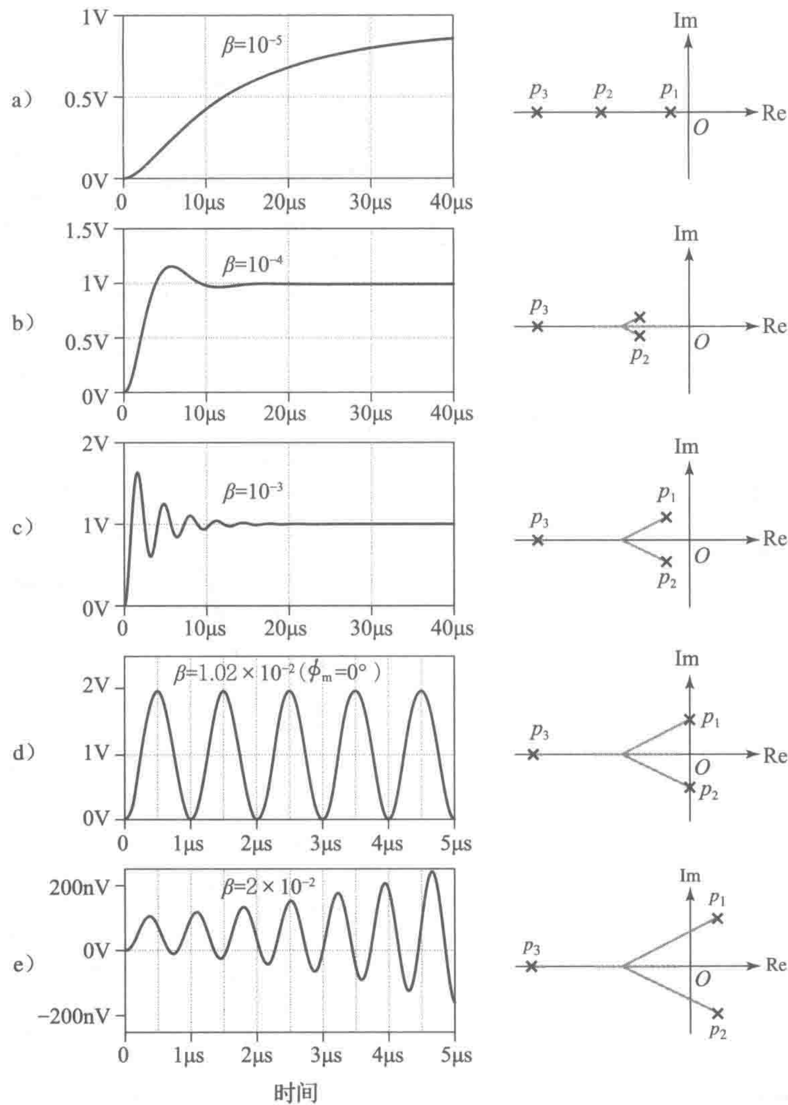


图 7.76　增加 β 时，图 7.73 所示电路的阶跃响应和极点位置

100kHz 和 1MHz 的几何平均数，即 $f_x \approx \sqrt{10^5 \times 10^6}$ kHz$=$316kHz，ϕ_x 是$-145°$和$-180°$的算术平均数，即 $\phi_m \approx -162.5°$，因此 $\phi_m \approx 180° - 162.5° = 17.5°$。由于相位裕度减小，尖峰和振荡更加显著。事实上我们现在有，$|D(\mathrm{j}f_x)| = 1/\sqrt{2 \times (1-\cos 17.5°)} = 3.29$，因此，式(7.83)给出 $|A(\mathrm{j}f_x)| \approx 1\,000 \times 3.29V/V=$3 290V/V，即约为 $3.3A_{ideal}$！图 7.76c 显示出一个 βV(=1mV)阶跃输入的响应。一旦输入跳变回零，$V_O(t)$将大幅振荡衰减为零。我们推断，电路在 $\phi_m = 17.5°$下，尽管仍然稳定，但很可能导致过冲或振荡，在绝大多数应用中不可接受。

- 对图 7.74a 所示的 PSpice 曲线用光标功能测量得到 $f_{-180°} = 1.006$MHz，此时 $|a(\mathrm{j}f_{-180°})| = 98.02$V/V，因此如果我们使 $\beta = 1/98.02 = 1.02 \times 10^{-2}$，我们得到 $f_x = 1.006$MHz 及 $\phi_x = -180°$，或 $\phi_m = 0°$。因此，$|D(\mathrm{j}f_x)| \to \infty$表明振荡行为。这通过图 7.76b 所示的一个 10mV 输入阶跃响应进行了证实。
- 将 β 提高到 2×10^{-2} 进一步降低 $1/\beta$ 曲线，推动 f_x 到一个额外的相移区，这样 $\phi_m < 0°$。现在所需要的是一个内部噪声来触发不断增加的振荡。利用 1nV 的输入阶跃来仿真噪声，我们得到图 7.76e 所示的响应。

在复平面上按极点方式来描绘电路行为是有益的。令式(7.88)中 $jf \to s/(2\pi)$，代入式(7.84)，然后代入式(7.83)，得到：

$$A(s)=\frac{10^6}{\beta 10^6+\left(1+\frac{s}{2\pi 10^3}\right)\left(1+\frac{s}{2\pi 10^5}\right)\left(1+\frac{s}{2\pi 10^7}\right)}$$

分母的根是 $A(s)$的极点。利用科学计算器或者相似工具，我们得到所有极点，将值列在表7.2中。将这些数据在 s 平面上描绘出来，如图7.76的右边所示(未归一化)。从无反馈开始($\beta=0$)，然后慢慢增加 β，使两个最低的极点更加靠近，直到变得完全相同，然后再次分开变成共轭复数，并向虚轴移动(见轨迹上的实体根)。一旦到达虚轴，将导致一个持续的振荡，且一旦它们进入右半平面，这将导致一个不断增长的振荡。

表7.2 图7.73所示电路的闭环增益极点

β	$p_1(s^{-1})$	$p_2(s^{-1})$	$p_3(s^{-1})$
0	$2\pi(-1.0k)$	$2\pi(-100k)$	$2\pi(-10M)$
10^{-5}	$2\pi(-12.4k)$	$2\pi(-88.5k)$	$2\pi(-10M)$
10^{-4}	$2\pi(-50k+j87.2k)$	$2\pi(-50k-j87.2k)$	$2\pi(-10M)$
10^{-3}	$2\pi(-45.4k+j313k)$	$2\pi(-45.4k-j313k)$	$2\pi(-10.01M)$
1.02×10^{-2}	$2\pi(0+1.0M)$	$2\pi(0-1.0M)$	$2\pi(-10.1M)$
2×10^{-2}	$2\pi(46.7k+1.34M)$	$2\pi(46.7k-1.34M)$	$2\pi(-10.19M)$

观察图7.75，我们注意到，如果我们能够在 $\phi_m=45°$时容忍尖峰和振荡，那么我们必须限制电路工作在 $1/\beta\geqslant10^4$ V/V。如果我们将放大器工作在更低的闭环增益下，如 $1/\beta=50^4$ V/V，或 $1/\beta=2$V/V 下将会怎样呢？正如原来一样，电路仅仅在原 β 值下振荡！幸运的是，一些巧妙的频率补偿技术被提出，它允许我们在几乎任何我们希望的闭环增益下使放大器稳定，包括稳定到目前为止我们公认最困难的电压跟随器结构，其中 $\beta=1$。

例7.33 (a) 如果我们想使图7.73所示的放大器工作在60°的相位裕度下，所允许的最小噪声增益 $1/\beta$ 是多少？

(b) 求出 $|D(\mathrm{i}f_x)|$，并评价。

(c) 用 PSpice 验证。

解：

(a) 通过式(7.86)，我们有 $\phi_x=\phi_m-180°=60°-180°=-120°$。图7.74a 所示的表明，$f_{-120°}$出现在100kHz以下一点。从最初的估计 $f_{-120°}=50$kHz 开始，利用式(7.89b)迭代，直到$f_{-120°}=59.2$kHz 为止。接下来利用式(7.89a)，求出 $|a(\mathrm{j}f_{-120°})|\approx14\,534$V/V。这是对于 $\phi_m\geqslant60°$的特殊放大器的最小 $1/\beta$ 值。

(b) 按照常用的方式，我们得到：

$$|D(\mathrm{j}f_x)|\approx\frac{1}{\sqrt{2(1-\cos60°)}}=1$$

由于 $T_0=10^6/14\,534=68.8$，我们有 $D_0=1/(1+1/68.8)=0.986$，即一个很小的尖峰。

(c) 利用图7.73所示的电路，其中，$\beta=(1/14\,534)$V/V$=68.8\times10^{-6}$V/V，我们得到图7.77所示的曲线。公平的说，除了一点尖峰和振荡，这在许多应用中是可接受的，就稳定性而言，条件 $\phi_m\geqslant60°$和 $\phi_m\geqslant90°$一样好，但是它通过将可接受的 $1/\beta$ 值从100 000 V/V 减少到 14 543V/V，即约为 17dB，来扩展可能的闭环增益范围。 ◀

尖峰和振荡关于相位裕度 ϕ_m 的函数

图7.78所示的是根据图7.73所示的电路描述的尖峰和振荡关于相位裕度 ϕ_m 的函数。这些特性通过增益尖峰 GP 和超调量 OS 进行量化，定义为：

$$GP=20\lg|A_p-A_0|,\mathrm{OS}(\%)=100\frac{V_p-V_\infty}{V_\infty} \tag{7.91}$$

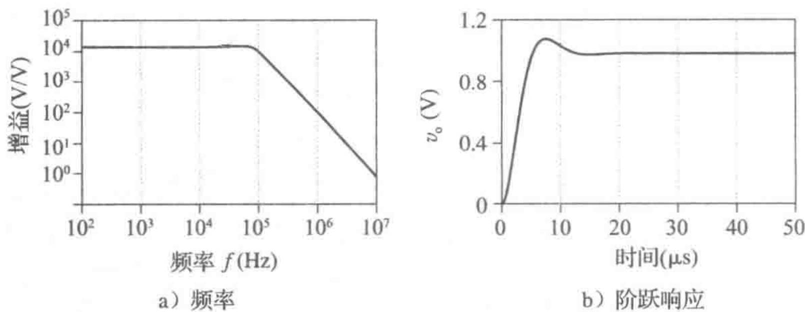


图 7.77 特殊情形 $\phi_m \geqslant 60°$下的频率和阶跃响应

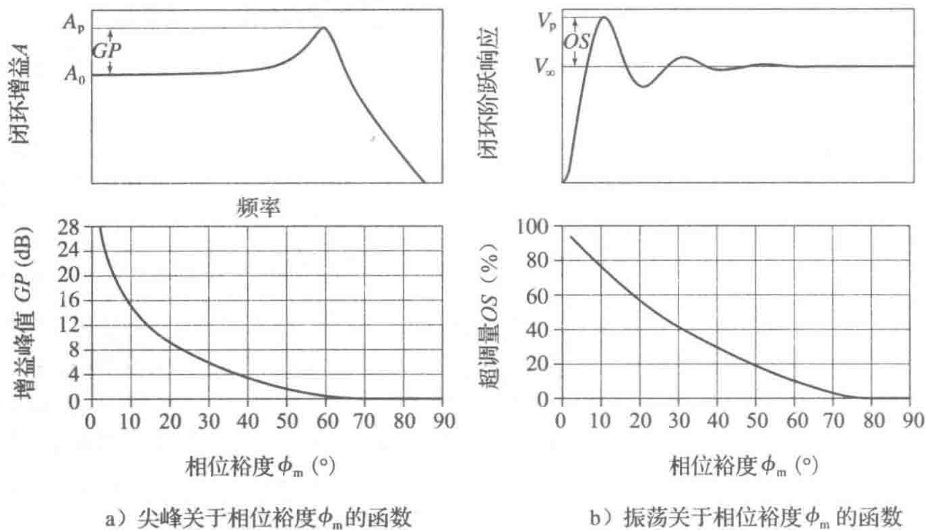


图 7.78

峰值出现在 ϕ_m 低于 65°处，而振荡出现在 ϕ_m 低于 75°处。

利用 PSpice 绘制 T 及测量 ϕ_m

7.6 节信号注入技术对于稳定性研究，特别是对于需要绘制和检查的复杂的频率响应，可作为一个强大的工具。图 7.79a 所示的 PSpice 电路利用 μA741 宏模型，以及与图 7.70 所示相关的讨论过的电压注入技术，在一个带容性负载的 μA741 电压缓冲器情形下，来描绘 $|T(jf)|$ 和$\angle(jf)$曲线。曲线如图 7.79b 所示，分别得到为

$$|T(jf| = \left|-\frac{V_r}{V_f}\right|, \angle T(jf) = \angle\left(-\frac{V_r}{V_f}\right) \tag{7.92}$$

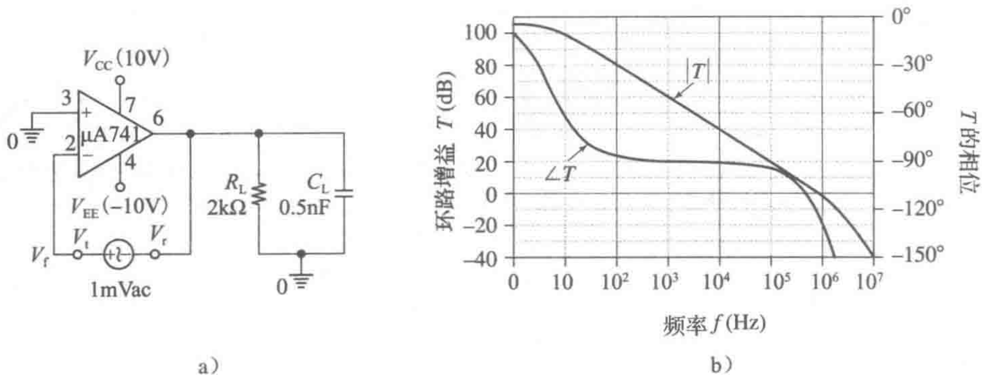


图 7.79 利用电压注入技术求出带容性负载 μA741 电压缓冲器的相位裕度

利用 PSpice 的光标功能测量得到 $T(jf_x)=864$ 及 $\angle T(jf_x)=-124°$，因此 $\phi_m=180°-124°=56°$。对于无负载的情形（$C_L=0$ 及 $R_L=\infty$），重新仿真得到 $f_x=888\text{kHz}$ 及 $\phi_m=62.8°$，表明当前的负载使 ϕ_m 减少了 6.8°（这是由 C_L 和运放输出电阻 r_o 形成高频极点所导致的）。

7.8 主极点补偿

如果一个负反馈系统不能满足稳定性的需求，那么必须提高它的反馈比 $T(jf)$ 的相位裕度 ϕ_m 到一个可接受的值。改变 $T(jf)$ 以稳定电路的方法称为频率补偿。由于 $T(jf)=a(jf)\beta(jf)$，我们可以通过改变 $a(jf)$，或 $\beta(jf)$，或者两者来改变 $T(jf)$。这里我们采用 IC 设计者的观点，他们试图用一个与频率无关的反馈来给最难补偿的结构确定其 ϕ_m，即电压跟随器，它的 $\beta=1\text{V/V}$。在这种特殊情形下我们有：

$$T(jf)=a(jf)\beta=a(jf)\times 1=a(jf) \tag{7.93}$$

即 $T(jf)$ 与 $a(jf)$ 一致。如果运放利用与频率相关的反馈，那么对于用户来说，采取额外的措施来稳定放大器也许是有必要的（见章节末的习题）。

一种流行的补偿技术包括降低主极点频率 f_1 到一个新的值 f_D，以致补偿响应一直受到这个单独极点的作用，直到到达交越频率 f_x 为止，并 $\beta=1\text{V/V}$，这与已经很熟悉的特征频率 f_t 相似。于是在 f_t 处的相移为 $f_x=-90°+\phi_{x(HOR)}$，其中 $-90°$ 是由于 f_D 导致的相位漂移，$\phi_{x(HOR)}$ 是由于高阶根（极点和可能的零点）在 f_x 处导致的合并相位（例如，图 7.79 所示带负载的 μA741 运放有 $\phi_{x(HOR)}=90°+\phi_x=90°-124°=-34°$）。补偿后的相位裕度是 $\phi_m=180°+\phi_x=180°-90°+\phi_{x(HOR)}$，即

$$\phi_m=90°+\phi_{x(HOR)} \tag{7.94}$$

通过使 f_D 足够低，我们能够根据需要保证 $\phi_{x(HOR)}$ 足够小。例如，对于 $\phi_m\geqslant 60°$，我们需要确保 $\phi_{x(HOR)}\geqslant -30°$。主极点补偿的一个明显的缺点是，频率在 f_D 以上时增益急剧减小，但是这是我们为了稳定必须付出的代价。尽管有一种更复杂的技术，在很宽的频谱范围内保持增益，但这里我们只讨论主极点型补偿。另外两种将 f_1 移到 f_D 的流行技术是并联电容技术和米勒补偿技术。

并联电容补偿

一个简单的降低极点频率 f_1 的技术是，有意增加 f_1 的节点电容。在先前的三极点放大器例子中，我们仅仅增加一个与 C_1 并联的电容 C_{shunt} 来降低极点频率，使其极点频率从 $f_1=1/(2\pi R_1C_1)$ 降到：

$$f_D=\frac{1}{2\pi R_1(C_1+C_{shunt})} \tag{7.95}$$

为了描绘出 f_D 位置，参考图 7.80 所示折线图，分析过程如下。

- 确定频率 f_x 使得相位 $\angle a(jf)$ 为 $\phi_x=\phi_m=180°$，其中 ϕ_m 是所希望的相位裕度（如：45°，60°等）。在补偿后这将成为转移频率 f_1（如果可行，我们可以从 $\angle a(jf)$ 相位曲线，或从 $a(jf)$ 幅频曲线的斜率读数，读出 ϕ_x，按图 7.74b 所示的方式）。
- 从 $a|(jf)|$ 分贝图的 f_x 处开始，画一条斜率为 $-20\text{dB}/10$ 倍频的直线，直到其相交于 a_0 曲线。相应的频率即为 f_D。利用增益带宽积的恒定性，我们写出 $a_0\times f_D=1\times f_x$，这允许我们计算新的极点位置为：

$$f_D=\frac{f_x}{a_0} \tag{7.96}$$

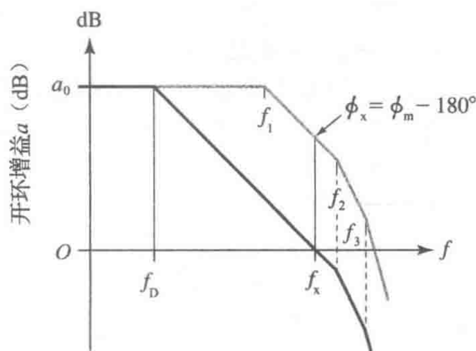


图 7.80　对于并联电容补偿的情形利用图解法找出主极点 f_D（浅色曲线显示出补偿前的增益）

如果两个极点隔的很开，任何高阶的根频率(如我们例子中的 f_3)都足够高，一个易于画图和计算的起点是 $\phi_x=-135°$，于是 $f_x=f_2$，得到 $f_D=f_2/a_0$。相应的相位裕度仅仅为45°，但是我们可以进一步降低 f_D 以增加 ϕ_m，例如，增加到60°，例7.33证明了它的充分性。

例7.34 (a) 求出 $\beta=1$ 时，在 $\phi_m=45°$下可以稳定图7.72所示放大器的电容 C_{shunt}。用PSpice验证。

(b) 如果我们想达到 $\phi_m=60°$，必须将 C_{shunt} 增加到什么值？

解：

(a) 令式(7.96)中 $f_x=f_2=100\text{kHz}$ 和 $a_0=10^6\text{V/V}$，可以得到 $f_D=(10^5/10^6)\text{Hz}=0.1\text{Hz}$。通过式(7.95)，有：

$$C_{shunt}=\frac{1}{2\pi R_1 f_D}-C_1=\left(\frac{1}{2\pi\,10^7\times 0.1}-15.9\times 10^{-12}\right)\text{F}=159.1\text{nF}$$

利用图7.81所示PSpice电路，我们得到图7.82所示的曲线，这明确显示了并联电容稳定技术需要牺牲大量的增益。相比不稳定的电路，用牺牲增益换取电路的稳定是更好的！

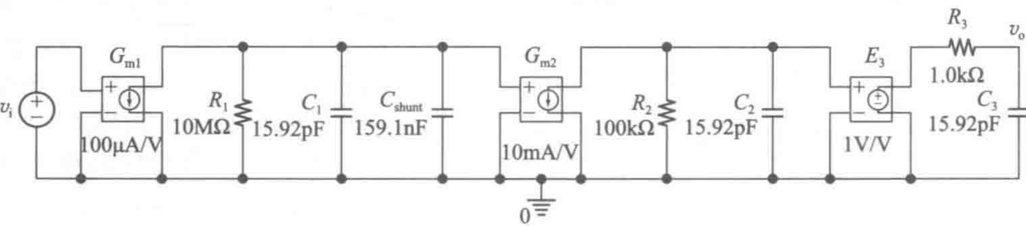


图7.81 采用并联电容补偿的三极点放大器

(b) 对于 $\phi_m=60°$，交叉点必须置于频率 f_x 处，其中，$\phi_x=\phi_m-180°=60°-180°=-120°$。例7.33表明 $f_x=59.2\text{kHz}$，因此式(7.96)给出，$f_D=0.059\,2\text{Hz}$，且由式(7.95)给出，$C_{shunt}\approx 269\text{nF}$。对于 $C_{shunt}=269\text{nF}$，重新运行PSpice，且利用光标功能，我们测量 $f_x=59.4\text{kHz}$ 及 $\phi_x=-118°$，与预测值相当一致。◀

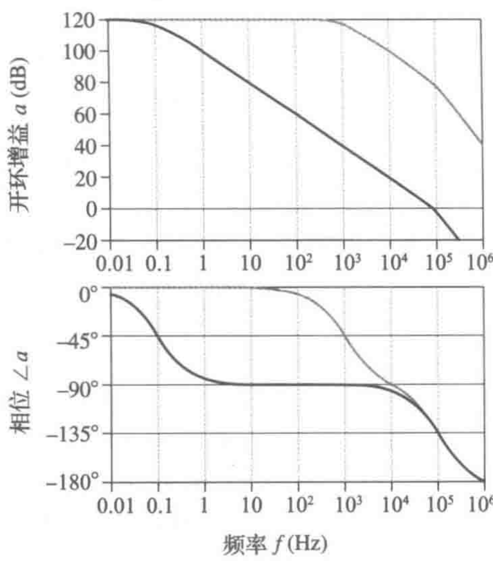


图7.82 对于 $\phi_x=45°$采用并联电容补偿的幅度和相位曲线。浅色曲线显示了补偿前的响应 $C_{shunt}=0$

米勒补偿

采用主极点补偿所要求的低 f_D值会导致相对大的 C_{shunt}。如果 C_{shunt}是一个与运放不相关的分立电容，这未必会成为一个问题。然而，在IC中期望直接将补偿电路集成在芯片上，而超过几十皮法的电容将占用太多的芯片面积。在该限制下，一个巧妙的方法是使用一个足够小的可以制造在芯片上的电容 C_f，然后利用米勒效应使其对于频率补偿而言，看起来达到所需要的大值。我们应该看到这种结构额外的两个好处，即极点分离和更高的转换速率。

为了关注米勒补偿的要领，让我们首先研究图7.83所示的两极点放大器，该电路在缺少 C_f 时，极点频率为：

$$f_1=\frac{1}{2\pi R_1 C_1},\quad f_2=\frac{1}{2\pi R_2 C_2} \tag{7.97}$$

当 C_f 存在时，电路类似于图6.21所示电路(其中一个很容易通过另一个的输入源变换得

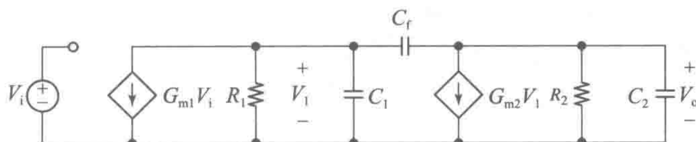


图 7.83 带米勒补偿的两极点放大器

到)。在电路中使用式(6.45)和式(6.46),我们得到 C_f 的存在导致一个新的极点对:

$$f_{1(\text{new})} = \frac{1/(2\pi)}{R_1[C_1 + C_f(1 + G_{m2}R_2 + R_2/R_1)] + R_2C_2}$$

$$f_{2(\text{new})} = \frac{1/(2\pi)}{R_1R_2(C_1C_f + C_1C_2 + C_fC_2)2\pi f_{1(\text{new})}}$$

我们期望 $f_{1(\text{new})} < f_1$,注意到 $f_{1(\text{new})}$ 分母必须由 $R_1C_fG_{m2}R_2$ 项主导,因此我们简化为 $f_{1(\text{new})} \approx 1/(2\pi R_1C_{m2}R_2) = 1/(2\pi R_1C_1G_{m2}R_2C_f/C_1)$。利用式(7.97),通过简单代数运算,我们将新的极点对表示为更有见地的形式:

$$f_{1(\text{new})} \approx \frac{f_1}{(G_{m2}R_2C_f)/C_1},\quad f_{2(\text{new})} \approx \frac{(G_{m2}R_2C_f)f_2}{C_1 + C_f(1 + C_1/C_2)} \tag{7.98}$$

由于 f_1 除以 $G_{m2}R_2C_f$ 而 f_2 乘以相同的项,我们推断增加 C_f 使第一个极点沿频率下移,而第二个极点沿频率上移,这种现象恰当地称为极点分离。如图7.84所述,极点分离是非常有用的,因为它使得第二个极点和相位沿频率上移,与并联电容法相比,米勒补偿使得主极点位置没有那么严格。

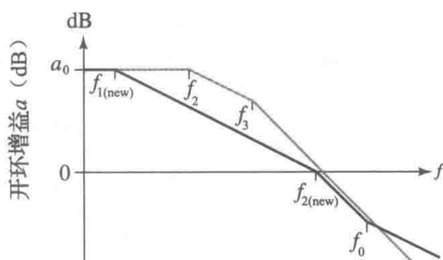


图 7.84 图 7.83 中两极点放大器的米勒补偿和极点分离(浅色曲线显示了补偿前的增益)

回忆式(6.43),C_f 存在同样导致右半平面 $s = G_{m2}/C_f$ 处产生一个零点。注意到图7.83所示电路的直流增益为 $a_0 = (-G_{m1}R_1) \times (-G_{m2}R_2)$,我们将采用米勒补偿的增益表达式归纳如下:

$$a(jf) = a_0 \frac{1 - jf/f_0}{(1 + jf/f_{1(\text{new})})(1 + jf/f_{2(\text{new})})} \tag{7.99}$$

式中:

$$a_0 = G_{m1}R_1G_{m2}R_2,\ f_0 = \frac{G_{m2}}{2\pi C_f} \tag{7.100}$$

$$f_{1(\text{new})} \approx \frac{1/(2\pi)}{R_1[C_1 + C_f(1 + G_{m2}R_2 + R_2/R_1)] + R_2C_2} \approx \frac{1}{2\pi R_1G_{m2}R_2C_f} \tag{7.101}$$

$$f_{2(\text{new})} \approx \frac{G_{m2}/(2\pi)}{C_1 + C_2(1 + C_1/C_f)} \tag{7.102}$$

同样地,补偿后的增益带宽积为 $\text{GBP} = a_0 \times f_{1(\text{new})}$。结合等式(7.100)和式(7.101),我们容易得到:

$$\text{GBP} \approx \frac{G_{m1}}{2\pi C_f} \tag{7.103}$$

幅值和相位容易求得:

$$|a(jf)| = a_0\sqrt{\frac{1 + (f/f_0)^2}{[1 + (f/f_{1(\text{new})})^2][1 + (f/f_{2(\text{new})})^2]}} \tag{7.104a}$$

$$\angle a(jf) = -\arctan(f/f_0) - \arctan(f/f_{1(\text{new})}) - \arctan(f/f_{2(\text{new})}) \tag{7.104b}$$

注意: 注意到右半平面零点产生一个相位滞后,就像一个左半平面的极点(正如我们将要看到的,这将成为两级CMOS运放的一个问题)。

极点分离容易通过PSpice描绘出来。图7.85所示的电路仅仅利用三极点示例电路的

前两级，来显示 C_f 的增加是怎样引起极点分离的，远离初始值 $f_1=1\text{kHz}$ 和 $f_2=100\text{kHz}$（见图 7.86）。相位曲线表明补偿前最大相移是 $-180°$（每个极点贡献一个最大 $-90°$ 相移），但是补偿后，由于一个右半平面的零点导致的额外的 $-90°$ 相位滞后，其变为 $-270°$。

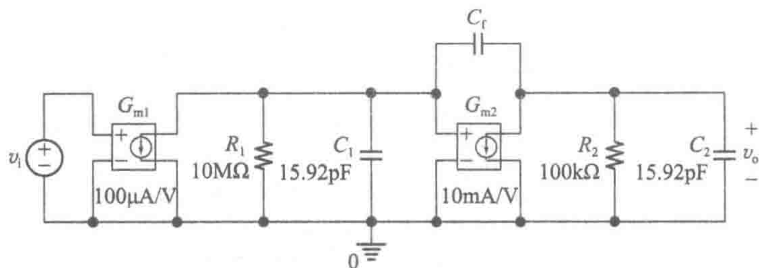


图 7.85　利用图 7.81 所示的两级放大器来研究极点分离

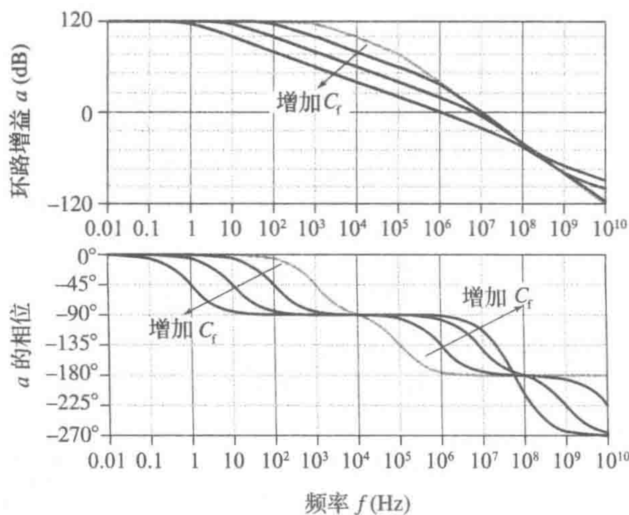


图 7.86　图 7.85 中两级放大器由 C_f 带来的极点分离。所用的值为 $C_f=0.143\text{pF}$，15.9pF 和 15.9pF，这使得 f_1 从 1kHZ 分别降低到 $f_{1(\text{new})}=100\text{Hz}$，10Hz 和 1Hz。灰色曲线显示出补偿前的响应（$C_t=0$）

例 7.35 (a) 如果 $C_f=5\text{pF}$，估计图 7.85 所示两级放大器的零点和极点频率。

(b) 在 60°的相位裕度下估计 C_f。

(c) 用 PSpice 验证(b)问部分并评价。

解：

(a) 通过式(7.100)，我们有 $f_0=(10^{-2}/(2\pi\times5\times10^{-12}))\text{Hz}=318\text{MHz}$。而且，利用 $G_{m2}R_2=10^3$，我们计算式(7.98)，得：

$$f_{1(\text{new})}\approx\frac{10^3}{10^3\times5/15.92}\text{Hz}=3.18\text{Hz}$$

$$f_{2(\text{new})}\approx\frac{10^3\times5\times10^5}{16.92+5(1+15.92/15.92)}\text{Hz}=18.6\text{MHz}$$

很明显，第一个极点从 1kHz 向下移动到 3.18Hz，而第二个极点从 100kHz 向上移动到 18.6kHz。而且，$f_0\gg f_{2(\text{new})}$。

(b) 由式(7.94)，f_x 处 $f_{2(\text{new})}$ 和 f_0 导致的总相移为 $\phi_{x(\text{HOR})}=\phi_m-90°=60°-90°=-30°$。由于在这个特殊的例子中 f_0 非常高，我们可以忽略其在 f_x 处的相位贡献，且利用 $-30°-\arctan[f_x/f_{2(\text{new})}]$，得到 $f_x=(\tan30°)\times f_{2(\text{new})}=0.577\times f_{2(\text{new})}$。利用增益带宽积的恒定性，我们写出：

$$a_0 \times f_{1(\mathrm{new})} = 1 \times f_x = 0.577 \times f_{2(\mathrm{new})}$$

利用式(7.102)和式(7.103)，我们将其表示为：

$$\frac{G_{m1}}{2\pi C_f} = 0.577 \times \frac{G_{m2}/(2\pi)}{C_1 + C_2(1 + C_1/C_f)}$$

代入给定的 G_{m1}，G_{m2}，C_1 和 G_2 值，求解 C_f，最终得到 $C_f = 2.388\mathrm{pF}$。代入式(7.101)和式(7.102)，我们得到 $f_{1(\mathrm{new})} = 6.66\mathrm{Hz}$ 和 $f_{2(\mathrm{new})} = 11.54\mathrm{MHz}$，因此 $f_x = 0.577 \times 11.54\mathrm{MHz} = 6.66\mathrm{MHz}$。

(c) 在 $C_f = 2.388\mathrm{pF}$ 下重新运行图 7.85 所示的 PSpice 电路，得到 $f_x \approx 5.9\mathrm{MHz}$ 及 $\phi_m \approx 62°$。考虑到作出的所有近似，计算值与 PSpice 值具有合理的一致性。 ◀

转到图 7.81 所示典型的三极点放大器，我们注意到，由于 f_3 导致的相位滞后将会减小图 7.85 所示两极点版本所计算的相位裕度，因此，如果要维持相同的相位裕度，C_f 将不得不增加。特别地，我们利用 PSpice 得到，在 $C_f = 4.7\mathrm{pF}$ 下，图 7.81 所示三极点放大器展现出 $f_x \approx 3.2\mathrm{MHz}$ 和 $\phi_m \approx 62°$。

并联电容和米勒补偿比较

我们希望在工作在 $\beta = 1$ 和 $\phi_m = 60°$ 情形下的三极点放大器中，比较并联电容和米勒补偿法。运行图 7.87 所示的 PSpice 电路，首先用 $C_{\mathrm{shunt}} = 269\mathrm{nF}$(及 $C_f = 0$)，然后用 $C_f = 4.7\mathrm{pF}$(及 $C_{\mathrm{shunt}} = 0$)，我们得到图 7.88 所示的闭环频率和阶跃响应。显然米勒补偿产生更快的动态特性，这是由于极点的分离效应，其使得第二个极点向更高频率移动，降低了主极点位置的限制。而且米勒倍增效应允许 C_f 远小于 C_{shunt}，因此它可以制造在芯片上。最后，可以不太直观地从上面使用的放大器模型看出，采用米勒补偿的电路转换速率 SR 很可能更高，因为更小的 C_f 充电/放电速度更快。

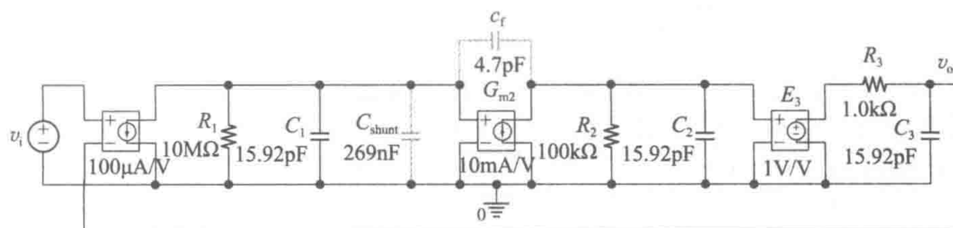


图 7.87

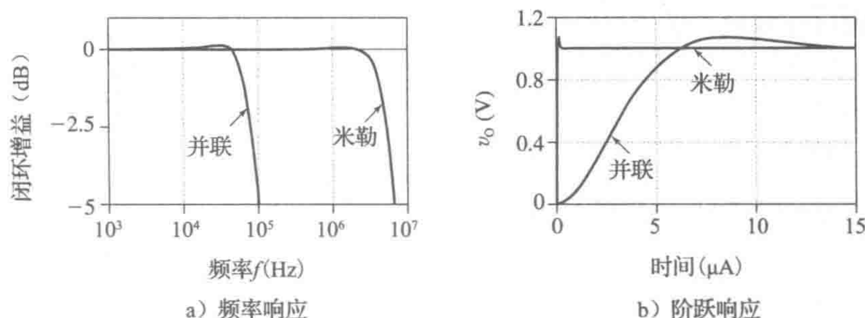


图 7.88 图 7.87 所示单位增益放大器的(a)频率响应和(b)阶跃响应

7.9 单片运算放大器的频率补偿

我们现在可以应用先前章节的技术到第 5 章介绍的典型的单片运放的补偿中，即用于 μA741 双极运放和两级 CMOS 运放，以及折叠式共源共栅型中。历史上，μA741 是第一个包含片上频率补偿的运放，在 20 世纪 60 年代中期，这一特点使得 μA741 成为最流行的 IC 设计中的一个。MOS 模拟技术在后来达到商业成熟以后，关于 CMOS 运放频率补偿第一个重要的文章仅出现在 20 世纪 80 年代早期。

μA741 运算放大器的频率补偿

采用 24 个晶体管，一个未补偿的 μA741 运放显示出众多的极点频率和零点频率，包括复杂的共轭极点对，它累积的相位滞后远超过 $-180°$。正如图 5.1 所示的 μA741 结构，通过接在由共集-共射对 Q_{16} - Q_{17} 构成的中间级间电容 $C_c=30\text{pF}$ 进行米勒补偿。补偿以后，这些根在复平面重新排列，以致它们的总相位滞后被推到充分高于过渡频率的位置 f_t(≈1MHz)。为了估计主极点频率，参考图 5.11 所示的交流等效电路，为了方便起见，将带有米勒电容 C_c 的电路重新画在图 7.89 中(预期主极点由 C_c 主导，为了简化，节点处 C_c 两边的更小的寄生电容被忽略)。这个电路与图 7.83 所示电路相似，假设我们令 $C_f=C_c=30\text{pF}$，$R_1=R_{o1}/\!/R_{i2}=(6.12/\!/4.63)\text{M}\Omega=2.64\text{M}\Omega$ 及 $R_2=R_{o2}/\!/R_{i3}=(81.3/\!/9\ 330)\text{k}\Omega=80.6\text{k}\Omega$。使用式(7.101)并保留分母中的主极点项，我们估计 -3dB 频率 f_b 为：

$$f_b \approx \frac{1/(2\pi)}{R_1 C_c(1+G_{m2}R_2)}$$

$$=\frac{1/(2\pi)}{2.64\times10^6\times30\times10^{-12}\times(1+80.6/0.161)}\text{Hz}=4\text{Hz} \tag{7.105}$$

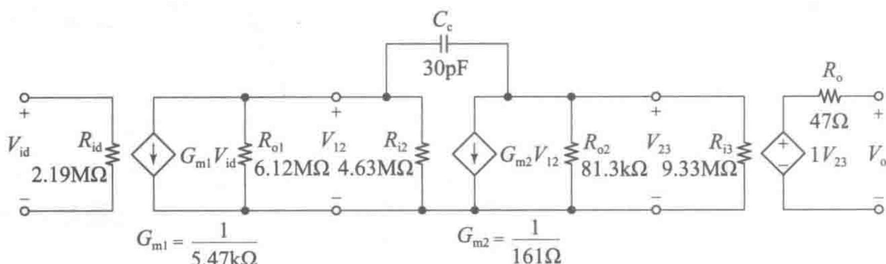


图 7.89 估算 μA741 运放主极点 f_D 的交流等效电路

考虑到作出的所有近似，这与数据手册上的 5Hz 非常接近。

使用 PSpice 库中的 μA741 宏模型进行仿真，在 ±10V 电源电压下，$a_0=199\ 220\text{V/V}$，$f_b=5.0\text{Hz}$，$f_t=888\text{kHz}$ 及 $\angle a(jf_t)=-117.2°$，因此 $\phi_m=62.8°$。正如我们从第 6 章所知，C_c 还将转换速率设置在 $0.5\text{V}/\mu\text{s}$。米勒效应增加 C_c 到 $1+80.6/0.161=501.6$ 倍，使其表现的等效电容为 $501.6\times30\text{pF}=150\text{nF}$！如果我们利用并联电容补偿，这样大的一个电容是不能在芯片上制造的，且它将导致一个更低的转换速率。

两级 CMOS 运算放大器的频率补偿

我们希望研究图 7.90 所示两级 CMOS 运放频率补偿，假设负载为 1pF。我们假设 6.12 节的工艺参数是基于 $L_{drawn}=1\mu\text{m}$，且在下面的 PSpice 模型中列出了这些参数：

```
.model     Mn NMOS(Level=1 Tox=20n Uo=600 Vto=0.7 Lambda=0.1
+          Ld=0.15u Gamma=0.6 phi=0.75 Cj=166u Mj=0.5 Cjsw=0.127n
+          Mjsw=0.33 Pb=0.909 Cgso=0.259n Cgdo=0.259n)

.model     Mp PMOS(Level=1 Tox=20n Uo=250 Vto=-0.7 Lambda=0.05
+          Ld=0.2u Gamma=0.5 phi=0.7 Cj=396u Mj=0.5 Cjsw=0.366n
+          Mjsw=0.33 Pb=0.955 Cgso=0.345n Cgdo=0.345n)
```

按照 6.12 节的步骤，我们指定单个晶体管的尺寸 A_s，P_s，A_d 及 P_d，以便反映图 7.90 所示的器件几何尺寸。这里对于所有 MOSFET 的 W_s 的计算基于 $V_{OV}=0.25\text{V}$，以及有效的沟道长度为 $L_n=L_{drawn}-2L_{ovn}=(1-2\times0.15)\mu\text{m}=0.7\mu\text{m}$ 和 $L_p=L_{drawn}-2L_{ovp}=(1-2\times0.2)\mu\text{m}=0.6\mu\text{m}$。结果如下列 PSpice 网表：

```
* source CKT_of_Fig_7.90
V_VDD     DD 0 2.5V
V_VSS     0 SS 2.5V
I_IREF    GP SS DC 100uA
```

```
V_Vi        IN 0 DC 0Vdc AC 1Vac
M_M1        GN 0 SP SP Mp L=1u W=22u As=66p Ps=28u Ad=66p
+           Pd=28u
M_M2        V1 IN SP SP Mp L=1u W=22u As=66p Ps=28u Ad=66p
+           Pd=28u
M_M3        GN GN SS SS Mn L=1u W=12u As=30p Ps=17u Ad=30p
+           Pd=17u
M_M4        V1 GN SS SS Mn L=1u W=12u As=30p Ps=17u Ad=30p
+           Pd=17u
M_M5        VO V1 SS SS Mn L=1u W=22U As=55p Ps=27u Ad=55p
+           Pd=27u
M_M6        VO GP DD DD Mp L=1u W=44u As=132p Ps=50u Ad=132p
+           Pd=50u
M_M7        SP GP DD DD Mp L=1u W=44u As=132p Ps=50u Ad=132p
+           Pd=50u
M_M8        GP GP DD DD Mp L=1u W=44u As=132p Ps=50u Ad=132p
+           Pd=50u
C_CL        VO 0 5pF
C_Cc        V1 VO {Ccvar}
.INC "CKT_of_Fig_7.90-SCHEMATIC1.par"
```

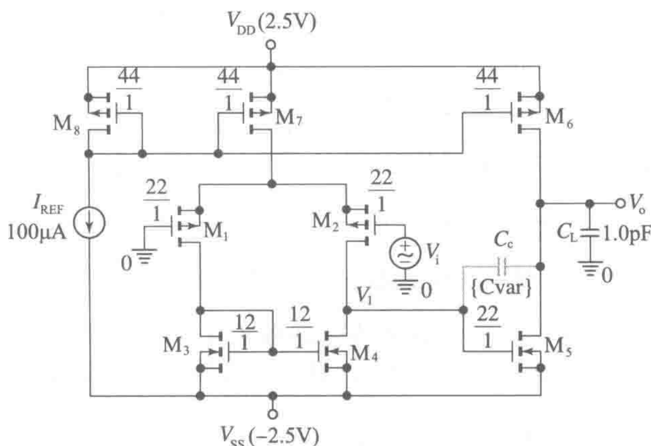


图 7.90　用于画出采用传统米勒补偿的两级 CMOS 运放频率响应的 PSpice 电路

小信号(.TF)分析产生了下列的低频参数：

$$a_0 = 4\,245\text{V/V},\quad g_{m1} = 0.425\text{mA/V},\quad r_{o2} /\!/ r_{o4} = 143.3\text{k}\Omega$$

$$g_{m5} = 0.934\,4\text{mA/V},\quad r_{o5} /\!/ r_{o6} = 74.59\text{k}\Omega$$

交流分析给出了图 7.91 所示的开环响应。在未补偿的曲线($C_c=0$)上使用 PSpice 的光标功能，我们求出当增益与 0dB 轴相交时，有 $f_x \approx 366\text{MHz}$，$\phi_x \approx -184°$，这表明放大器急需频率补偿。

主极点补偿位置的一个合理的候选是共源级 M_5，在该处我们可以利用米勒效应来放大栅极和漏极之间的小补偿电容 C_c，从而在适当低的频率下建立一个主极点。为了进一步研究，参考图 7.92 所示的交流等效，其中，

$$R_1 = r_{o2} /\!/ r_{o4},\quad R_2 = r_{o5} /\!/ r_{o6} \tag{7.106}$$

C_1 和 C_2 是与 M_5 栅极和漏极相连的净电容，有：

$$C_1 = C_{gd2} + C_{db2} + C_{gd4} + C_{db4} + C_{gs5},\quad C_2 = C_{db5} + C_{db6} + C_{gd6} + C_L \tag{7.107}$$

通常负载电容 C_L 在输出节点寄生电容中占主要地位，所以近似有 $C_2 \approx C_L$，且忽略 C_1。而且，反馈电容是：

$$C_f = C_c + C_{gd5} \tag{7.108}$$

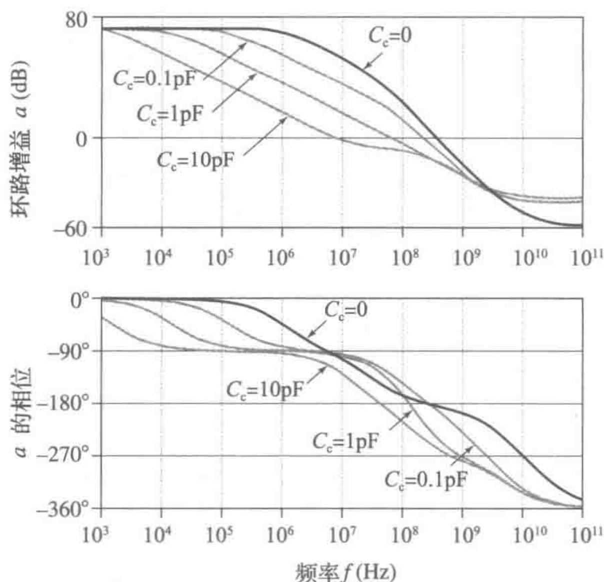


图 7.91　图 7.90 所示运放的幅值和相位图。深色曲线表示未补偿($C_c=0$)的响应。浅色曲线表示传统的米勒补偿在交叉点处未能将曲线弯曲到$-90°$

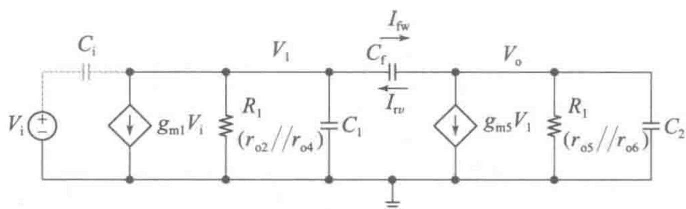


图 7.92　图 7.90 所示两级 CMOS 放大器的近似交流等效

通常 $C_c \gg C_{gd5}$，所以近似有 $C_f \approx C_c$。忽略寄生电容 C_i，我们观察到这个电路与图 7.83 所示的电路相似，所以可用前面已得到的公式(且将下标"new"去掉以简化符号)，在 C_c 存在的情况下，增益的形式为：

$$a(\mathrm{j}f) = a_0 \frac{1 - \mathrm{j}f/f_0}{(1 + \mathrm{j}f/f_1)(1 + \mathrm{j}f/f_2)} \tag{7.109}$$

式中：

$$a_0 = g_{m1} R_1 g_{m5} R_2 \tag{7.110}$$

$$f_1 \approx \frac{1/(2\pi)}{R_1[C_1 + C_f(1 + g_{m5}R_2 + R_2/R_1)] + R_2 C_2} \approx \frac{1}{2\pi R_1 g_{m5} R_2 C_f} \approx \frac{1}{2\pi R_1 g_{m5} R_2 C_c} \tag{7.111}$$

$$f_2 \approx \frac{g_{m5}/(2\pi)}{C_1 + C_2(1 + C_1/C_f)} \approx \frac{g_{m5}}{2\pi C_2} \approx \frac{g_{m5}}{2\pi C_L} \tag{7.112}$$

$$f_0 = \frac{g_{m5}}{2\pi C_f} \approx \frac{g_{m5}}{2\pi C_c} \tag{7.113}$$

而且，频率范围内的增益带宽积主要由 f_1 控制，即 $\mathrm{GBP} = a_o \times f_1$，

$$\mathrm{GBP} = \frac{g_{m1}}{2\pi C_f} \approx \frac{g_{m1}}{2\pi C_c} \tag{7.114}$$

图 7.91 所示曲线在验证极点对和右半平面零点的同时，还揭示出在 10GHz 范围内额外的右半平面零点，其是由于 V_i 通过输入级寄生参数正向传输到了 V_1 而形成的。然而，因为处在高频下，其对相位裕度的影响很小，可以忽略。而且，第一级产生了额外的零极点对，如图 6.29b 所示。为了简便，同样忽略这点。

式(7.111)到式(7.113)表明，C_c 的上升会近乎等量地降低 f_1 和 f_0，而 f_2 几乎不会改变。实际上，当 $C_c=C_L(=1\text{pF})$ 时，f_0 与 f_2 重叠了，当 $C_c=10C_L(=10\text{pF})$ 时，f_0 仅有 f_2 的1/10(这通过图7.91所示的幅值图得证)。我们做出重要的观察结果，那就是，无论 C_c 的值如何，f_1 和 f_0 通常都不会分开得足够远，以避免右半平面零点对相位裕度的影响。MOSFET的这种内在限制来源于其相当低的 g_{m5}(在本例中是 g_{m5}，f_0/f_1 与 g_{m5}^2 线性相关)。若可能将 g_{m5} 提高10倍而不改变电容，GBP将会保持不变，而 f_0 和 f_2 将会上升，显著提高相位裕度(见习题7.64)。

例7.36 (a) 在 $C_c=C_L(=1\text{pF})$ 的情况下，估算图7.90所示放大器的相位裕度。

(b) 评价你的结果。

解：

(a) 由式(7.111)到式(7.113)，给出：

$f_1=(1/(2\pi\times143.3\times10^3\times0.9344\times10^{-3}\times74.59\times10^3\times1\times10^{-12}))\text{Hz}=15.9\text{kHz}$

且 $f_0=f_2=(0.9344\times10^{-3}/(2\pi\times10^{-12}))\text{Hz}=149\text{MHz}$，所以增益是：

$$|a(\text{j}f)|=\frac{4245\times[1-\text{j}f/(149\times10^6)]}{[1+\text{j}f/(15.9\times10^3)]\times[1+\text{j}f/(149\times10^6)]}$$

我们可轻易求出：

$$|a(\text{j}f)|=4245\times\sqrt{\frac{1+f^2/(149\times10^6)^2}{[1+f^2/(15.9\times10^3)^2][1+f^2/(149\times10^6)^2]}}$$

$$=\frac{4245}{\sqrt{1+f^2/(15.9\times10^3)^2}}$$

在 $f_x=67.5\text{MHz}$ 时，下降到1V/V，此时，有

$$\phi_x=-\arctan\frac{67.5\times10^6}{15.9\times10^3}-\arctan\frac{67.5\times10^6}{149\times10^6}-\arctan\frac{67.5\times10^6}{149\times10^6}$$

$$\approx-90°-24.4°-24.4°\approx-139°$$

因此，$\phi_m=180°-139°=41°$，这通常不够高(PSpice给出 $f_x=63.5\text{MHz}$，$\phi_x=-141.6°$，$\phi_m=38.4°$，这与计算结果很相符)。

(b) 当 $C_c=C_L$ 时，右半平面零点和第二个极点在幅值表达式上相互抵消，只留下一个主极点(图7.91所示对应于 $C_c=1\text{pF}$ 的幅值曲线证实了这点)。然而，其各自的相位时延，不会互相抵消，反而会互相增强！ ◀

为了研究低 g_{m5} 带来的影响，我们需要进一步研究零频率点 f_0 的物理基础。参考图7.92所示电路，我们将通过 C_f 的电流分解为一个正向分量 $I_{fw}(\text{j}f)=V_1/(1/\text{j}2\pi fC_c)$ 和一个反向分量 $I_{rv}(\text{j}f)=V_o/(1/\text{j}2\pi fC_c)$，即

$$I_{fw}(\text{j}f)=\text{j}2\pi fC_cV_1,\quad I_{rv}(\text{j}f)=\text{j}2\pi fC_cV_o \tag{7.115}$$

我们做出以下的观察。

- $I_{rv}(\text{j}f)$ 使得 C_c 在反映到输入节点 V_1 时，被米勒放大器放大。因此，$I_{rv}(\text{j}f)$ 是需要的，因为其建立起了主极点。
- $I_{rv}(\text{j}f)$ 在输出节点 V_o 上建立起右半平面的传输零点。因此，其是不需要的，因为这个零点的存在干扰了相位裕度，阻止了增益的衰减，从而影响电路的稳定。回顾6.3节，f_0 是条件 $|I_{fw}(\text{j}f)|=g_{m5}V_1$ 成立时的频率，其会使得 V_o 下降到0(因此得名)。重新写出 $|\text{j}2\pi f_0C_fV_1|=g_{m5}V_1$ 得到熟悉的结果 $f_0=g_{m5}/(2\pi C_f)$。在 $f>f_0$ 时，我们有 $|I_{fw}(\text{j}f)|>g_{m5}V_1$，这表明 V_o 的极性反向了，并将反馈从负变为了正。这在 $f_0\gg f_x$ 时不是问题，即在双极型放大器中这不是问题。然而，在MOS放大器中，f_0 一般要低得多，这是因为上述提到的MOSFET有低的 g_{m5}。

解决不需要的右半平面零点的方法是将其消除，或至少将其移到一个危害较小的位置。图7.93画出了实现这个目的的三种不同方法。

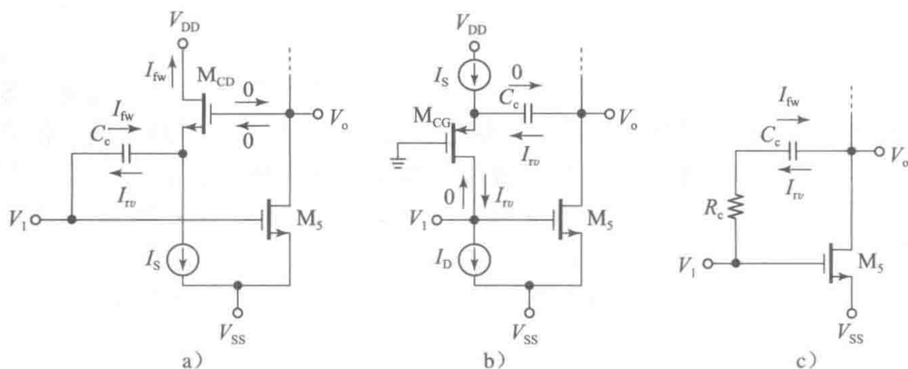


图 7.93　右半平面的零点可以通过(a)电压缓冲、(b)电流缓冲来消除，或通过(c)一个适当的串联电阻 R_c 来消除

- 图 7.93a 所示的方案利用一个单边共漏级电压缓冲器来将 I_{rv}传输到节点 V_1，同时将 I_{fw}转移到 V_{DD}，从而防止其到达节点 V_o，这会产生右半平面零点(见习题 7.69)。这个方案的一个缺点是，降低了输出电压摆幅，因为 $v_{O(min)}$ 从 $V_{SS}+V_{OV5}$ 上升到了 $V_{SS}+V(I_S)_{min}+V_{GS(CD)}$，此处的 $V(I_S)_{min}$是电流沉 I_S 上可允许的最小压降，$V_{GS(CD)}$是共漏级缓冲器的栅源电压。
- 图 7.93b 所示的方案用一个共栅级电流缓冲器来将 I_{rv}传输到节点 V_1，同时由于从缓冲器的漏极看进去的高电阻，其限制了 I_{fw}的产生(见习题 7.70)。这种方案的一个缺点是，I_S 和 I_D 必须很匹配，以避免产生一个不可容忍的失调误差(见参考文献[10])。
- 图 7.93c 所示方案用一个串联电阻 R_c 来在高频下控制 I_{fw}。在低频时，有 $R_c \ll |1/(j2\pi fC_c)|$，C_c 依然是占主要地位的，有 $I_{rv}(jf)=j2\pi fC_cV_o$，以维持主极点 f_1。但在高频时，R_c 的存在改变了传输零点的位置，因为现在有 $I_{fw}(s)=V_1/(R_c+1/sC_c)$。$V_o$ 在诸如 $I_{fw}(s_0)=g_{m5}V_1$ 的复频率 s_0 下会下降到 0，即

$$\frac{V_1}{R_c+1/(s_0C_c)}=g_{m5}V_1$$

求解 s_0，我们得到 s 平面的零点为：

$$s_0=\frac{1}{(1/g_{m5}-R_c)C_c}$$

因此，式(7.109)分子中的零点频率有以下的修正表达式：

$$f_{0(new)}=\frac{1}{2\pi(1/g_{m5}-R_c)C_c} \tag{7.116}$$

我们观察到 R_c 的存在减小了分母(至少在 $R_c<1/g_{m5}$下如此)，这又升高了 $f_{0(new)}$，并将相位滞后推离交越频率 f_x。令($R_c=1/g_{m5}$)，会使得 $f_{0(new)}$变为无限大，从而将式(7.109)中的分子减小到 1。进一步提高 R_c($R_c>1/g_{m5}$)，会改变式(7.109)分子中的 $f_{0(new)}$极性，从而产生一个左半平面(LHP)零点。我们知道，这是很重要的，因为其会产生相位超前(与右半平面(RHP)零点产生相位滞后相反)。电阻 R_c 通常使用偏置在欧姆区的 MOSFET 实现(见习题 7.71，了解 R_c 常用的电路实现)。

例 7.37 (a) 将图 7.90 所示的两级运放补偿到 $\phi_m=75°$、$f_0=\infty$，求出此时的 R_c 和 C_c。并估计开环增益 $a(jf)$，增益带宽积 GBP 和转换速率 SR。

(b) 与 PSpice 仿真结果比较，并评价。

(c) 假设 $\beta=1$，输入是在 -100mV 和 ±100mV 之间变化的脉冲信号，画出闭环频率响应和瞬态响应的图形。

解：

(a) C_L 决定的极点频率仍是 $f_2=g_{m5}/(2\pi C_L)\approx149$MHz。对于 $\phi_m=75°$，我们需要

$\phi_x = 75° - 180° = -105°$。$-90°$来自于主极点频率 f_1。f_2 和高阶根对相位的影响是 $90° - 105° = -15°$。忽略高阶根，我们需要$-15° \approx -\arctan(f_x f_2)$，即

$$f_x \approx f_2 \times \tan 15° = (149 \times 0.268)\text{MHz} = 39.8\text{MHz}$$

这需要主极点频率是：

$$f_1 = \frac{f_x}{a_0} = \frac{39.8 \times 10^6}{4\,245}\text{Hz} = 9.39\text{kHz}$$

所以由式(7.111)，给出：

$$C_c \approx \frac{1}{2\pi R_1 g_{m5} R_2 f_1}$$

$$= \frac{1}{2\pi \times 143.3 \times 10^3 \times 0.934\,4 \times 10^{-3} \times 74.59 \times 10^3 \times 9.39 \times 10^3}\text{F} \approx 1.70\text{pF}$$

最后，为了将零点频率移到无穷大，我们需要：

$$R_c = 1/g_{m5} = (1/(0.934\,4 \times 10^{-3}))\Omega = 1.07\text{k}\Omega$$

忽略高阶根，补偿后的增益近似为：

$$a(\text{j}f) \approx \frac{4\,245}{[1 + \text{j}f/(9.39 \times 10^3)] \times [1 + \text{j}f/(149 \times 10^6)]}$$

我们还有 GBP$\approx f_x = 39.8$MHz，SR$= I_{D7}/C_c = (100\mu\text{A})/(1.70\text{pF}) \approx 59\text{V}/\mu\text{s}$。

(b) 利用图 7.94 所示的 PSpice 电路，我们得到图 7.95 所示的图形。与图 7.91 所示的相比，交叉处的相位曲线弯曲更加接近$-90°$。实际上，利用 PSpice 的光标功能，我们求出 $f_x = 35.2$MHz，$\phi_x = -107.2°$，因此，$\phi_m = 180° - 107.2° = 72.8°$。这些数据与手工计算高度吻合，假设所有的寄生电容与 C_c 和 C_L 相比都可被忽略。

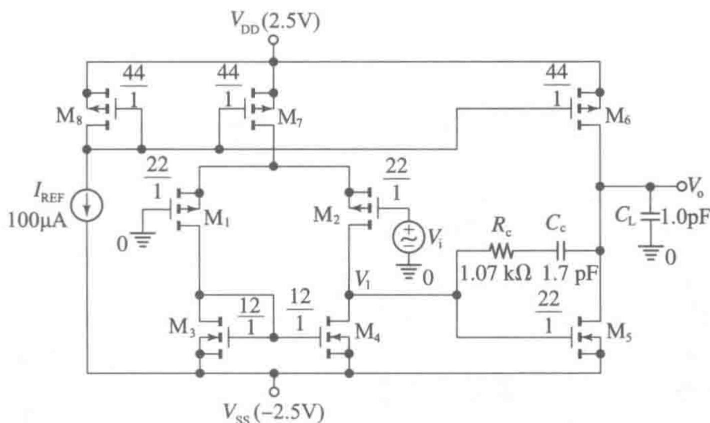


图 7.94 例 7.37 中运放的频率补偿

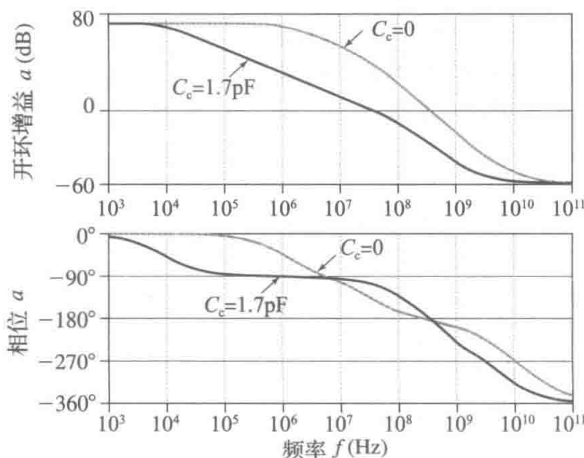


图 7.95 图 7.94 所示运放的幅值和相位图

(c) 为了在图 7.94 所示电路中实现 $\beta=1$，将 M_1 的栅极与地断开，并接到节点 V_o。这产生了图 7.96 所示的闭环响应。注意到图 7.96b 中没有限制转换速率。◀

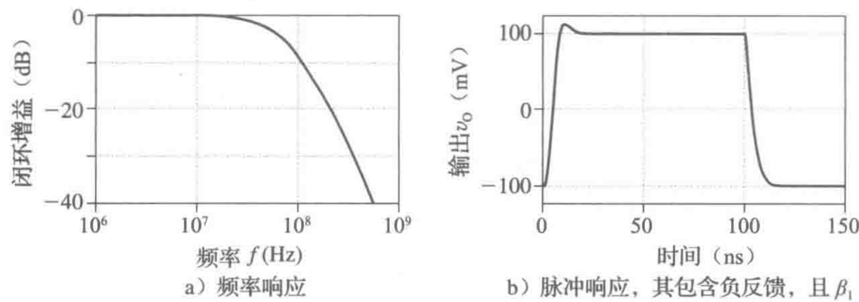


图 7.96　图 7.94 所示 CMOS 运放的(a)频率响应，(b)脉冲响应，其包含负反馈，且 $\beta=1$

例 7.38　例 7.38：若例 7.37 电路中的 C_L 翻倍，要维持相同的相位裕度而不增大 C_c，求 R_c。补偿后，$a(jf)$ 的表达式如何？通过 PSpice 电路验证并评价。

解：

C_L 翻倍将会使 f_2 变为以前的一半，即 74.5MHz，使得其更接近 f_x，这会影响 ϕ_m。其在 f_x 时的相位是 $-\arctan(f_x f_2)=-\arctan(39.8/74.5)=-28.1°$，比初始相位超前了 $-15°$，即 $-28.1°-(-15°)=-13.1°$。为了保持原来的 ϕ_m，我们必须用左半平面零点的相位超前来抵消这个相位滞后。其频率 $-f_{0(\text{new})}$ 必须是 $+13.1°=\arctan[f_x/(-f_{0(\text{new})})]=\arctan[39.8/(-f_{0(\text{new})})]$，其给出 $-f_{0(\text{new})}\approx 171\text{MHz}$。用式(7.116)，有：

$$-171\times10^6=\frac{1}{2\pi(1\,070-R_c)\times1.7\times10^{-12}}$$

给出 $R_c=1.617\text{k}\Omega$。补偿后，增益为：

$$a(jf)\approx\frac{4\,245\times[1+jf/(171\times10^6)]}{[1+jf/(9.39\times10^3)]\times[1+jf/(74.5\times10^6)]}$$

注意分子中的 + 号，其表示左半平面零点！重新运行图 7.94 所示的 PSpice 电路，但 $C_L=2\text{pF}$、$R_c=1.617\text{k}\Omega$，我们得到 $f_x=35.2\text{MHz}$，此处 $\phi_x=-107.2°$。因此 $\phi_m=180°-107.2°=72.8°$。这些数据再次与手工计算高度吻合，其是假设所有的寄生电容与 C_c 和 C_L 相比都可被忽略。◀

折叠式共源共栅 CMOS 运放的频率补偿

图 7.97 画出了折叠式共源共栅运放的交流模型，包含了影响其频率响应的主要电容。每个电容都是将对应节点的所有寄生电容相加得到的(输出节点包括外部的负载电容)。根据 6.7 节中的 OCTC(开路时间常数)求解步骤，−3dB 频率为：

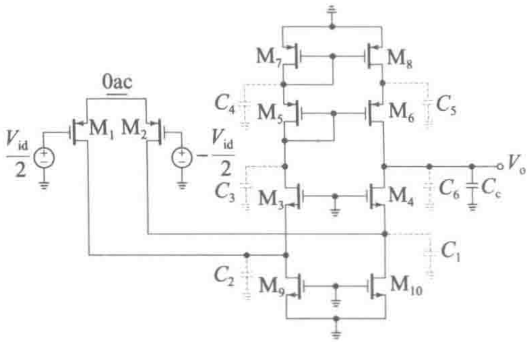


图 7.97　折叠式共源共栅运放的交流模型

$$f_b\approx\frac{1/(2\pi)}{R_1C_1+R_2C_2+\cdots+R_5C_5+R_o(C_6+C_c)}\tag{7.117}$$

式中：R_1 到 R_5 是从 C_1 到 C_5 看进去的开路等效电阻；R_o 是运放的输出电阻。由式(5.69)，这个电阻是：

$$R_o\approx[(g_{m6}+g_{mb6})r_{o6}r_{o8}]\,/\!/\,[(g_{m4}+g_{mb4})r_{o4}(r_{o2}\,/\!/\,r_{o10})]\tag{7.118}$$

电阻 R_1 到 R_5 都是源电阻，大约为 $1/(g_m+g_{mb})$。因此它们比 R_o 要小得多。虽然时间常数 R_1C_1 到 R_5C_5 可能彼此不同，但它们与 R_o 相比都是可以忽略的，所以近似有：

$$f_b\approx\frac{1}{2\pi R_o(C_6+C_c)}\tag{7.119}$$

根据式(7.94)，相位裕度可表示为 $\phi_m=90°+\phi_{x(\text{HOR})}$，其中，$\phi_{x(\text{HOR})}$ 是高阶项带来的总相移。

因此，为了在给定 ϕ_m 下补偿折叠式共源共栅运放，我们简单地对输出节点加上足够的电容，来降低 f_b，直到满足 $\phi_{x(HOR)}=\phi_m-90°$的条件为止。补偿后的增益带宽积是 $GBP=a_0\times f_b$，此处 $a_0=g_{m1}R_o$，g_{m1}是源极耦合对的跨导。利用式(7.119)，我们得到：

$$GBP\approx\frac{g_{m1}}{2\pi(C_6+C_c)} \tag{7.120}$$

作为实例，我们通过图 7.98 所示的 PSpice 电路来阐述上述概念。我们假设工艺参数与图 7.90 所示的两级运放的相同，即 $L_{drawn}=1\mu m$，有效沟道长度为 $L_n=0.7\mu m$ 和$L_p=0.6\mu m$。而且，所有 MOSFET 的 W_S都在 $V_{OV}=0.25V$ 的基础上进行计算。结果如下表：

```
* source CKT_of_Fig_7.98
V_VDD     DD 0 2.5V
V_VSS     0 SS 2.5V
I_I1      DD S12 DC 100uA
V_V1      G90 SS 0.95V
V_V2      G34 G90 0.25V
M_M1      D9 IN S12 S12 Mp L=1u W=22u As=66p Ps=28u Ad=66p
+         Pd=28u
M_M2      D10 0 S12 S12 Mp L=1u W=22u As=66p Ps=28u Ad=66p
+         Pd=28u
M_M3      G56 G34 D9 SS Mn L=1u W=16U As=40p Ps=21u As=40p
+         Ps=21u
M_M4      OUT G34 D10 SS Mn L=1u W=16U As=40p Ps=21u As=40p
+         Ps=21u
M_M5      G56 G56 G78 DD Mp L=1u W=33u As=99p Ps=39u Ad=99p
+         Pd=39u
M_M6      OUT G56 S6 DD Mp L=1u W=33u As=99p Ps=39u Ad=99p
+         Pd=39u
M_M7      G78 G78 DD DD Mp L=1u W=33u As=99p Ps=39u Ad=99p
+         Pd=39u
M_M8      S6 G78 DD DD Mp L=1u W=33u As=99p Ps=39u Ad=99p
+         Pd=39u
M_M9      D9 G90 SS SS Mn L=1u W=27U As=68p Ps=33u Ad=68p
+         Pd=33u
M_M10     D10 G90 SS SS Mn L=1u W=27.02U As=68p Ps=33u Ad=68p
+         Pd=33u
C_Cc      V1 VO {Ccvar}
.INC "CKT_of_Fig_9.11-SCHEMATIC1.par"
```

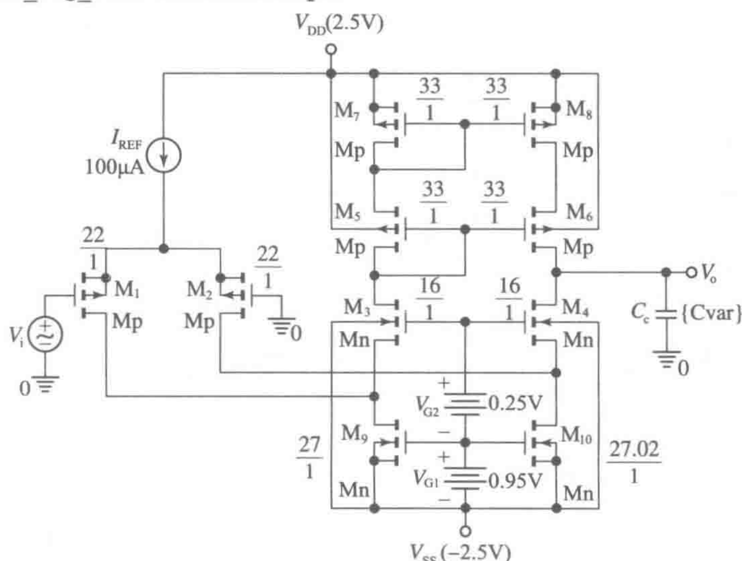


图 7.98 画出带有可变负载 C_c 的折叠式共源共栅 CMOS 运放增益图形的 PSpice 电路

小信号(.TF)分析给出下列的低频参数值：

$$a_0 = 2\,679\text{V/V}, R_o = 6.391\text{M}\Omega, g_{m1} = 419\mu\text{A/V} \qquad (7.121\text{a})$$

交流分析给出图 7.99 所示的开环响应。用 PSpice 的光标功能，我们求出对应于 $C_c=0$ 时的未补偿的响应，有：

$$f_b = 425\text{kHz}, f_x = 749.5\text{MHz}$$

$$\phi_x = -131.5°, \phi_m = 48.5° \qquad (7.121\text{b})$$

为了提高 ϕ_m。我们有意在输出节点加入电容，来获得 $C_c=0.2$pF 和 1pF 情况下的曲线。正如预期的，更大的相位裕度要以带宽的下降为代价。

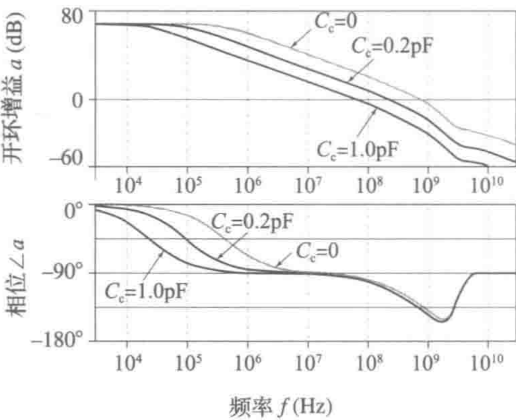


图 7.99

例 7.39 (a) 用上述的光标数据，估计输出节点寄生电容 C_6。

(b) 用光标功能给出在未补偿时，$f_{-105°}=186$MHz 的数据，求出在 $\phi=75°$时的 C_c。随后得到的带宽 f_b 和 GBP 是多少？用 PSpice 电路验证并评价。

解：

(a) 对于 C_c，我们用式(7.119)，令：

$$425\times10^3 = \frac{1}{2\pi\times6.391\times10^6\times(C_6+0)}$$

解得：

$$C_6 = 58.6\text{fF}$$

(b) 在本例中应用式(7.96)，写出 $f_b=f_{-105°}/a_0=(186\times10^6/2\,679)\text{Hz}\approx69.4\text{kHz}$。再用式(7.199)，得：

$$69.4\times10^3 = \frac{1}{2\pi\times6.391\times10^6\times(58.6\times10^{-15}+C_c)}$$

解得 $C_c=300$fF 和 GBP=186MHz。重新运行 PSpice 电路，但有 $C_c=0.3$pF，我们得到 $f_b=69.3$kHz，GBP$=f_x=173$MHz，$\phi_x=-108°$，$\phi_m=72°$，都与计算值相吻合。◀

比较两级和折叠式共源共栅运放

这两种结构有相似也有区别。

- 两种结构都有相同的主极点频率的形式：

$$f_b \propto \frac{1}{2\pi RMC_c}$$

式中：R 是合适的电阻；M 是较大的增益，以帮助补偿电容 C_c 建立适当低的 f_b，令其可以轻易在片上制造。在两级结构中，C_c 因米勒效应被放大 M 倍，然而在共源共栅结构中，由于层叠的结构，R 被放大了 M 倍。

- 在两级结构中提高 C_c 会产生降低稳定性，因为其会降低右半平面零点的频率，从而影响相位裕度。
- 在共源共栅结构中提高 C_c 会产生稳定作用，因为其降低了第一个极点，从而使得相位裕度接近 90°。这使得共源共栅运放特别适用于驱动任意电容负载，如开关电容滤波器。

7.10 噪声

任何可能影响所需信号的干扰信号，都称为噪声。一个熟悉的例子是设计较差的音频系统中的嗡嗡声。这个噪声会从外部进入电路(在这种情况中是公用电源)。另一个例子是质量低劣的音频放大器中的嘶嘶声，当在没有音频输入时我们增大音量就会发现。这是固

有噪声的例子，这样命名是因为其是由构成电路的内部元件(电阻、二极管、晶体管)产生的(相反，从外部进入电路的噪声称为外来噪声)。虽然我们可以通过合理的设计、版图和屏蔽作用，几乎消除外部噪声，但电路中会一直存在固有噪声。通过合适的元件和电路结构选择及滤波，可以降低固有噪声，但不可能完全消除。

固有噪声最常见的例子是电阻噪声，其是由载流子的热运动引起的(普通电阻和 n 型材料中是电子，p 型材料中是空穴)，即使在电阻被严密屏蔽时该噪声也会存在。虽然未连接电压的电阻上压降为 0，其瞬态值一直在 0 上下波动，如图 7.100 所示。

基本的噪声特性

将噪声电压记为 $e_n(t)$，噪声电流记为 $i_n(t)$，我们感兴趣的是，其在 t_1 到 t_2 的时间内的均方根(rms)值 E_n 和 I_n，分别定义为：

$$E_n = \sqrt{\frac{1}{t_2 - t_1}\int_{t_1}^{t_2} e_n^2(t)\mathrm{d}t}$$

$$I_n = \sqrt{\frac{1}{t_2 - t_1}\int_{t_1}^{t_2} i_n^2(t)\mathrm{d}t} \qquad (7.122)$$

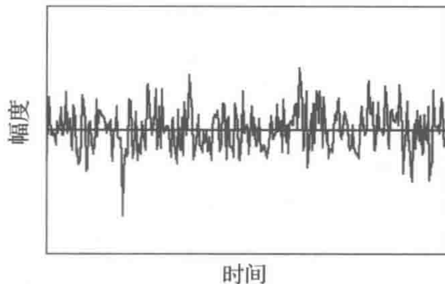


图 7.100 (适当放大的)电阻噪声的示波器显示

其物理意义是，若我们对电阻 R 加上电压 $e_n(t)$ 或电流 $i_n(t)$，其功耗为 E_n^2/R 和 RI_n^2。或者说，RI_n^2 和 I_n^2 代表 $e_n(t)$ 和 $i_n(t)$ 在 1Ω 电阻上的功耗。虽然 $e_n(t)$ 和 $i_n(t)$ 是随机变量，不能被综合分析，但 E_n 和 I_n 可以通过实际的均方根万用表来测量。

在噪声分析的过程中，我们常要解决串联的噪声电压或是并联的噪声电流，所以我们对总噪声的均方根值很感兴趣。对于 $e_{n1}(t)$ 和 $e_{n2}(t)$ 两个噪声电压的串联，总的均方根值为：

$$E_n^2 = \frac{1}{t_2 - t_1}\int_{t_1}^{t_2}[e_{n1}(t) + e_{n2}(t)]^2\mathrm{d}t = E_{n1}^2 + \frac{2}{t_2 - t_1}\int_{t_1}^{t_1} e_{n1}(t) \times e_{n2}(t)\mathrm{d}t + E_{n2}^2$$

其展开成二次项，并两次运用式(7.122)。在大多数情况下，$e_{n1}(t)$ 和 $e_{n2}(t)$ 是不相关的，所以它们乘积的平均值是 0，这给出 $E_n^2 = E_{n1}^2 + E_{n2}^2$。我们可以轻易地将这个结论推广到 N 个不相关噪声电压的串联或是 N 个不相关噪声电流的并联，其总的均方根形式为：

$$E_n = \sqrt{E_{n1}^2 + E_{n2}^2 \cdots + E_{nN}^2}, I_n = \sqrt{I_{n1}^2 + I_{n2}^2 \cdots + I_{nN}^2} \qquad (7.123)$$

噪声谱

噪声均方根值的物理意义与交流信号均方根值相似，不过正弦曲线的功率是集中在一个频率上的，而噪声的功率通常包含整个频谱。噪声功率的频率分布通过噪声功率密度 $e_n^2(f)$ 和 $i_n^2(f)$ 来描述，其将 1Hz 带宽内的平均噪声功率表示为频率 f 的函数。我们用功率密度来分析计算 f_L 到 f_H 的一段频率内的均方根值：

$$E_n = \sqrt{\int_{f_L}^{f_H} e_n^2(f)\mathrm{d}f}, I_n = \sqrt{\int_{f_L}^{f_H} i_n^2(f)\mathrm{d}f} \qquad (7.124)$$

因为 E_n 单位是 V，f 单位是 Hz，所以 $e_n^2(f)$ 单位是 V^2/Hz，类似地，$i_n^2(f)$ 的单位是 A^2/Hz。

作为例子，IC 噪声功率密度的表达式为：

$$e_n^2(f) = e_{nw}^2\left(\frac{f_{ce}}{f} + 1\right), i_n^2(f) = i_{nw}^2\left(\frac{f_{ci}}{f} + 1\right) \qquad (7.125)$$

将其代入式(7.124)，积分得到：

$$E_n = e_{nw}\sqrt{f_{ce}\ln\left(\frac{f_H}{f_L}\right) + f_H - f_L}, I_n = i_{nw}\sqrt{f_{ci}\ln\left(\frac{f_H}{f_L}\right) + f_H - f_L} \qquad (7.126)$$

数据手册通常表示出了噪声功率密度的平方根值，即 $e_n(f)$ 和 $i_n(f)$。其不适当地简称为噪声电压和噪声电流(注意到，其单位是 nV/$\sqrt{\text{Hz}}$ 和 pA/$\sqrt{\text{Hz}}$，而非 nV 和 pA)，如

图 7.101 所示。我们做出以下的观察。

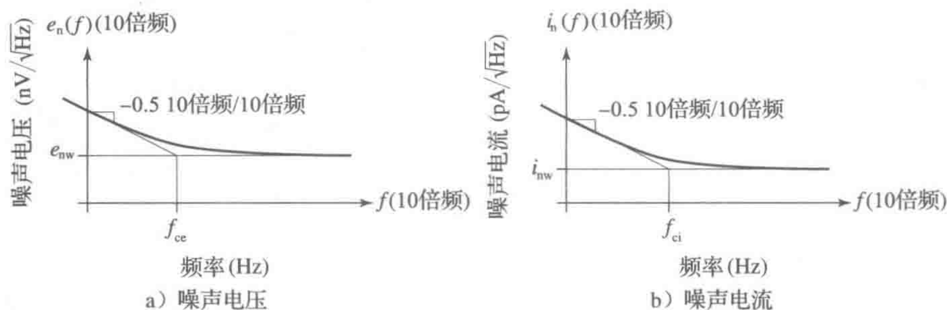


图 7.101 集成电路噪声的典型频谱密度

- 当 $f \gg f_{ce}$ 时，有 $e_n \to e_{nw}$，当 $f \gg f_{ci}$ 时，有 $i_n \to i_{nw}$，这表明高频时的渐近线不会随着频率变化。这种类型的噪声称为白噪声，类似于白光，其包含所有的频率分量，e_{nw} 和 i_{nw} 称为白噪声下限。
- 当 $f \gg f_{ce}$ 时，由式(7.125)得到 $e_n^2(f) \propto 1/f$，当 $f \ll f_{ci}$ 时，有 $i_n^2(f) \propto 1/f$，这表明低频渐近线的斜率为−1 10 倍频/10 倍频(相比之下，图 7.101 所示的平方根图形斜率为−0.5 10 倍频/10 倍频)。功率密度与频率 f 成反比的噪声称为 $1/f$ 噪声。
- 频率 f_{ce} 和 f_{ci} 代表 $1/f$ 噪声和白噪声之间的界限，其称为转角频率。一个实际的例子是，常用的 μA741 运放的数据手册给出：

$$e_{nw} = 20\text{nV}/\sqrt{\text{Hz}}, \quad f_{ce} = 200\text{Hz}, \quad i_{nw} = 0.5\text{pA}/\sqrt{\text{Hz}}, \quad f_{ci} = 2\text{kHz} \tag{7.127}$$

例 7.40 (a) 求出音频范围(20Hz～20kHz)内 μA741 运放的 E_n。

(b) 在 0.1Hz～1MHz 的宽频带范围内，重做上问，与(a)问比较，并评价。

解：

(a) 用式(7.126)，有：

$$E_n = 20 \times 10^{-9} \times \sqrt{200\ln\left(\frac{20 \times 10^3}{20}\right) + 20 \times 10^3 - 20}\text{V}$$

$$\approx 20 \times 10^{-9} \times \sqrt{1\,382 + 20 \times 10^3}\text{V} = 2.92\mu\text{V}$$

(b) 同样地，有：

$$E_n = 20 \times 10^{-9} \times \sqrt{200\ln\left(\frac{10^6}{0.1}\right) + 10^6 - 0.1}\text{V}$$

$$\approx 20 \times 10^{-9} \times \sqrt{3\,224 + 10^6}\text{V} = 20.0\mu\text{V}$$

带宽的增加，同时增加了 $1/f$ 噪声和白噪声。然而，因为其对数相关性，$1/f$ 噪声的增加没有白噪声的显著，因为白噪声是随着带宽的平方根增加的。◀

显然，噪声下限越低，白噪声的影响越小，转角频率越低，$1/f$ 噪声的影响越小。一个电路的噪声性能很大程度上取决于其频率范围 f_L 和 f_H。具体说来，$1/f$ 噪声被比值 f_H/f_L 影响，白噪声被差值 $f_H - f_L$ 影响。通常，f_L 取噪声被观察或测量的时间的倒数(例如，对于 10s 的观察时间，令 $f_L = (1/10)\text{Hz} = 0.1\text{Hz}$)。不久我们将讨论，电路的频率特性是怎样建立起 f_H 的。为了避免多余的噪声，用户可以有意使用滤波技术，来降低 f_H 的值，从而达到实际应用所需的最小值(例如，将一个音频放大器的最高频率限制在 20kHz，可以消除高于这个频率的所有噪声)。

噪声类型

噪声来源的物理机制各不相同。以下是一些在电子器件中最常见的噪声类型。

- **热噪声。**如上述提到的，这种形式的噪声来源于导体内载流子的热运动。其是白噪声，功率密度是与热力学温度 T 成正比的。因约翰・B・约翰逊(John B. Johnson)在

1928 年第一次研究这种噪声，其也称为约翰逊噪声。其在所有电阻中都存在，无论是设计中的电阻还是寄生电阻，如 pn 结的衬底电阻，BJT 的基区电阻，或 MOSFET 的沟道电阻。我们将一个实际的电阻用一个无噪声的电阻 R 和一个噪声电压 e_{nr} 串联的模型来代替，如图 7.102a 所示。或者，我们可以进行源变换，用一个无噪声的电阻 R 和一个噪声电流 $i_{nr}=e_{nr}/R$ 并联的模型来代替，如图 7.102b 所示。功率密度为：

$$e_{nr}^2 = 4kTR, i_{nr}^2 = \frac{4kT}{R} \qquad (7.128)$$

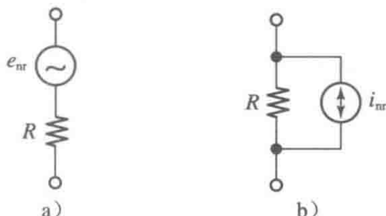


图 7.102　电阻噪声模型，包含一个无噪声的电阻 R 和(a)一个串联噪声电压 e_{nr} 或(b)一个并联噪声电流 i_{nr}

式中：$k=1.38\times10^{-23}$ J/K 是玻耳兹曼(Boltzmann)常量。例如，在室温下，一个 1kΩ 的电阻有 $e_{nr}=\sqrt{4\times1.38\times10^{-23}\times300\times10^3}$ V/$\sqrt{\text{Hz}}\approx 4\text{nV}/\sqrt{\text{Hz}}$，$i_{nr}=(4\times10^{-9}/10^3)$ A/$\sqrt{\text{Hz}}=4\text{pA}/\sqrt{\text{Hz}}$。1MHz 带宽内的均方根电压是 $E_n=4\times10^{-9}\times\sqrt{10^6}\text{V}=4\mu\text{V}$。

- **散粒噪声。** 当载流子流过势垒，比如一个 pn 结时，因为粒子的离散性，所产生的电流 $i(t)$ 会在其均值 I 上下波动。该波动的功率密度正比于 I，且有：

$$i_n^2 = 2qI \qquad (7.129)$$

式中：$q=1.602\times10^{-19}$C 是电子电量。

- **闪烁噪声。** 又名接触噪声，该形式的噪声的产生有着多种原因，取决于器件的类型，在晶体管中是由于载流子产生电流时流动的随机性，产生的扰动的功率密度为：

$$i_n^2 = \frac{KI^a}{f^b} \qquad (7.130)$$

式中：K 是与器件相关的常数，称为闪烁系数；I 是电流平均值；a、b 是额外的器件常数，其中 $0.5<a<1$，$b\approx1$。由于其功率密度近似于反比于频率 f，故闪烁噪声又称为 $1/f$ 噪声。闪烁噪声的另一个名字是粉红噪声，类似于粉光，其功率密度主要分布在低频段。

- **其他形式的噪声**。另一种形式的低频噪声是脉冲噪声，因为其是通过示波器发现的，也可以称为跳跃噪声，因为在使用扬声器过程中会产生这种噪声，其存在于金属离子杂质中，如金掺杂(我们通常忽略这种噪声形式)。另一种是击穿噪声，该噪声是在 pn 结被击穿的时候产生的。

半导体器件噪声模型

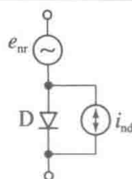
我们希望通过含有噪声源的器件来建立半导体器件的噪声模型，从电阻的角度切入。

- 二极管的噪声模型。考虑其散粒噪声和闪烁噪声，建立的二极管模型含有一个没有噪声的 pn 节，且并联一个噪声电流源 i_{nd}，如表 7.3 所示。用一个串联的噪声电压源 e_{nr} 表示二极管体电阻 r_S 的热噪声(见第 1 章)。上述两个噪声源的功率密度为：

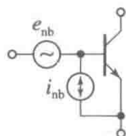
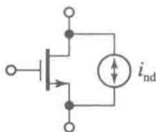
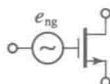
$$i_n^2 = 2qI_D + \frac{KI_D^a}{f} \qquad (7.131a)$$

$$e_{nr}^2 = 4kTr_S \qquad (7.131b)$$

表 7.3　半导体器件的噪声模型及噪声功率密度
(模型中的器件被认为是没有噪声的，噪声用相关信号源表示)

模型	功率密度
	$e_{nr}^2=4kTr_S$ $i_{nd}^2=2qI_D+\frac{KI_D^a}{f}$

（续）

	$e_{nb}^2=4kT\left(r_b+\frac{1}{2g_m}\right)$ $i_{nb}^2=2q\left(I_B+\frac{KI_B^a}{f}+\frac{I_C}{\lvert\beta_0(jf)\rvert^2}\right)$
	$i_{nd}^2=\frac{K_d I_D^a}{f}+4kT\frac{2}{3}g_m$
	$e_{ng}^2=\frac{K}{WLC_{ox}f}+4kT\frac{2}{3}\frac{1}{g_m}$

- **BJT 的噪声模型。**正向偏置的 BJT 的基极、集电极电流为 I_B，I_C，其基极和集电极的散粒噪声密度分别为 $2qI_B$、$2qI_C$。将 $2qI_C$ 除以 g_m^2，其中 $g_m=I_C/V_T=qI_C/V_T$，得到基极的散粒噪声密度增加到 $4kTr_b$，热噪声是由体电阻 r_b 引起的。最后得到总的基极功率密度为：

$$e_{nb}^2=4kT\left(r_b+\frac{1}{2g_m}\right) \tag{7.132a}$$

同样，将 $2qI_C$ 除以 $\lvert\beta_0^2(jf)\rvert$，加上基极的散粒噪声和闪烁噪声，总基极功率密度为：

$$i_{nb}^2=2q\left(I_B+\frac{KI_B^a}{f}+\frac{I_C}{\lvert\beta_0(jf)\rvert^2}\right) \tag{7.132b}$$

式中：K 和 a 是和工艺相关的参数。表 7.3 中总结了 BJT 的噪声模型和相应的功率密度。由式(7.132a)可得，BJT 产生与 $R_{eq}=r_b+1/(2g_m)$ 相同的噪声电压。比如，对于一个 BJT，若 $r_b=250\Omega$，$I_C=0.1\text{mA}$，对于 $R_{eq}=(250+(26/0.1)/2)\Omega=380\Omega$，有 $e_{nb}\approx2.5\text{nV}/\sqrt{\text{Hz}}$。

- **MOSFET 的噪声模型。**处于饱和区的 MOSFET 中所含的主要是两种噪声类型：(a)闪烁噪声，当载流子从源极流向漏极时，沟道与氧化层的界面处会捕获并释放载流子；(b)热噪声，由沟道电阻引起。漏电流的噪声功率密度为：

$$i_{nd}^2=\frac{K_d I_D^a}{f}+4kT\frac{2}{3}g_m \tag{7.133a}$$

式中：K_d 和 a 为相关参数。此外，漏极噪声映射到栅极的噪声为，$e_{ng}^2=i_{nd}^2/g_m^2$，结果可表述为：

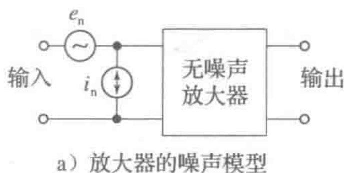
$$e_{ng}^2=\frac{K}{WLC_{ox}f}+4kT\frac{2}{3}\frac{1}{g_m} \tag{7.133b}$$

式中：K 是一个与工艺相关的参数，数量级为 $10^{-24}\text{V}^2\text{F}$。两个 MOSFET 的噪声模型及相应的功率密度总结在表 7.3 中。闪烁噪声与 $W\times L$ 成反比，所以电路设计者可以选择较大 MOSFET 面积，从而将闪烁噪声控制在较低的水平。此外，pMOSFET 中的 K 值小于 nMOSFET 中的 K 值，因为电子比空穴更易捕获。这也是为何 p 型的输入级更受欢迎的原因。由式(7.133)有，MOSFET 产生与电阻 $R_{eq}=2/(3g_m)$ 相同的噪声电压。比如，对一个 $g_m=1\text{mA/V}$ 的 MOSFET，有 $R_{eq}=667\Omega$，$e_{ng}\approx3.3\text{nV}/\sqrt{\text{Hz}}$。

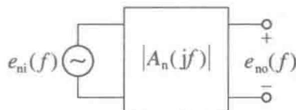
动态噪声

放大器等 IC 由许多器件组成，既有有源器件，也有无源器件，且都会在输出信号中

引入噪声，故找出每个器件对输出噪声的贡献是一项艰巨的任务。然而，如图 7.103a 所示，整个电路的噪声特性可以用一个电压源和电流源表示。e_n表示的是短路输入噪声，因为将输入端口短路，使 i_n流过 e_n，将不会对输出噪声产生影响，亦即短路噪声只与 e_n有关。与之相对，i_n表示开路输入噪声，因为将输入端开路排除了 e_n对噪声的影响，i_n流过电路输入阻抗，故开路噪声与 i_n有关。



a）放大器的噪声模型



b）计算输入噪声电压e_{ni}、噪声增益A_n的电压放大器的输出噪声e_{no}的电路

图 7.103

一旦我们将放大器嵌入一个电路中，则对于电压输出型，它的均方根输出噪声 E_{no}值得我们注意，对于电流输出型，则是其 I_{no}(频率范围 $f_L<f<\infty$)。为了达到这个目的，对于电压放大器，我们将 e_n、i_n的影响整合进一个信号源 $e_{ni}(f)$中，对于电流放大器，则表示成 $i_{ni}(f)$。接下来，将这些输入噪声源乘上电路的增益得到输出噪声。比如，在图 7.103b 所示的电压放大器中，有 $e_{no}(f)=|A_n(jf)|e_{ni}(f)$，$A_n(jf)$为噪声增益。最后，采用式(7.124)求出特定频率 f_L下得均方根输出噪声：

$$E_{no}=\sqrt{\int_{f_L}^{\infty}|A_n(jf)|^2e_{ni}^2(f)\mathrm{d}f} \tag{7.134}$$

大部分感兴趣的噪声增益由一个极点控制，或：

$$A_n(jf)=\frac{A_{n0}}{1+jf/f_B} \tag{7.135}$$

式中：A_{n0}是直流增益；f_B是−3dB 频率。我们对两种情况感兴趣，即白噪声和 $1/f$ 噪声。

- **白噪声等效带宽：**假设 $e_{ni}(f)=e_{niw}$，联立式(7.134)和式(7.135)，有(见习题 7.74)：

$$\begin{aligned}E_{no}&=A_{n0}e_{niw}\sqrt{\int_{f_L}^{\infty}\frac{\mathrm{d}f}{1+(f/f_B)^2}}=A_{n0}e_{niw}\sqrt{f_B\left(\arctan\infty-\arctan\frac{f_L}{f_B}\right)}\\&=A_{n0}e_{niw}\sqrt{\mathrm{NEB}}\end{aligned}$$

  式中：

$$\mathrm{NEB}=f_B\left(\frac{\pi}{2}-\arctan\frac{f_L}{f_B}\right) \tag{7.136}$$

  为白噪声等效带宽。对于 $f_L\ll f_B$，表明在式(7.136)中，可取近似 $\arctan(f_L/f_B)\approx f_L/f_B$。因此，

$$\mathrm{NEB}\approx 1.57f_B-f_L \tag{7.137}$$

  注意到若 $A_n(jf)$在频率 f_B之后快速下降，则 f_H将与其一致。然而事实上下降是逐渐的(一阶的)，因此 f_B之前的噪声对整体的贡献率为 57%。

- **闪烁噪声的矩形等效：**假设 $e_{ni}^2(f)=KI/f$，联立式(7.134)和式(7.135)，有(见习题 7.74)：

$$\begin{aligned}E_{no}&=A_{n0}\sqrt{\int_{f_L}^{\infty}\frac{KIdf}{f[1+(f/f_B)^2]}}=A_{no}\sqrt{KI\ln\frac{f_B\sqrt{1+(f_L/f_B)^2}}{f_L}}\\&=A_{n0}\sqrt{KI\ln\frac{f_H}{f_L}}\end{aligned}$$

  式中：

$$f_H=f_B\sqrt{1+(f_L/f_B)^2} \tag{7.138}$$

也就是说，令上述频率高于 f_L 的闪烁噪声通过一个 −3dB 频率为 f_B 的一阶低通滤波器等价于通过一个截止频率为 f_H 的矩形滤波器。对于 $f_L \ll f_B$，可近似取：

$$f_H \approx f_B \tag{7.139}$$

例 7.41 (a) 对于 pn 结有 $r_s \approx 0$，$K = 5\times10^{-17}$A，$a=1$，且被一个无噪声电流源 $I_D = 100\mu$A 正向偏置。求出频率为 0.1Hz 到 1MHz 时的均方根噪声电压 E_n。

(b) 求出电容值 C，当与 pn 节并联时，E_n 变为 1.0μV。

解：

(a) 由式(7.131a)，有：

$$i_{nd}^2 = 2\times1.602\times10^{-19}\times100\times10^{-6} + \frac{5\times10^{-17}\times100\times10^{-6}}{f}$$
$$= (5.66\text{pA})^2\left(\frac{156}{f}+1\right)$$

节点两端的噪声电压为 $e_{nd} = r_d i_{nd}$，$r_d = (26/0.1)\Omega = 260\Omega$，故有：

$$e_{nd}^2 = (260\times5.66\times10^{-12})^2\times\left(\frac{156}{f}+1\right) = (1.472\text{nV})^2\times\left(\frac{156}{f}+1\right)$$

由式(7.126)，有：

$$E_n \approx (1.472\text{nV})\times\sqrt{156\ln\left(\frac{10^6}{0.1}\right)+10^6} \approx (1.472\text{nV})\times\sqrt{10^6} = 1.47\mu\text{V}$$

表明本例中闪烁噪声可忽略。

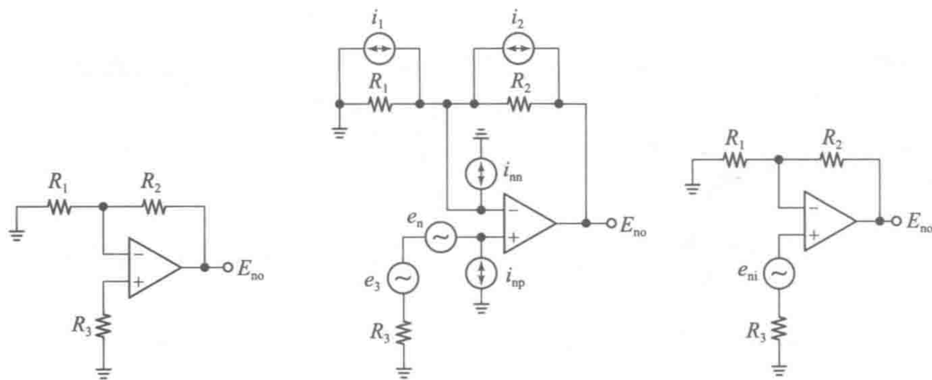
(b) 电容 C 与 pn 结并联，产生了在 $f_B = 1/(2\pi r_d C)$ 处的极点。既然闪烁噪声可以忽略，我们令

$$(1.472\text{nV})\times\sqrt{1.57f_B} = 1.0\mu\text{V}$$

得到 $f_B = 294$kHz，故 $C = 1/(2\pi r_d f_B) = (1/(2\pi\times260\times294\times10^3))\text{F} \approx 2.1$nF ◀

运算放大器电路示例

图 7.104a 所示的运放电路是计算噪声的通用电路。由于没有输入信号，故输出端只有噪声(取决于输入信号加入的位置，该电路可以是反相放大器、同相放大器、加法或者差分放大器、缓冲器、I/V 转换器等)。假设运放在 f_t 处有着如图 7.126 所示的恒定增益带宽积 GBP 和频谱密度，则我们希望求出总输出噪声 E_{no}。为了达到这个目的，我们将电路重新画为图 7.104b 所示电路，明确地画出了所有噪声源。因为运放是差分输入的，所有噪声电流源 i_{nn}、i_{np} 必须全部画出(对于噪声电压源，则必须整合进一个单独的 e_n，并串联进电路的输入端)。此外，每个电阻的噪声也表示出来(串并联取决于哪一种接法有助于计算)。下一步，如图 7.104c 所示，将所有噪声源等效为一个输入噪声源 e_{ni}。最后，由式(7.134)求出 E_{no}。



a) 通用电阻型运放电路　　b) 含有所有噪声源的电路　　c) 所有噪声源合并为一个噪声电压 e_{ni} 的噪声模型

图 7.104

反馈系数为$\beta=R_1/(R_1+R_2)$，故$A_{n0}=1/\beta$，$f_B=\beta f_t$，或者：

$$A_{n0}=1+\frac{R_2}{R_1},\quad f_B=\frac{f_t}{1+R_2/R_1} \tag{7.140}$$

为了求出e_3、e_n、i_{np}对e_{ni}的影响，注意到R_3和i_{np}产生噪声电压$R_3 i_{np}$，将其所有功率密度相加，并用式(7.128)，有：

$$e_3^2+e_n^2+R_3^2 i_{np}^2=4kTR_3+e_n^2+R_3^2 i_{np}^2$$

为了求出i_1、i_2、i_{nn}对e_{ni}的影响，将e_3、e_n、i_{np}设为零。这相当于令电路反向端接虚拟地，使i_1、i_2、i_{nn}流过R_2，因此输出端功率密度变为$R_2^2(i_1^2+i_2^2+i_{nn}^2)$。为了求出对$e_{ni}$的影响，将输出端噪声功率密度除以$A_{n0}^2$，故$i_1$、$i_2$、$i_{nn}$的影响表示为：

$$\frac{R_2^2(i_1^2+i_2^2+i_{nn}^2)}{A_{n0}^2}=\frac{R_2^2(i_1^2+i_2^2+i_{nn}^2)}{(1+R_2/R_1)^2}=(R_1 /\!/ R_2)^2(i_1^2+i_2^2+i_{nn}^2)$$
$$=4kT(R_1 /\!/ R_2)+(R_1 /\!/ R_2)^2 i_{nn}^2$$

将所有噪声功率密度合并，得到总输入噪声功率密度为：

$$e_{ni}^2=4kT[R_3+(R_1 /\!/ R_2)]+e_n^2+R_3^2 i_{np}^2+(R_1R_2)^2 i_{nn}^2 \tag{7.141}$$

因此，将上式代入式(7.134)，有：

$$E_{no}=\sqrt{E_r^2+E_n^2+E_{np}^2+E_{nn}^2} \tag{7.142}$$

式中：E_r、E_n、E_{np}、E_{nn}分别代表由电路电阻。e_n、i_{np}、i_{nn}引入的噪声。若$NEB_{white}=1.57f_B$，$NEB_{flicker}\approx f_B$，应用式(7.126)，忽略f_L的影响，有：

$$E_r\approx A_{n0}\sqrt{4kT[R_3+(R_1 /\!/ R_2)]\times 1.57f_B} \tag{7.143a}$$

$$E_n\approx A_{n0}e_{nw}\sqrt{f_{ce}\ln\frac{f_B}{f_L}+1.57f_B} \tag{7.143b}$$

$$E_{np}\approx A_{n0}R_3 i_{npw}\sqrt{f_{cip}\ln\frac{f_B}{f_L}+1.57f_B} \tag{7.143c}$$

$$E_{nn}\approx A_{n0}(R_1 /\!/ R_2)i_{nnw}\sqrt{f_{cin}\ln\frac{f_B}{f_L}+1.57f_B} \tag{7.143d}$$

上述由电压放大器所导出的公式同样适用于其他类型的放大器，例如，电流放大器、跨阻放大器、跨导放大器(见本章末习题)。

例 7.42 (a) 若图 7.104 所示放大器使用 μA741 运放，且$R_1=20\text{k}\Omega$，$R_2=180\text{k}\Omega$，$R_3=18\text{k}\Omega$，求出 0.1Hz 以上的均方根输出噪声。比较不同的噪声分量并评价。

(b) 若电路中所有电阻值下降到原来的 1/10，将会发生什么？为了最小化输出噪声，你将怎样调整电阻值？并求这个最小噪声值。

解：

(a) 有$A_{n0}=(1+180/20)\text{V/V}=10\text{V/V}$及$f_B=(10^6/10)\text{Hz}=10^5\text{Hz}$。由式(7.143)和式(7.127)的数据并代入式(7.142)，有：

$$E_r=10\times\sqrt{4\times 1.38\times 10^{-23}\times 300\times(18+18)\times 10^3\times 1.57\times 10^5}\text{V}=96.7\mu\text{V}$$

$$E_n=10\times 20\times 10^{-9}\times\sqrt{200\times\ln\frac{10^5}{0.1}+1.57\times 10^5}\text{V}=79.9\mu\text{V}$$

$$E_{np}=E_{nn}=10\times 18\times 10^3\times 0.5\times 10^{-12}\times\sqrt{2\times 10^3\times\ln\frac{10^5}{0.1}+1.57\times 10^5}\text{V}$$
$$=38.7\mu\text{V}$$

$$E_{no}=\sqrt{96.7^2+79.9^2+2\times 38.7^2}\text{V}\approx 137\mu\text{V}$$

很明显，电阻噪声占主导，其次是运放电压噪声，最后是电流噪声。

(b) 所有电阻变为原来的 1/10，A_{n0}、f_B、E_n保持不变，而E_{nn}、E_{np}变为原来的 1/10，或者 3.7μV，与E_n相比可以忽略。然而，由于是均方根，E_r变为原来的$1/\sqrt{10}$，或

$96.7/\sqrt{10}\mu V=30.6\mu V$，有 $E_{no}\approx\sqrt{30.6^2+79.9^2}\mu V\approx 85\mu V$。为了减小噪声，可继续减小阻值，直到 $E_r\ll E_n$，此时，$E_{no}\approx E_n\approx 80\mu V$，当然，电阻减小随之而来的是功耗的增加。◀

高增益放大器使用差分对作为输入级。由于其噪声直接叠加在输入端，因此其噪声性能非常重要(输入级的后一级相对来说没这么重要，因为该级映射到输入级的噪声需要除以前级增益)，因此，差分输入对的噪声特性值得探讨。

CMOS 差分输入端的噪声

如图 7.105a 所示，我们希望用一个输入噪声信号 e_n 表示 CMOS 差分输入级的噪声特性，即如图 7.105b 所示的噪声源。为了计算 e_n，首先计算输出端短路噪声电流 i_{no}，为求出输入端噪声，将其除以电路的跨导 g_m，即 $e_n=i_{no}/g_m$。运用叠加原理求每个 MOSFET 对总体噪声的影响，然后将其求和，即得 i_{no}^2。

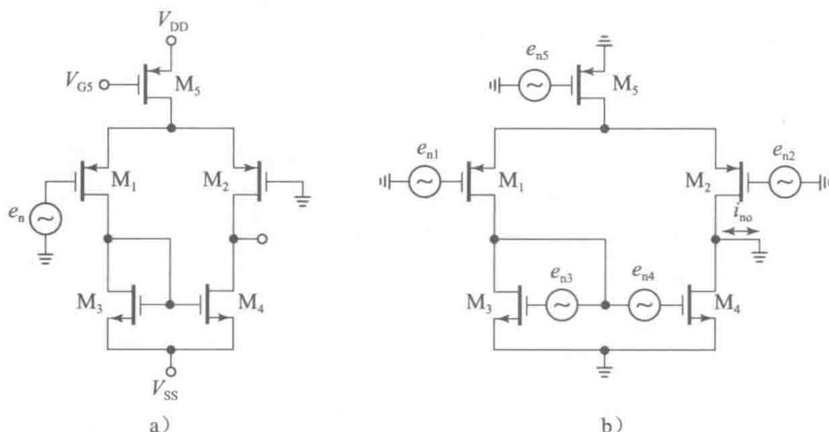


图 7.105

注意到 M_1、M_2 对 i_{no}^2 的贡献分别为 $g_{m1}^2e_{n1}^2$、$g_{m2}^2e_{n2}^2$(因为噪声的随机性，因此输入噪声信号极性的反转是无关紧要的)。为求出 M_3、M_4 对噪声的影响，令 $e_{n1}=e_{n2}=e_{n5}=0$。上述条件令 M_3 的栅极交流接地，故其对噪声没有直接贡献。而是通过 M_4 间接起作用，因为 e_{n3} 与 e_{n4} 串联，且其是相对于交流地而言的，M_4 贡献的噪声功率密度为 $g_{m4}^2(e_{n3}^2+e_{n4}^2)$。最后，注意到 e_{n5} 为共模信号，在设计良好的差分输入对中，其噪声可以忽略不计，故我们有：

$$i_{no}^2=g_{m1}^2e_{n1}^2+g_{m2}^2e_{n2}^2+g_{m4}^2(e_{n3}^2+e_{n4}^2)=g_{mp}^2(e_{np}^2+e_{np}^2)+g_{mn}^2(e_{nn}^2+e_{nn}^2)$$
$$=2(g_{mp}^2e_{np}^2+g_{mn}^2e_{nn}^2)$$

式中：下标 p、n 表示 p 沟道和 n 沟道。将 $i_{n0}{}^2$ 除以 $g_{mp}{}^2$，有：

$$e_n^2=2\left(e_{np}^2+\frac{g_{mn}^2}{g_{mp}^2}e_{nn}^2\right)$$

结合式(7.133b)得到更为详尽的表达式：

$$e_n^2=2\left[\frac{K_p}{W_pL_pC_{ox}f}+4kT\,\frac{2}{3}\,\frac{1}{g_{mp}}+\frac{g_{mn}^2}{g_{mp}^2}\left(\frac{K_n}{W_nL_nC_{ox}f}+4kT\,\frac{2}{3}\,\frac{1}{g_{mn}}\right)\right]$$

式中：K_p、K_n 为 pMOSFET 和 nMOSFET 的闪烁噪声系数。对相应参数重组，并使用 $g_{mn}^2/g_{mp}^2=(2K_pI_{Dp})/(2K_pI_{Dp})=K_n/K_p=(\mu_nW_n/L_n)/(\mu_pW_p/L_p)$，将上述表达式表述为一种更直观的形式：

$$e_n^2=e_{n(\text{thermal})}^2+e_{n(\text{flicker})}^2 \tag{7.144}$$

式中：

$$e_{n(\text{thermal})}^2=\frac{16}{3}kT\,\frac{1}{g_{mp}}\left(1+\frac{g_{mn}}{g_{mp}}\right) \tag{7.145}$$

为 e_n^2 中的热噪声分量；

$$e_{n(flicker)}^2 = \frac{2K_p}{W_pL_pC_{ox}f}\left(1 + \frac{K_n}{K_p}\frac{\mu_n}{\mu_p}\frac{L_p^2}{L_n^2}\right) \tag{7.146}$$

为 e_n^2 中的闪烁噪声。我们有如下观点。

- 式(7.145)中的 $(16/3)kT/g_{mp}$ 表示差分输入对的热噪声。
- 电路中的有源负载将噪声放大了 g_{mn}/g_{mp} 倍。比如，$g_{mn}/g_{mp}=1$，则有源增益将使差分输入对的噪声提升1倍。
- 若 $g_{mn} \gg g_{mp}$，则负载效应将降到最低，$e_{n(thermal)}^2$ 接近于差分对的热噪声。
- 如若需要，可以将 g_{mp} 设计得较大，以降低差分对噪声的影响。
- 式(7.146)中的 $2K_p/(W_pL_pC_{ox}f)$ 项为差分输入对的闪烁噪声。
- 电路中的有源负载将噪声放大了 $(K_n\mu_nL_p^2)/(K_p\mu_pL_n^2)$ 倍(有趣的是，增强作用仅与沟道长度相关，与宽度无关)。
- 若 $K_p\mu_pL_n^2 \gg K_n\mu_nL_p^2$，则负载效应将降到最低，$e_{n(flicker)}^2$ 接近于差分对的闪烁噪声。
- 如若需要，可以将 W_pL_p 的面积设计得较大，以降低差分对噪声的影响。

双极型差分输入对的噪声特性

我们希望找出图7.106a所示双极型差分输入对噪声特性的模型表达式。为求出短路噪声 e_n，参考图7.106b所示电路，消除了噪声电流对电路的影响，只保留了噪声电压。假设 $r_o \gg R_c$，则电压噪声增益为 g_mR_c，故有：

$$e_{no}^2 = g_{m1}^2R_C^2e_{n1}^2 + g_{m2}^2R_C^2e_{n2}^2 + e_{r1}^2 + e_{r2}^2 = 2[g_m^2R_C^2e_{n1}^2 + 4kTR_C]$$

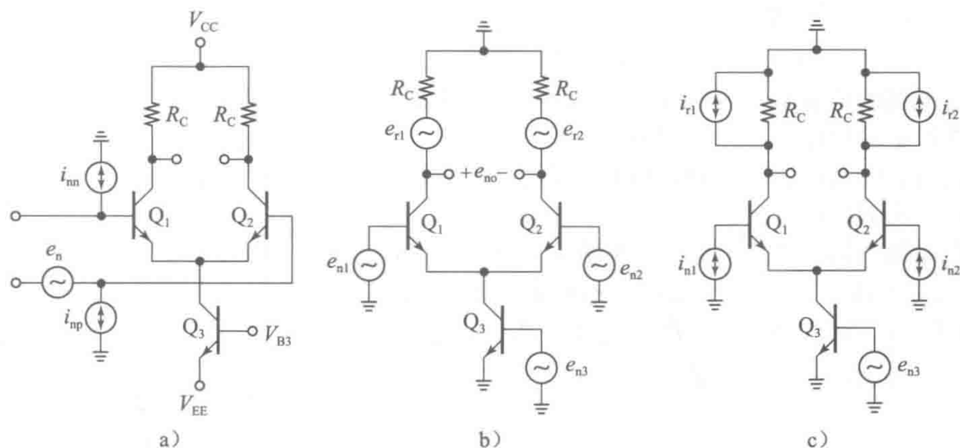


图7.106 a)带电阻负载的双极型差分输入对的噪声模型(假设电阻和晶体管是没有噪声的)。噪声等效电路以求出 a) e_{nD}；b) i_{np} 和 i_{nn}

因为电路有较高的共模抑制比，噪声源 e_{n3} 可忽略不计。将 e_{n0}^2 映射到输入端，有：

$$e_n^2 = \frac{e_{no}^2}{g_m^2R_C^2} = 2\times\left[e_{n1}^2 + \frac{4kT}{g_m^2R_C}\right]$$

将式(7.132a)代入上式，有：

$$e_n^2 = 2\times\left[4kT\left(r_b + \frac{1}{2g_m} + \frac{1}{(g_mR_C)g_m}\right)\right]$$

但是对于一个精心设计的放大器，有 $g_mR_C \gg 2$，故上述表达式简化为：

$$e_n^2 \approx 2\times 4kT\left(r_b + \frac{1}{2g_m}\right) = 2e_{nb}^2 \tag{7.147}$$

很明显阻性负载对噪声的影响微乎其微，尽管对于有源负载不一定是这种情况(见习题7.85)。

为求出开路噪声电流 i_{nn}、i_{np}，参考图7.106c所示电路，输入端悬空以消除噪声电压

的影响，只考虑电流的影响。通过将i_{r1}映射到 Q_1的基极，然后与 i_{n1}结合得到 i_{nn}，由于电流噪声增益为$|\beta_0(jf)|$，故有：

$$i_{nn}^2 = i_{n1}^2 + \frac{i_{r1}^2}{|\beta_0(jf)|^2} = i_{n1}^2 + \frac{4kT/R_C}{|\beta_0(jf)|^2}$$

将(7.132b)代入上式，有：

$$i_{nn}^2 = 2q\left(I_B + \frac{KI_B^a}{f} + \frac{I_C}{|\beta_0(jf)|^2}\right) + \frac{4kT/R_C}{|\beta_0(jf)|^2} = 2q\left(I_B + \frac{KI_B^a}{f} + \frac{I_C + 2V_T/R_C}{|\beta_0(jf)|^2}\right) \approx i_{nb}^2 \tag{7.148}$$

上述近似基于一个精心设计的差分电路中 $R_C I_C \gg 2V_T$。可以看出，阻性负载在含有电流噪声的电路中所起的作用也是微乎其微的。对于 i_{np}，也有类似上述的规律，总结归纳，有：

$$i_{np}^2 = i_{nn}^2 \approx 2q\left(I_B + \frac{KI_B^a}{f} + \frac{I_C}{|\beta_0(jf)|^2}\right) \tag{7.149}$$

这里便完成了双极型输入对的噪声分析。

噪声的 PSpice 仿真

SPICE 是分析电路噪声特性的理想工具。作为例子，让我们使用 PSpice 来验证例 7.41 中pn 结的噪声特性。SPICE 所得出的二极管噪声为：

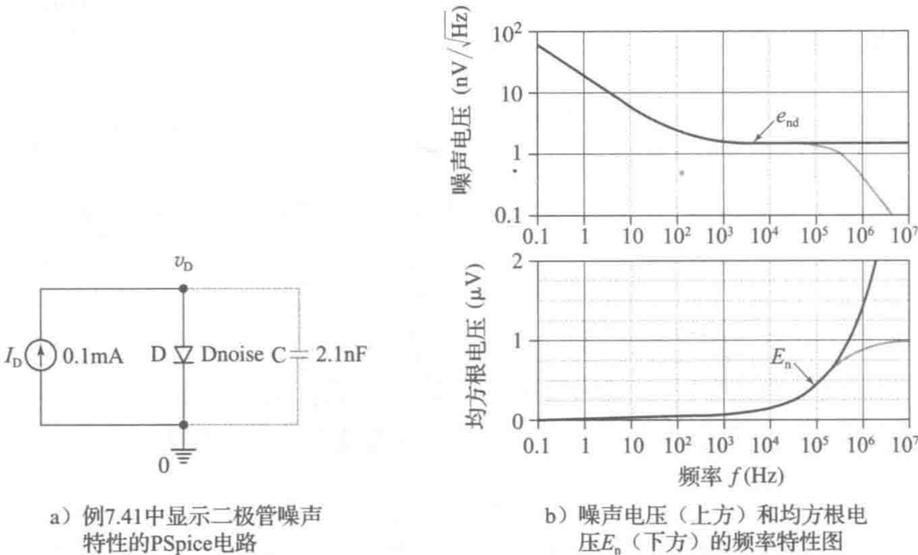
$$i_{nd}^2(f) = \mathrm{KF}\,\frac{I_D^{\mathrm{AF}}}{f} + 2qI_D \tag{7.150}$$

式中：KF 是闪烁噪声系数；AF 是指数。在器件中，必须指定这些参数。例如，对于称为 Dnoise 的自定义二极管，有：

```
.model Dnoise D(Is=2fA n=1 KF=5E-17 AF=1)
```

为了得到噪声曲线，必须在开启噪声分析功能时，运行 SPICE 进行交流分析。噪声分析需要指定输出电压以及信号源。比如说，对于图 7.107a 所示电路，信号源为 V(vD)、ID。当运行 PSpice 之后，曲线 V(ONOISE)用来表示 e_{nd}，曲线 SQRT(S(V(ONOISE) * V(ONOISE)))用来表示 E_n。

仿真结果如图 7.107b 所示，表明 E_n的值与 f_H的选择密切相关。对于 f_H =1MHz，有 $E_{n(rms)}$ =1.466μV，与手算结果吻合地很好。在二极管两端并联一个 2.1nF 的电容将滤除高频率的噪声，导致 $E_{n(rms)}$ 逐渐变为 1.0μV。



a）例7.41中显示二极管噪声特性的PSpice电路

b）噪声电压（上方）和均方根电压E_n（下方）的频率特性图

图 7.107

参考文献

1. P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 5/E, John Wiley and Sons, 2009.
2. A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 6/E, Oxford University Press, 2010.
3. R. C. Jaeger and T. N. Blalock, *Microelectronic Circuit Design*, 2/E, McGraw-Hill, 2004.
4. P. J. Hurst, "A Comparison of Two Approaches to Feedback Circuit Analysis," IEEE Trans. on Education, Vol. 35, No. 3, August 1992, pp. 253–261.
5. R. B. Blackman, "Effect of Feedback on Impedance," *Bell Sys. Tech. J.*, Vol. 23, pp. 269–277, October 1943.
6. R. D. Middlebrook, "Measurement of Loop Gain in Feedback Systems," *Int. J. Electronics*, Vol. 38, no. 4, pp. 485–512, 1975.
7. S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits*, 4/E, McGraw-Hill, 2014.
8. Y. P. Tsividis and P. R. Gray, "An Integrated NMOS Operational Amplifier with Internal Frequency Compensation," *IEEE J. Solid-State Circuits*, Vol. SC-11, pp. 748–753, December 1976.
9. B. K. Ahuja, "An Improved Frequency Compensation Technique for CMOS Operational Amplifiers," *IEEE J. Solid-State Circuits*, Vol. SC-18, pp. 629–633, December 1983.
10. D. B. Ribner and M.A. Copeland, "Design Techniques for Cascoded CMOS Op Amps with Improved PSRR and Common-Mode Input Range," *IEEE J. Solid-State Circuits*, pp. 919–925, December 1984.
11. D. Senderowicz, D. A. Hodges and P. R. Gray, "A High-Performance NMOS Operational Amplifier," *IEEE J. Solid-State Circuits*, Vol. SC-13, pp. 760–768, December 1978.
12. H. Camenzind, *Designing Analog Chips*, www.designinganalogchips.com, 2005.

习题

7.1 节

7.1 (a) 若图 7.1 所示电路，当 $v_i=1\text{V}$ 时有 $v_o=10\text{V}$，当需要 $v_\varepsilon=25\text{mV}$ 时，a、b、L 为多少？

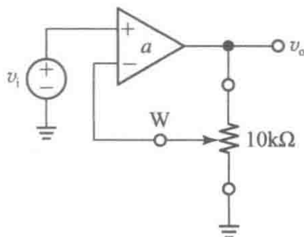
(b) 若(a)问中的结果变为原来的一半，当 $v_i=1\text{V}$ 时，此时的 v_o、v_ε 是多少？

(c) 你怎样调整 b 的值来弥补 a 下降所带来的影响，并维持 $v_i=1\text{V}$ 和 $v_o=10\text{V}$？v_ε 会变吗？

7.2 (a) 假设由于环境变化和老化，一个放大器的开环增益变为原来的 10%。若 $A=100\text{V/V}$，求出 a、b，且当 a 变为原来的 10%时，A 仅仅下降 1%；

(b) 若 a 变为原来的 2 倍，则 A 是多少？A 变化的百分比是多少？

7.3 题 7.3 图所示通过滑动电位器的划片 W，让 b 的值在 0 到 1 之间变化。比如，将 W 向上滑 1/4，则 $R_{\text{below}}=2.5\text{k}\Omega$，$R_{\text{above}}=7.5\text{k}\Omega$，有$b=2.5/(2.5+7.5)=0.25$。



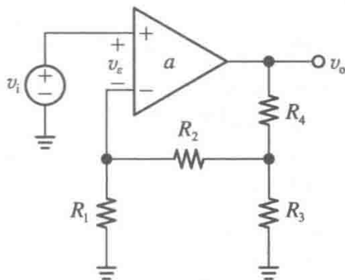
题 7.3 图

(a) 令 $v_i=1\text{V}$，此时 $v_o=1\text{V}$ 且 W 位于最低端，则 W 最顶端时的 v_o 是多少？中间呢？

(b) 若 v_i 维持不变，当 W 位于最顶端时，$v_o=-6\text{V}$，当 W 位于中间时，$v_o=-11\text{V}$，求 a 和 v_i。

(c) 推导出 b 与 $1/A$、$1/a$ 的表达式，在 $a=\infty$ 和 $a=100\text{V/V}$ 两种情况下，若需要 $v_o/v_i=10\text{V/V}$，求出 W 的位置。

7.4 (a) 若题 7.4 图所示电路有 $a=150\text{V/V}$，$R_1=10\text{k}\Omega$，$R_2=20\text{k}\Omega$，$R_3=30\text{k}\Omega$，$R_4=35\text{k}\Omega$，若 $v_i=0.2\text{V}$，求 v_o 和 v_ε。



题 7.4 图

(b) 改变 R_4 的值，使得闭环增益等于 A_{ideal}，若 $v_i=0.2\text{V}$，则新的 v_ε 是多少？

(c) 若 a 变为原先的 60%，估计 v_o 和 v_ε 的值。

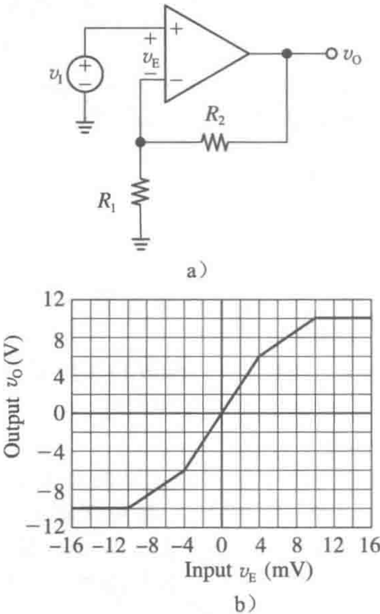
7.5 (a) 一个工程师打算设计增益为 10^3 V/V 且 a 的精度为±0.25%的放大器，或 $A=10^3$ V/V±0.25%，且放大器每一级的增益

为 10^4 V/V±25%。经验证，一级不能满足要求。因此考虑使用多级级联的结构，每一级使用反馈级来稳定增益，且 $A=A_1\times A_2\times A_3\times\cdots$。则最少需要多少级？整体增益的净公差为多少？

(b) 重复上述过程，但是要求 $A=10^3$ V/V ±0.1%。

7.2 节

7.6 (a) 若题 7.6b 图所示的是题 7.6a 图所示的开环电压转移曲线图，当 $R_1=R_2=10\text{k}\Omega$，且 $v_I(t)$ 是一个峰值为±2V、频率为 500Hz 的三角波，画出 $v_I(t)$、$v_O(t)$、$v_E(t)$ 的图形。



题 7.6 图

提示：一旦画出 $v_O(t)$，则使用电压转移曲线一点一点地画出 $v_E(t)$。

(b) 重复上述过程，若 v_I 的峰值变为±4V。

(c) 重复上述过程，若 v_I 的峰值变为±8V。

提示：若令 v_O 的值在+10V 以上或在−10V 以下，将使放大器饱和，v_O 将变为+10V或−10V，得到失真的输出波形。

7.7 (a) 假设有一个新颖的电压缓冲器，其 $R_i\approx\infty$，$R_o\approx 0$，且输入输出电压 v_I、v_O 之间有如下关系：$v_O=v_I-\left(\frac{v_I}{10\text{V}}\right)^3$，画出 $v_I(t)$、$v_o(t)$ 的之间的曲线，假设 $v_I(t)$ 是一个峰值为±10V 的三角波电压源。

(b) 为消除立方项所引入的非线性，在噪声源和缓冲器之间插入一个运算放大器，与图 7.9 所示类似。假设对于该放大器有 $a=\infty$，画出 $v_I(t)$、$v_O(t)$ 以及放大器输出 $v_{OA}(t)$ 曲线图。

(c) 当 $v_I(t)$ 逐渐衰减，求出 a 的值以使输出误差下降到 1mV 以下，并画出 $v_E(t)$ 的图。

7.8 假设一个音频功率放大器有：

$$v_O=0.9v_I+(250\text{mV})\cos(2\pi 120t)$$

其中右边第二项为放大器的自身电源引入的 120Hz 的噪声。与其使用一个更干净却更贵的电源，工程师打算采用负反馈结构来改善这种情况。

(a) 采用合适的运放，设计一个反馈电路，对于输入 $v_I(t)$，有输出 $v_O(t)=1.0v_I(t)+(50\mu\text{V})\cos(2\pi 120t)$。画出你的电路，运放在 120Hz 时的增益 a 是多少？增益带宽积呢？

(b) 重复(a)问，但是 $v_O(t)=10v_I(t)+(50\mu\text{V})\cos(2\pi 120t)$。

7.9 工程师打算设计一个 60dB 音频放大器(即 $A_0=1\,000$V/V，$f_B\geqslant 20$kHz)，使用一个 $f_t=1$MHz 的运算放大器。他意识到一个放大器达不到要求，因为 $f_B=f_t/A_0=(10^6/10^3)$Hz=1kHz<20kHz，故设计师尝试使用增益相较而言低的 A_{10}，A_{20}，但带宽更宽的 f_{B1}，f_{B2} 的两级级联放大器，

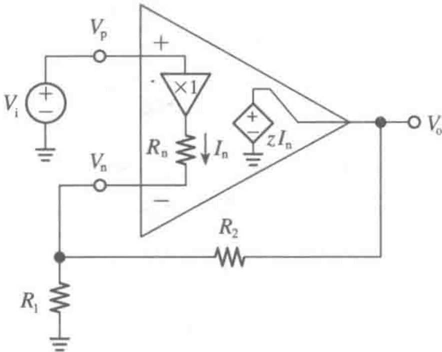
(a) 若 $A_{10}=A_{20}=\sqrt{1\,000}$V/V，则带宽 f_{B1}，f_{B2} 是多少？

(b) 整体结构的−3dB 频率为多少？

提示：根据定义，$f_{-3\text{dB}}$ 可表示为 $|A(jf_{-3\text{dB}})|=A_0/\sqrt{2}$，其中，$A(jf)=A_1(jf)\times A_2(jf)$。

(c) 若工程师使用的两个放大器的增益是不一致的，但是仍有 $A_{10}\times A_{20}=1\,000$ V/V，比如 $A_{10}=20$V/V，$A_{20}=50$V/V？$f_{-3\text{dB}}$ 还会满足要求吗？解释一下。

7.10 式(7.27)中颜色滤波阵列的闭环带宽的计算是基于输入级之前有一个理想的电压缓冲器这个假设的，然而，如题 7.10 图所示，实际的缓冲器有一定的输出电阻 R_n，



题 7.10 图

(a) 采用习题5.38中的结果，令 $R_2 \to R_2 + R_n(1 + R_2/R_1)$，证明式(7.27)仍然成立。

(b) 例7.7电路的实际闭环带宽是多少？

(c) 你怎样改变 R_1、R_2 的值使得带宽(60MHz)、增益(10V/V)维持不变？

7.3节

7.11 (a) 假设对于图7.12a所示的串-并结构，$v_i = 10\text{mV}$，使得 $v_f = 9.5\text{mV}$，$v_o = 5\text{V}$，求出 a、b、L、A 的值和单位(两种方法计算 A)。

(b) 若上问中 a 变为原来的50%，则对 v_f、v_o有什么影响？交叉验证你的结论。

(c) 重复(a)问过程，但是采用图7.17a所示的串-串结构，假设累加端情况一样，且在采样端，$i_o = 5.0\text{mA}$。

(d) 若上文中 a 变为原来的2倍，则对 v_f、v_o有什么影响？交叉验证你的结论。

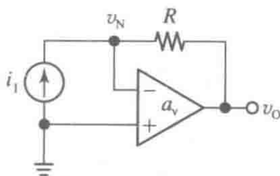
7.12 (a) 若图7.14a所示的并-串结构中有 $i_i = 10\mu\text{A}$，$i_f = 9.5\mu\text{A}$，$i_o = 5\text{mA}$，求出 a、b、L、A 的值和单位(两种方法计算 A)。

(b) 若上文中 a 变为原来的2倍，则对 i_f、i_o有什么影响？交叉验证你的结论。

(c) 重复(a)问过程，但是采用图7.16a所示的并-并结构，假设累加端情况一样且在采样端，$v_o = 5.0\text{V}$。

(d) 若由于放大器内部具有非线性性，导致当 $i_i > 0$ 时，放大器增益为 $1.5a$，当 $i_i < 0$时，放大器增益为 $0.75a$。若 i_i是峰值为 $\pm 10\mu\text{A}$ 的正弦波，则 i_f、v_o的峰值是多少？

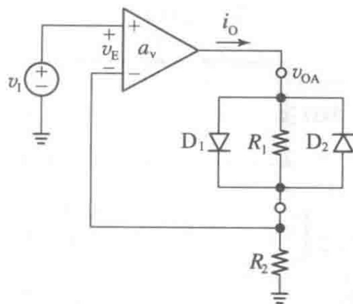
7.13 假设题7.13图所示的并-并结构有着和题7.6b图所示一样的开环电压转移曲线。若$R = 10\text{k}\Omega$，$i_I(t)$是一个峰值$\pm 0.8\text{mA}$ 的三角波，画出 $i_I(t)$、$v_O(t)$、$v_N(t)$之间的关系图。



题7.13图

提示：首先画出 $i_I(t)$、$v_O(t)$，有 $L = a_v$，然后利用VTC画出 $v_N(t)$的图。

7.14 题7.14图所示的为一个带有非线性负载的串-串结构的运放，其负载用两个二极管和一个电阻 R_1 表示，其中 $R_1 = 1\text{k}\Omega$，$V_{D1(on)} = V_{D2(on)} = 0.75\text{V}$。



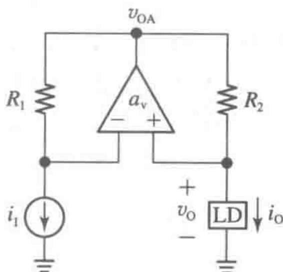
题7.14图

(a) 假设 $a_v \to \infty$，若 $R_2 = 2\text{k}\Omega$，$v_I(t)$是一个峰值$\pm 3\text{V}$ 的三角波，画出 $v_I(t)$、$i_O(t)$、$v_{OA}(t)$。对 $v_{OA}(t)$的波形进行评价。

提示：首先考虑 D_1、D_2都未导通的情况，然后 D_1单独导通的情况，最后 D_2单独导通的情况。

(b) 若放大器不是理想放大器，而是有$a_v = 1\,000\text{V/V}$，则对 $i_O(t)$、$v_{OA}(t)$的波形有何影响？$v_E(t)$的波形是怎样的？

7.15 题7.15图所示的电路成为电流镜，因为当 $R_1 = R_2$且 $a_v \to \infty$时，$i_o = i_I$。



题7.15图

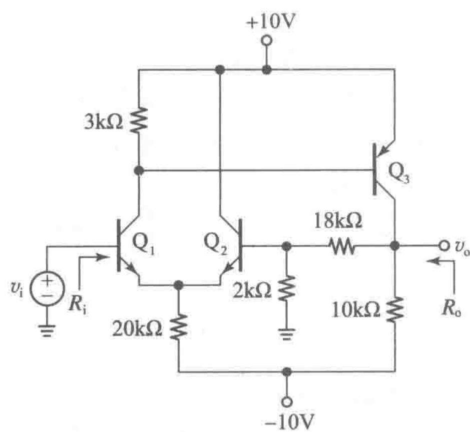
(a) 使用KCL、KVL，以及由运放关系式得到的 $v_{OA} = a_v v_E$，A 为闭环增益，R_o为电路的输出电阻，若 A、R_o 为 a_v、R_1、R_2的函数，求证：$i_O = Ai_I - v_O/R_o$。

(b) 若 $R_1 = 2R_2 = 20\text{k}\Omega$，$a_v = \infty$，求 A、R_o，若 $a_v = 10^3\text{ V/V}$，重复上述计算，并评价。

7.4节

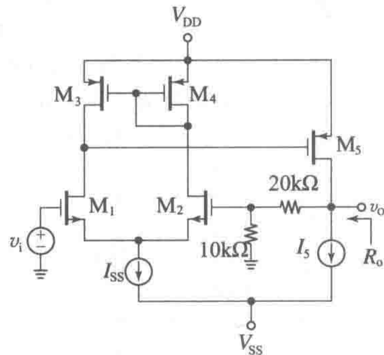
7.16 假设题7.4图所示反馈电路中的运算放大器的 $r_i = 100\text{k}\Omega$，$r_o = 100\Omega$，$a_v = 10^4\text{ V/V}$，采用串-并流程估算 R_i、R_o及空载增益 $A_{oc} = v_o/v_i$。已知 $R_1 = 10\text{k}\Omega$，$R_2 = R_3 = 30\text{k}\Omega$，$R_4 = 120\text{k}\Omega$。

7.17 假设题7.17图所示反馈放大器的输出点电压接近于0V，已知 $V_{BEn(on)} = V_{EBp(on)} = 0.7\text{V}$，$\beta_{0n} = 200$，$\beta_{0p} = 100$，$V_{An} = V_{Ap} = \infty$，估计 R_i，R_o 及 $A_{oc} = v_o/v_i$。



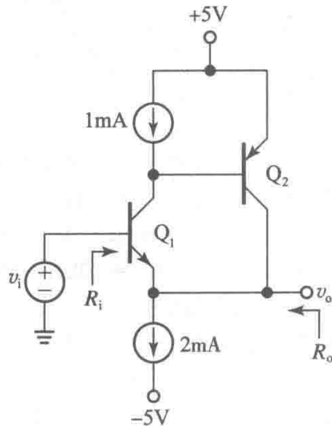
题 7.17 图

7.18　假设题 7.18 图所示反馈放大器的输出点电压接近于 0V，已知 $g_{m1}=g_{m2}=g_{m5}/2=0.5\text{mA/V}$，$r_{o1}=r_{o3}=4r_{o5}=120\text{k}\Omega$，求 R_i，R_o 及空载增益 $A_{oc}=v_o/v_i$。



题 7.18 图

7.19　射极跟随器采用串-并联反馈结构以获得较高的输入电阻和较低的输出电阻。通过采用负反馈结构，这些指标还能继续提高，如题 7.19 图所示。这个电路又称为超级射极跟随器，Q_1 为射极跟随器，Q_2 为其提供反馈。

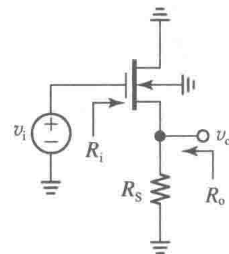


题 7.19 图

(a) 假设有 $\beta_{01}=\beta_{01}=\beta_0$，$r_{o1}=r_{o2}=r_o$，$r_{\mu1}=r_{\mu2}=\infty$，采用串-并流程估算 R_i，R_o，并验证 Q_2 的存在使 R_i 提升、R_o 下降到$\dfrac{1}{\beta_0\times r_0(r_0+r_\pi)}$。

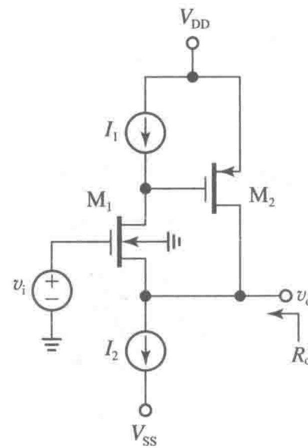
(b) 假设 $\beta_0=100$，$V_A=50\text{V}$，求 R_i，R_o 的数值，若只有 Q_1，且工作电流为 1mA，再次计算 R_i，R_o 的数值并评价你的发现。

7.20　如题 7.20 图所示的为源极跟随器，与图 7.28a所示的射极跟随器形成对比。采用串并流程求出 R_i、R_o及空载增益 A 的表达式，并与已知的结果相比较。若 $R_S=20\text{k}\Omega$，$g_m=1.25\text{mA/V}$，$\chi=0.1$，$r_o=50\text{k}\Omega$，计算上述参数数值。



题 7.20 图

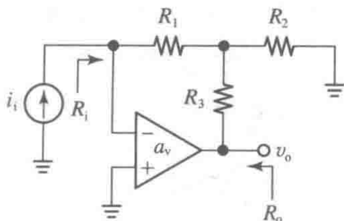
7.21　源极跟随器采用串-并联反馈结构来得到低输出电阻 R_o。若采用题 7.21 图所示的负反馈结构，则该电阻还能够继续减小。在该电路中，M_1 作为源极跟随器，M_2 为其提供反馈结构，运用串-并流程，估算 R_o 的值，并验证 M_2 将输出电阻 $1/g_{m1}$ 降低到$\dfrac{1}{g_{m2}r_{o1}}$。此外，若对于所有的场效应管有 $g_m=1\text{mA/V}$，$r_o=25\text{k}\Omega$，计算 R_o，怎样衡量 g_{mb1} 对其的影响，试着解释你的发现。



题 7.21 图

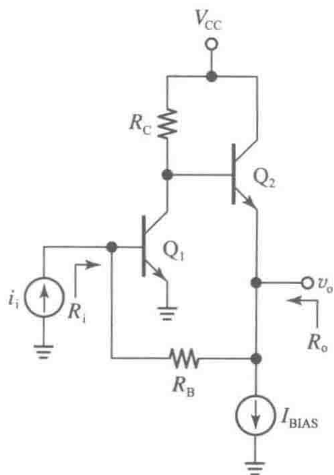
7.22　对于题 7.22 图所示的放大器电路有开环参数$r_i=2\text{M}\Omega$，$r_o=100\Omega$，$a_v=10^5\text{ V/V}$，若

$R_1=1\text{M}\Omega$，$R_2=2\text{k}\Omega$，$R_3=18\text{k}\Omega$，用并-并流程估计 R_i、R_o和空载增益 $A_{oc}=v_o/i_i$。



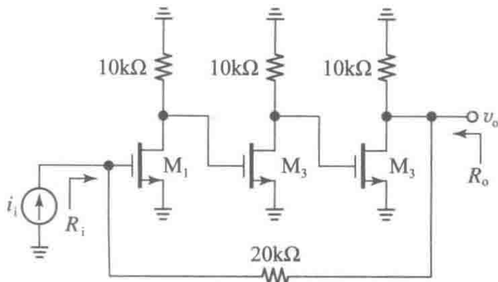
题 7.22 图

7.23 图 7.34a 所示的反馈偏置结构的闭环特性可通过在输出端接入一个射极跟随器降低反馈网络的输出负载来提高。在题 7.23 图所示电路中，Q_1 是放大级，Q_2 是缓冲器。为了定量了解，采用例 7.15(b)问的器件值($R_B=5\text{k}\Omega$，$R_C=10\text{k}\Omega$)。此外，假设对于所有 BJT，有 $g_m=1/(25\Omega)$，$r_\pi=5\text{k}\Omega$，$r_o=100\text{k}\Omega$。估算 R_i、R_o 以及空载增益 $A_{oc}=v_o/i_i$，与例 7.15(b)问相比较并评价。



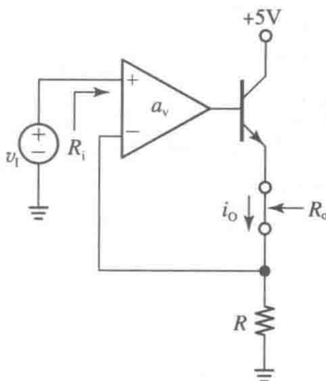
题 7.23 图

7.24 对于题 7.24 图所示的并-并电路，若有 $g_m=1.5\text{mA/V}$，$r_o=30\text{k}\Omega$，估算 R_i、R_o，以及空载增益 $A_{oc}=v_o/i_i$。



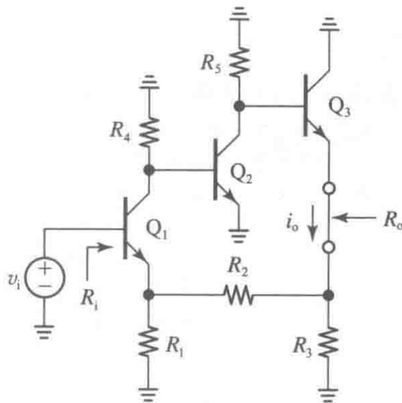
题 7.24 图

7.25 题 7.25 图所示的放大器是 V/I 转换器，且当 $v_I\geqslant0$ 时，$i_O=v_I/R$。放大器的开环参数有 $r_i=100\text{k}\Omega$，$r_o=30\text{k}\Omega$，$a_v=10^4\text{V/V}$，为了使 r_o尽可能大，接一个 BJT 进行升压。若 $R=1\text{k}\Omega$，$\beta_0=200$，$V_A=50\text{V}$，当 $v_I=1\text{V}$ 时，估算 R_i、R_o，以及空载增益 $A_{sc}=i_O/v_I$。



题 7.25 图

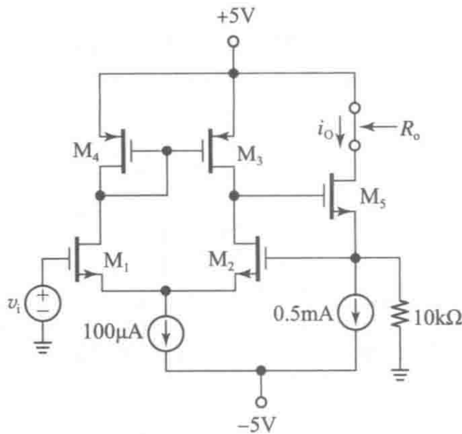
7.26 题 7.26 图所示表明图 7.23 所示的三重反馈是怎样组成串联-串联结构的。使用例 7.10 中的参数，有 $R_1=1\text{k}\Omega$，$R_2=3\text{k}\Omega$，$R_3=R_4=R_5=10\text{k}\Omega$，$g_m=1/(25\Omega)$，$r_o=\infty$，估算 R_i、R_o，以及空载增益 A_{sc}，该结果与例 7.10 相比如何？说说你的发现。



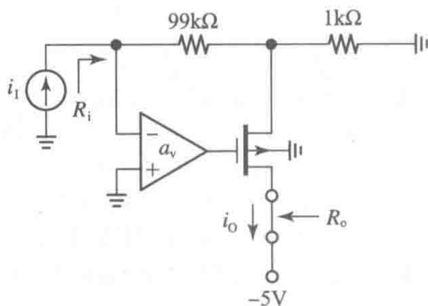
题 7.26 图

7.27 题 7.27 图所示电路，使用串-串流程，估算 R_o以及空载增益 $A_{sc}=i_o/v_i$。假设 10kΩ 采样电阻两端直流电压为零，相关的晶体管参数有：$k_1=k_2=k_5/4=0.5\text{mA/V}^2$，$\lambda_2=\lambda_3=\lambda_5=0.05\text{V}^{-1}$，$\chi_5=0.1$。

7.28 题 7.28 图所示的反馈电路使用 CMOS 运放进行电流的放大，且当 $i_I\geqslant0$ 时 $i_O=100i_I$，运放开环参数为 $r_i=\infty$，$r_o=100\text{k}\Omega$，$a_v=10^4\text{V/V}$，为了使 r_o 的值变大，在电路中插入一个 pMOSFET 进行升压。假设对于场效应管有 $k=0.5\text{mA/V}^2$，$\lambda=0.05\text{V}^{-1}$，$\chi=0.1$，当 $i_I=10\mu\text{A}$ 时，采用并-串流程估算 R_i、R_o以及空载增益 $A_{sc}=i_O/i_I$。

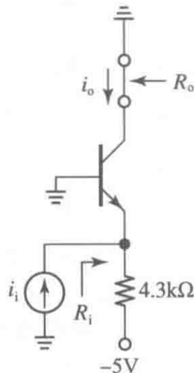


题 7.27 图



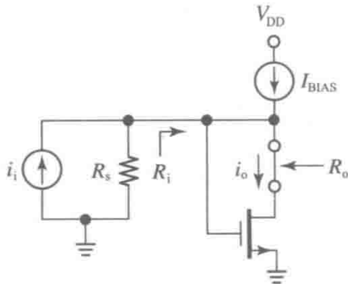
题 7.28 图

7.29 假设题 7.29 图所示的电流缓冲器，有 $V_{BE(on)}=0.7V$，$\beta_0=100$，$V_A=75V$，$r_\mu=\infty$，采用并联-串联流程估算 R_i、R_o以及空载增益 $A_{sc}=i_o/i_i$。



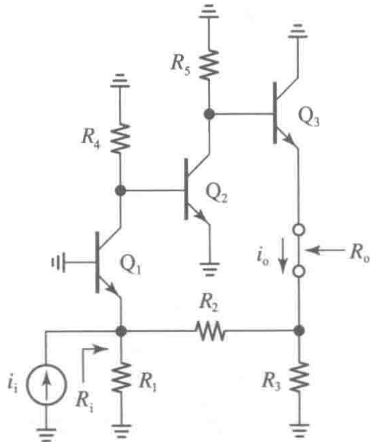
题 7.29 图

7.30 二极管连接的场效应管可以看做单位反馈增益的并联-串联电路，题 7.30 图所示负载电阻可以认为 $R_o \gg R_s$（只要电阻两端电阻足够小以使 v_{DS}不至于小于 V_{OV}）。若 $R_s=10k\Omega$，I_{BIAS}被调整至使 $I_D=1mA$，$k=1.5mA/V^2$，$\lambda=0.02V^{-1}$采用并-串流程估算 R_o以及空载增益 $A_{sc}=i_o/i_i$。



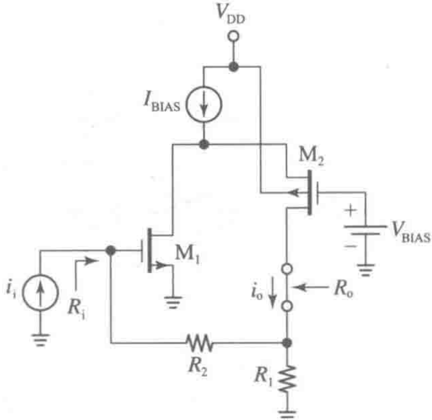
题 7.30 图

7.31 题 7.31 图讲述了图 7.23 所示的三重反馈如何形成并联-串联结构。假设 $R_3=1k\Omega$，$R_2=3k\Omega$，$R_1=R_4=R_5=10k\Omega$，对于所有 BJT，有 $g_m=1/(25k\Omega)$，$r_\pi=5k\Omega$，$r_o=\infty$，估算 R_i、R_o以及空载增益 $A_{sc}=i_o/i_i$。



题 7.31 图

7.32 题 7.32 图所示的并联-串联联电路基于 M_1 - M_2的折叠式共源共栅对。对于所有场效应管，有 $k=2mA/V^2$，$\lambda=0.05V^{-1}$，$\chi^2=0.2$，调整 I_{BIAS}和 V_{BIAS}以使 $I_{D1}=I_{D2}=1mA$，若 $R_1=3k\Omega$，$R_2=12k\Omega$，估算 R_i、R_o以及空载增益 $A_{sc}=i_o/v_i$。

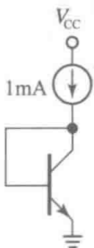


题 7.32 图

7.5 节

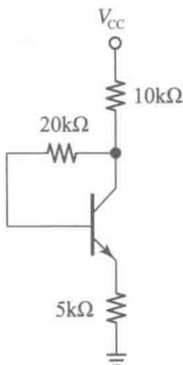
7.33 (a) 对于题 7.33 图所示二极管连接的 BJT，$\beta_0=250$，$V_A=50V$，求 T 的值。

(b) 重复上述过程，但是将 BJT 换为一个 nMOSFET，$k=1.25mA/V^2$，$\lambda=0.05V^{-1}$。



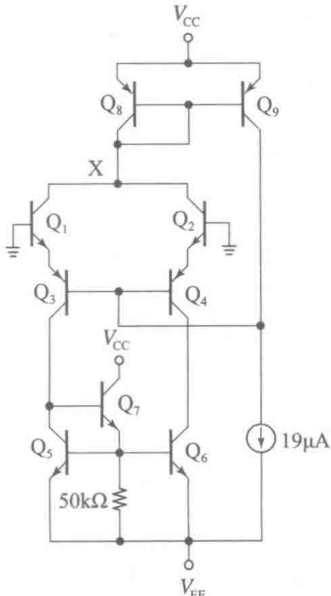
题 7.33 图

7.34 求出题 7.34 图所示电路中的 T，假设调节 V_{CC} 以使得 $I_C=0.5mA$，$\beta_0=200$，$V_A=\infty$。



题 7.34 图

7.35 题 7.35 图所示的为传统 μA741 运算放大器输入级的直流分析，运用反馈电路进行偏置，假设 $\beta_{Fp}=50$，β_{Fn} 非常大，求出 T。



题 7.35 图

提示：在 X 处断开环路，注入测试电流 i_t 到 Q_8，找出 Q_1 - Q_2 所返回的电流 i_r。

7.36 运用反馈比分析，求出题 7.20 图所示的通用源极跟随器的增益 v_o/v_i。

7.37 运用反馈比分析，求出题 7.22 图所示的放大器电路的增益 v_o/v_i。

7.38 参考题 7.23 图所示的并-并联 BJT 对，通过受控源 Q_1 的反馈比求出增益 v_o/v_i。

7.6 节

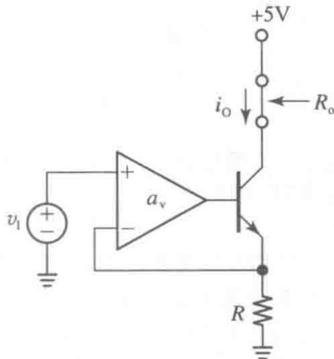
7.39 使用布莱克曼公式求出例 7.17 中双极型 V/I 转换器的 R_i、R_o。

7.40 使用布莱克曼公式求出题 7.21 图所示超级源极跟随器的 R_o，假设对于所有场效应管，有 $g_m=1mA/V$，$r_o=25k\Omega$，对于 M_1，有 $\chi=0.2$。

提示：采用受控源 Q_2 计算反馈比。

7.41 使用布莱克曼公式求出题 7.41 图所示的 V/I 转换器的 R_o，$v_I=1V$，$R=1k\Omega$。对于放大器有 $a_v=10^4 V/V$，$r_i=\infty$，$r_o=0$，对于 BJT，有 $\beta_0=100$，$V_A=50V$，$r_\mu=\infty$。

提示：选择受控源进行反馈比分析。



题 7.41 图

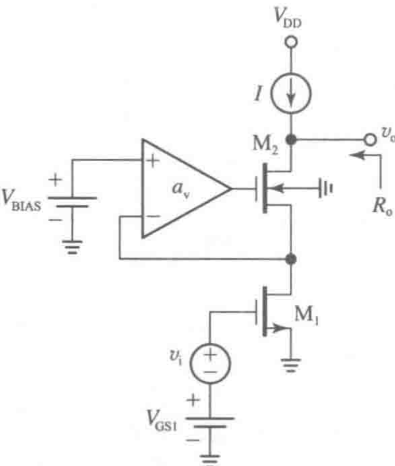
7.42 我们知道可以采用套筒式结构提高共源共栅 MOS 管的输出电阻，然而，这样会降低输出摆幅，一种明智的方法就是将题 7.42 图所示电路中上端的 MOS 管整合进一个串联输出的负反馈环路。假设对于 CMOS 放大器有 $a_v=10^3 V/V$，对于 FET，$g_m=0.5mA/V$，$r_o=20k\Omega$，$\chi=0.1$，使用布莱克曼公式求出 R_o，空载增益 $A_{oc}=v_o/v_i$ 是多少？

提示：选择受控源进行反馈比分析。

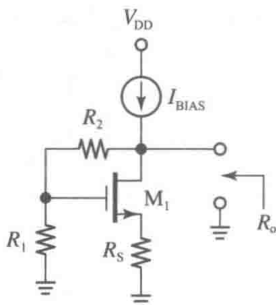
7.43 (a) 在题 7.43 图所示电路中，假设 R_1、R_2 非常大，以至于流过的电流相比于 I_{BIAS} 可以忽略，R_o 是 g_m，r_o，R_S，β 的函数，其中 $\beta=R_1/(R_1+R_2)$，使用布莱克曼公式求出 R_o。

(b) 讨论当 $R_1\to\infty$、$R_2\to\infty$ 的情况，与已知结果比较。

(c) 证明在该电路中 T_{sc}和 T_{oc}都不等于零。



题 7.42 图



题 7.43 图

7.44 使用布莱克曼公式求出图 7.45a 所示并-串联的 BJT 对的 R_i、R_o，使用例 7.20 的数据。

提示：使用受控源模型 Q_1计算反馈比。

7.45 使用布莱克曼公式求出题 7.32 图所示并-串联的 MOSFET 对的 R_i、R_o，使用习题 7.32 的数据。

提示：使用 M_1的受控源模型计算反馈比，并通过 PSpice 验证你的观点。

7.46 威尔逊电流镜的表达式 $R_o \approx (\beta_0/2) r_o$是在假设输入端电流源为理想电流源的情况下得到的，若该电流由一个电压源和一个与之串联的电阻 R_B提供，则又如何？

(a) 使用布莱克曼公式求出 R_o作为 R_B，β_0，r_o，r_π的函数的表达式。

(b) 当威尔逊电流镜的电流为 1mA、电源为 5V 时，求出 R_B。若 $\beta_0 = 200$，$V_A = 75V$，计算 R_o，使用式 $R_o \approx (\beta_0/2) r_o$所引入的误差是多少？

7.47 使用 PSpice 以及连续电压电流注入法，求出例 7.10 中三重串-并结构的反馈比 T，并与求出的环路增益 L 比较并发表你的看法。

7.48 图 7.37a 所示的单 BJT V/I 转换器可通过测试方法得出熟悉的表达式 $R_o = r_o[1 + g_m (r_\pi // R_E)]$，假设 $r_\mu \to \infty$，当 $R_E \gg r_\pi$ 时，R_o最大，即 $R_{o(max)} = R_o(1+\beta_0)$，我们希望证明在习题 7.41 中，在反馈环路中使用放大器，对于任何 R，都能得到最大的 R_o，只要 a_v足够高。

(a) 采用熟悉的测试方法，求 R_o与 r_o、g_m、r_π、R、a_v之间的关系式。

(b) a_v在何种条件下，R_o能够最大？考虑当 $r_o = 100\text{k}\Omega$，$g_m = 1/(50\Omega)$，$r_\pi = 10\text{k}\Omega$，$R = 2\text{k}\Omega$ 的情况，与图 7.37a 所示相比较，并说说你的观点。

7.7 节

7.49 两个负反馈系统在 $f = 1\text{kHz}$ 的时候进行比较。第一个系统有 $T_1(\text{j}1\text{kHz}) = 10\angle -180°$，第二个系统有 $T_2(\text{j}1\text{kHz}) = 10\angle -90°$。计算两者之间的差异函数 $D_1(\text{j}1\text{kHz})$、$D_2(\text{j}1\text{kHz})$。考虑到 $D_{ideal} = 1\angle 0°$，则两者哪一个幅值误差小？哪一个相位误差小？

7.50 (a) 对于相位裕度 $\phi_m = 30°$的系统，其在 f_x处的增益尖峰百分比是多少？

(b) 对于 $|D(\text{j}f_x)| = 2$ 和 $|D(\text{j}f_x)| = 10$，分别求出 ϕ_m；对于 $|D(\text{j}f_x)| = 3\text{dB}$ 和 $|D(\text{j}f_x)| = -3\text{dB}$ 亦然。

(c) 若图 7.33 所示的电路有 $\phi_m = 75°$，求出 β，$|D(\text{j}f_x)|$。

7.51 具有负反馈环路的电压放大器的开环增益为 $a(\text{j}f) = a_0/[(1+\text{j}f/f_1)\times(1+\text{j}f/f_2)]$，$\beta = 0.1\text{V/V}$。

(a) 若闭环直流增益为 $A_0 = 9\text{V/V}$，求出 a_0，并求出 $A(\text{j}f)$关于 f_1、f_2 的表达式。

(b) 若发现 $A(\text{j}f)$在 $f = 10\text{kHz}$ 时的相位和幅值为 $-90°$ 和 $90/11\text{V/V}$，求 f_1、f_2 的值。

(c) 求出交越频率 f_x以及相位裕度 ϕ_m。

(d) 若 $\beta = 1\text{V/V}$，求相位裕度 ϕ_m。

7.52 一个放大器位于负反馈环路中，其开环增益为 $a(s) = 100/[(1+s/10^3)\times(1+s/10^5)]$。

(a) 求出闭环增益 $A(s)$有关反馈系数 β 的表达式，求出 $A(s)$的极点一致时的 β 值，共同值是多少？

(b) 求出交越频率 f_x以及相位裕度 ϕ_m。

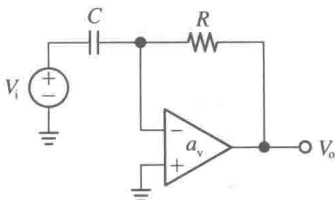
7.53 另一种表征负反馈环路稳定性的指标是增益裕度 g_m，即 $g_m = -20\lg|T(\text{j}f_{-180°})|$，其中，$f_{-180°}$为$\angle T = -180°$时的频率(在本结构中，$|T(\text{j}f)|$在 $f_{-180°}$必须小于 1)。

(a) 若一个放大器的直流增益 $a_0 = 105$，三个极点频率为 $f_1 = 1\text{kHz}$，$f_2 = 1\text{MHz}$，$f_3 = 10\text{MHz}$，求出 $\phi_m = 60°$的 β 以及相

应的 g_m。

(b) 求出 $g_m=20\text{dB}$ 时的 β 及相应的 ϕ_m。

7.54　即使我们一致关注与频率无关的反馈，由于稳定性由式 $T(jf)=a(jf)\beta(jf)$ 决定，而无论 $a(jf)$、$\beta(jf)$ 如何变化，受频率控制的例子比较普遍。一个经典的例子就是题 7.54 图所示的微分电路。不考虑 v_i，我们有 $\beta_v(jf)=V_n/V_o=1/(1+jf/f_0)$，$f_0=1/(2\pi RC)$，理想情况有 $A_{ideal}(jf)=V_o/V_i=-jf/f_0$，但由于 $T(jf)\neq\infty$，$A(jf)$ 的值将于理想值有偏差。



题 7.54 图

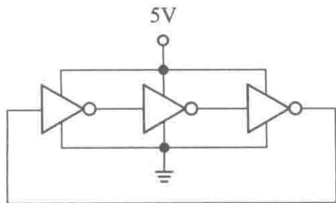
(a) 假设对于一个单极点运算放大器有 $a_v(jf)=a_{v0}/(1+jf/f_b)$，画出伯德图 $|a_v(jf)|$，$|1/\beta_v(jf)|$，其中 $a_{v0}=10^5\text{V/V}$，$f_b=10\text{Hz}$，$R=10\text{k}\Omega$，$C=15.9\text{nF}$。由此可直观地观察两个曲线交叉点 f_x 的频率。

(b) 若得到 $T(jf)=a_v(jf)\beta_v(jf)$，通过反复试错，求出更精确的 f_x、ϕ_x、ϕ_m，并验证电路接近于振荡。

(c) 计算 $D(jf_x)$ 和 $A(jf_x)$，并和 $A_{ideal}(jf_x)$ 相比较。在该频率的幅值和相位误差是多少？

7.8 节

7.55　题 7.55 图所示的负反馈环路是由三个 CMOS 反相器组成的。假设有 $g_{mn}=g_{mp}=1\text{mA/V}$，$r_{on}=r_{op}=30\text{k}\Omega$，反相器的寄生电容可用一个 $C_o=1\text{pF}$ 由输出节点到地的等效电容表示。



题 7.55 图

(a) 求出 $T(jf)$，f_x，ϕ_x，ϕ_m，验证该环路是不稳定的，此就是为什么该环路被称为环形振荡器。

(b) 若一个外接并联电容 C_{shunt}，接在任一个反相器输出端和地之间，都能使环路稳定，且 $\phi_m=45°$，求 C_{shunt}。

7.56　(a) 假设一个负反馈环路的直流增益 $T_0=10^3$，主极点频率为 1kHz，另外两个极点都在 250kHz。通过反复试验，求出交越频率 f_x，相位裕度 ϕ_m，并验证环路是不稳定的。

(b) 一种稳定环路的方法就是降低 T，以使得 f_x 将会相应地变小，从而相位滞后也变小。求出当 $\phi_m=45°$ 时的 T_0 值。

提示：由于主极点频率处 $\phi_x=-90°$，则其余两个极点必须贡献 $-45°/2=22.5°$。

(c) 另一种方法就是减小 f_1。则对于 $\phi_m=45°$ 时，f_1 为多少？

(d) 重复(b)问、(c)问，但是 $\phi_m=60°$。

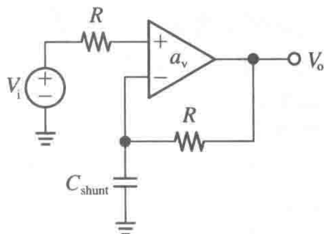
7.57　一个放大器的直流增益为 $a_0=10^5\text{V/V}$，三个极点频率为 $f_1=100\text{kHz}$，$f_2=1\text{MHz}$，$f_3=10\text{MHz}$，源自于三个等效电阻 R_1、R_2、R_3。

(a) 当 $\beta=1\text{V/V}$ 时，画出增益的伯德图，并直观求出 f_x，ϕ_x，验证环路是不稳定的。

(b) 一种稳定电路的方法是在 R_2 两端并联一个补偿电阻 R_c，以提升 f_2 降低 a_0。若 $R_c=R_2/99$，验证 a_0 有 20 倍的下降速度，f_2 有 20 倍的上升速度，f_x，ϕ_x 怎样变化？

(c) 求出当 $\phi_m=60°$ 时的 R_c/R_2 的比率。

7.58　(a) 一个学生打算使用电压比较器作为单位增益缓冲器（$\beta_v=1$）。若放大器的直流增益为 10^4 V/V，三个极点频率为 1MHz、20MHz、50MHz，求 f_x，ϕ_x，ϕ_m，并验证该电路不稳定。



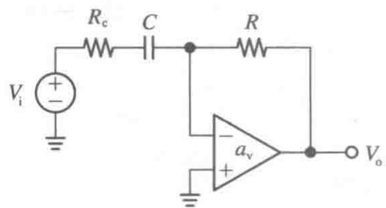
题 7.58 图

(b) 比较器不需要进行片上频率补偿，因为其工作在开环状态。然而用户可以接负反馈电路使其稳定，并产生一个额外的极点 f_D，且环路增益由该点决定。在题 7.58 图所示电路中，通过并联一个电容 C_{shunt} 来产生这个极点，有 $\beta_v(jf)=V_n/V_o=1/(1+jf/f_D)$，$f_D=1/(2\pi RC_{shunt})$。

(c) 当 $\phi_m=60°$ 时求 f_D。设 $R=30\text{k}\Omega$，求 C_{shunt}。补偿后的 $T(jf)$ 的表达式是

什么？

7.59 如题 7.59 图所示，题 7.54 图所示的微分运放可以通过串联一个电阻 R_c 来稳定，以产生左半平面传输零点 $f_z=1/(2\pi R_c C)$。众所周知，左半平面的零点可以将相位提前，故其可以用来提高 ϕ_m。



题 7.59 图

(a) 采用题 7.54 图所示的器件值，画出 $|a_v(jf)|$、$|1/\beta_v(jf)|$ 补偿之前的伯德图。求出两个曲线相交处的频率 f_x，求出 $f_z=f_x$时的 R_c，$|1/\beta_v(jf)|$ 补偿之后是什么样子？

提示：当电路中含有 R_c时，有高频处的渐进条件 $1/\beta_{v\infty}=1+R/R_c$。

(b) 当 $V_i=0$ 时，求得 $\beta_v(jf)=V_n/V_o$ 的表达式，然后求出 f_x，ϕ_x，ϕ_m。

7.60 放大器直流增益为 20 000V/V，三个极点频率为 100kHz、3MHz、5MHz，反馈环路中 β=1V/V。

(a) 画出增益幅值的伯德图，估算 f_x，ϕ_x，验证环路是不稳定的。

(b) 若前两个极点频率是在内部晶体管放大器的输入输出端产生的，该晶体管放大器电路直流增益为－200V/V，输入输出端电阻为 $R_1=100\text{k}\Omega$，$R_2=10\text{k}\Omega$，若有电容 C_c接在内部放大级的两个端点，使得 $\phi_m=45°$，求出 C_c 的值。

(c) 计算 g_m、C_1、C_2，新的极点频率和右半平面零点是多少？用这些值求得 $T(jf)$ 的表达式。

7.61 假设两个放大器的开环增益为：

$$a_1(jf)=\frac{10^4\times(1+jf/10^5)}{(1+jf/10^3)(1+jf/10^7)}$$

$$a_2(jf)=\frac{10^4\times(1-jf/10^5)}{(1+jf/10^3)(1+jf/10^7)}$$

画出其幅频和相频伯德图，当反馈环路的 β=1时，求出负反馈环路相位裕度，比较这两个放大器的异同。

7.9 节

7.62 若 μA741 运算放大器的输出电阻或跨导如图 5.11 所示，但由于制造工艺的不同，其频率特性是不同的。电路未补偿之前，电路第二级产生一对极点，且输入、输出电容分别为 $C_1=2\text{pF}$，$C_2=4\text{pF}$，其余电路贡献电路第三个极点，频率为 7.5MHz。

(a) 对于负反馈回路，有 β=1，求出米勒补偿电容 C_c，以使得 $\phi_m=75°$，求出转换速率 SR。

(b) 求出环路增益 $T(jf)$的表达式。

7.63 (a) 针对 μA741 运放，采用 PSpice 进行仿真，有 $a_0=200\text{V/mV}$，$f_B=5\text{Hz}$，$f_t=888\text{kHz}$，$\angle a(jf_t)=-117.2°$。故对于 $\beta=1$ 的反馈环路来说，相位裕度 $\phi_m=62.8°$。假设所有高阶根可以表示为固定的单极点频率 f_p，求 f_p。

(b) 若 $1/\beta\geqslant 5\text{V/V}$，要保持相位裕度不变，则 30pF 的电容应降为多少？摆率呢？（有时制造出的已补偿运放会显示出更好的动态特性，其闭环增益被限制在一个值之上，例如本题中的 5V/V）

7.64 图 7.92 所示的两级放大器的环路增益为：

$$T(jf)=\frac{3\,160\times(1-jf/10^6)}{(1+jf/10^2)(1+jf/10^8)}$$

画出幅频和相频伯德图，并估算 f_x，ϕ_x，ϕ_m。将如下四个参数的其中一个变为原来的 10 倍，而其余的维持不变，画出相应的图表，估计每种例子的相位裕度并评论：

(i) g_m；

(ii) g_{m5}；

(iii) C_L；

(iv) C_c。

7.65 在推导和两级 CMOS 运算放大器相关的式(7.111)到式(7.113)时，假设与外部电容 C_c、C_L相比，内部寄生电容可以忽略。我们希望使用图 7.90 所示的放大器在 PSpice 进行一系列仿真来间接验证其内部寄生电容（所有仿真都是基于 $C_c=0$，$C_f=C_{gd5}$）。

(a) 首先令 $V_i=0$，将 V_o 短接到地以抑制 M_5 带来的米勒效应，在 V_1 节点注入测试电流源 I_t，画出阻抗 $Z_1=V_1/I_t$ 的曲线。若 Z_1 的极点频率为 16.2MHz，则估计图 7.92 所示交流等效电路中 $C_i+C_1+C_f$的值。

(b) 重复(a)问，但将 V_o开路以引入米勒效应。如果这引起 Z_1 的主极点频率从 16.2MHz 变为 2.25MHz，估算 C_f。

(c) 通过在 V_1点接入一个大的电容(1μF)，建立一个交流地，在 V_o点注入电流 I_t，画出阻抗电路图 $Z_o=V_o/I_t$，若 Z_0 的极点频率为 25.3MHz，则估计图 7.92 所示交流等效电路中 C_2+C_f的值。

(d) 重新启用输入信号 V_i同时将 V_o短接到地。若增益 $a_1=V_1/V_i$ 在高频处接近

-15dB，估算图 7.92 所示的 C_i，C_1。

(e) 利用上述寄生电容，计算例 7.37 中的 f_1、f_2，比较并说说的观点。

7.66 (a) 参考例 7.37 中的两级 CMOS 运算放大器，当 $\phi_m=60°$时，C_L最大是多少？

(b) 重复(a)，但是 $\phi_m=45°$。

(c) 若 $\phi_m=75°$，C_L为(b)中的值，求 R_c。

(d) 若图 7.37 中 R_c的值变为原来的 2 倍，当 $\phi_m=60°$时，C_L最大是多少？与(b)中的值相比较并说说你的发现。

7.67 对于图 7.94 所示的两级 CMOS 运算放大器而言，有 $g_{m5}=2.5g_{m1}$，且零点无穷大。

(a) 若 $\text{GBP}=37.1\text{MHz}$，$C_L=3\text{pF}$，$\phi_m=65°$，求 R_c和 C_c。

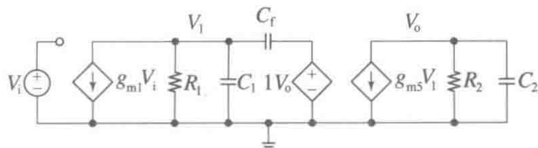
(b) 若 $\text{SR}=40\text{V}/\mu\text{s}$，求 I_{D7}，V_{OV1}，若 $V_{OV5}=V_{OV1}$，求 k_5，I_{D5}。

(c) 若 $\lambda_n=\lambda_p=\lambda$，当 $a_0=10\text{mV/V}$ 时，求 f_1和 λ。

7.68 (a) 对于图 7.94 所示的两级 CMOS 运算放大器而言，有 $g_{m1}=0.5\text{mA/V}$，$g_{m2}=1.25\text{mA/V}$，$I_{D7}=80\mu\text{A}$，若 $C_c=2\text{pF}$，求 GBP 和 SR，k_1，V_{OV1}。

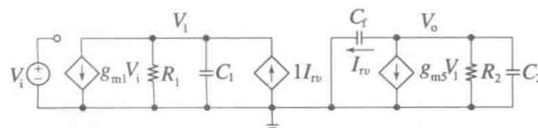
(b) 若 $R_c=1.5\text{k}\Omega$，当 $\phi_m=70°$时，求 C_L的最大值。

7.69 题 7.69 图所示的为图 7.93a 所示补偿电路的交流等效电路(为简化分析，共漏级缓冲器被看成是理想的)。求出增益 $a(s)=V_o/V_i$，验证零点为无穷大。若 $f_1\ll f_2$，求出 f_1、f_2的近似表达式，与式(7.111)、式(7.112)相比较并说说你的观点。



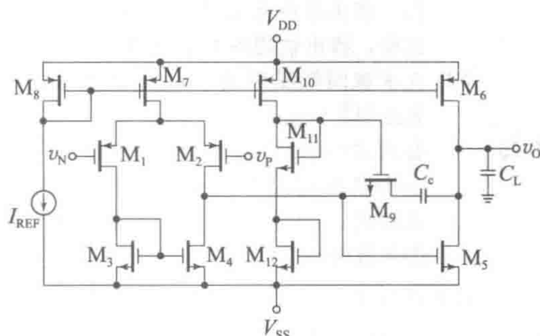
题 7.69 图

7.70 题 7.70 图所示的为图 7.93b 所示补偿电路的交流等效电路，求出增益 $a(s)=V_o/V_i$，验证零点为无穷大，若 $f_1\ll f_2$，求出 f_1、f_2的近似表达式，与式(7.112)、式(7.113)相比较并说说你的观点。



题 7.70 图

7.71 题 7.71 图所示结构可产生补偿电阻 R_c。即 M_9的沟道电阻，被电流源 M_{10}和二极管连接的 M_{11}和 M_{12}所偏置。



题 7.71 图

(a) 在 PSpice 中，若将该方法使用在例 7.37 的图 7.74 中，当 $I_{D10}=50\mu\text{A}$ 时，调节合适的 M_9-M_{12}宽长比，以使$R_c=1.07\text{k}\Omega$。运行 PSpice，比较并评论所得的结论。

(b) 重复上述过程，但是针对例 7.38 而言。

7.72 我们希望设计图 5.16 所示的折叠式共源共栅运算放大器，$I_{BIAS}=1.25I_{SS}$，所有场效应管有相同的过驱动电压 V_{OV}。放大器的直流增益为 8 000V/V，当接入一个 8pF 的外界负载，增益带宽积为 16MHz。

(a) 若 $\lambda_n=\lambda_p=0.05\text{V}^{-1}$，求出 V_{OV}、I_{SS}、I_{BIAS}以及 SR(忽略体效应，当进行直流量计算时，认为 $\lambda=0$)。

(b) 对于偏置电路，有 $I_{REF}=I_{BIAS}$，且电路由±2.5V 电源供电，求其功耗。

7.73 如图 7.97 所示的折叠式共源共栅放大器，由于 C_1到 C_5等电容的影响，引起了相位漂移 $\Phi_{x(HOR)}$，每个都可以看成有源电阻，且含有 $1/(g_m+g_{mb})$项。

(a) 为了简便，假设所有的根都可以建模分析，在 f_x的附近，且只有单极点频率 f_2，使用式(7.121)中的 a_0、f_b求出 f_2的值，进而求出式(7.121b)中 f_x的值。

(b) 假设 C_1到 C_5等电容的影响可以等效为一个电容 C_{eq}，有源电阻可以表示为 $R_{eq}=1/(g_m+g_{mb})\approx1.5\text{k}\Omega$，估算 C_{eq}。

(c) 求出含有 g_{cm1}、R_{eq}、C_6、ϕ_m的 C_c和 C_{eq}之间的关系式，ϕ_m是当 $\beta=1$ 时的相位裕度。

(d) 求出当 $\phi_m=60°$时 C_c和 GBP 的值。

(e) 重复(d)，但是 $\phi_m=75°$，与例 7.39 比较并评论你的发现。

7.10 节

7.74 (a) 利用恒等式 $\int \mathrm{d}x(x^2+1)=\arctan x$ 来证明式(7.136)。

(b) 寻找积分公式，证明式(7.138)。

(c) 若 $A_n(\mathrm{j}f)$包含两个极点频率，都在$f=$

f_B，求出噪声等效带宽。与式(7.136)比较，找出伯德图上的差异。

(d) 在求解闪烁噪声的 f_H 时，你将采用什么近似？

7.75 (a) 有着式(7.125)特性的两个噪声源 e_{n1}、e_{n2} 串联在电路中。通过推导出白噪声表达式 e_{nw} 和角频率 f_{ce} 证明前述噪声源的等效噪声源 e_n 仍然遵循式(7.125)。

(b) 若对于 e_{n1} 有 $e_{nw1}=30\text{nV}/\sqrt{\text{Hz}}$，$f_{ce1}=400\text{Hz}$，对于 e_{n2} 有 $e_{nw2}=40\text{nV}/\sqrt{\text{Hz}}$，$f_{ce2}=100\text{Hz}$，求 e_{nw}，f_{ce}。

7.76 (a) 证明并联组合 R 和 C 两端的均方根电压为 $E_n=\sqrt{kT/C}$，且不管 R 为何值。你能证明为何 R 对 E_n 没有影响吗？

(b) 对于 $E_n=1\mu\text{V}$，求出 C 的值，当 $\text{NEB}_{\text{white}}=100\text{kHz}$ 时，求出 R 的值。

7.77 (a) 在两种不同的频率下测得一个电流源的噪声为 $i_n(250\text{Hz})=6.71\text{pA}/\sqrt{\text{Hz}}$，$i_n(2\,500\text{Hz})=3.55\text{pA}/\sqrt{\text{Hz}}$，求 i_{nw}、f_{ci}。

(b) 若该电流源注入一个 1kΩ 的电阻，求出噪声电压的 e_{nw}、f_{ce}。

(c) 若一个 10nF 的电容并联在电阻的两端，求频率大于 0.01Hz 的均方根电压 E_n。

7.78 一个二极管有 $I_s=2\text{fA}$，$r_s\approx0$，$K=10^{-16}$ A，$a=1$，且被正向偏置，$I_D=100\mu\text{A}$，电源电压 3.3V，串联电阻为 R。电源白噪声的功率密度为 $e_{ns}=100\text{nV}/\sqrt{\text{Hz}}$。

(a) 结合 e_{ns}、e_{nf}、i_{nd} 求出二极管两端的噪声电压 $e_n(f)$，将其表示成式(7.125)的形式，求出 e_{nw}、f_{ce} 的值。

(b) 若改变 R，以使得二极管偏置电流 $I_D=1\text{mA}$，重复(a)问。

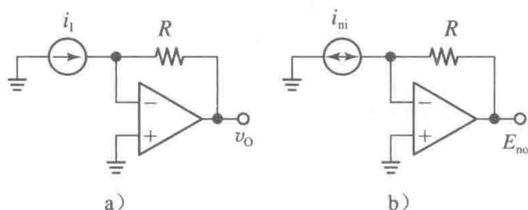
7.79 (a) 若一个 CMOS 反相器由 ±3.3V 供电，由一个直流值为 0V 的输入电压源和串联电阻 $R_s=1\text{k}\Omega$ 驱动，求出其输出噪声电压 e_{no}。假设 MOS 管有如下参数：$k=1\text{mA/V}^2$，$V_t=0.7\text{V}$，$\lambda=1/(33.8\Omega)$，$f_{ce}=10\text{kHz}$。

(b) 若反相器输出端负载电容 $C_L=10\text{pF}$(忽略其他寄生参数)，求频率 1Hz 以上的总均方根输出噪声 E_{no}。

7.80 (a) 对于题 7.80a 图所示的 I/V 转换器，求出其在题 7.80b 图所示电路中的等效输入噪声电流 i_{ni}，假设放大器为典型 $\mu A741$ 型运算放大器，$R=100\text{k}\Omega$。

(b) 求总均方根输出电压 E_{no}。

7.81 带隙基准通过电压跟随器缓冲到输出端。带隙的输出噪声 e_{n1} 有 $e_{nw1}=100\text{nV}/\sqrt{\text{Hz}}$，$f_{ce1}=20\text{Hz}$，放大器的输入噪声 e_{n2} 有 $e_{nw2}=$



题 7.80 图

$25\text{nV}/\sqrt{\text{Hz}}$，$f_{ce2}=200\text{Hz}$，此外，该放大器通过外接电容 C_c 实现主极点频率的补偿，有 GBP=1MHz。

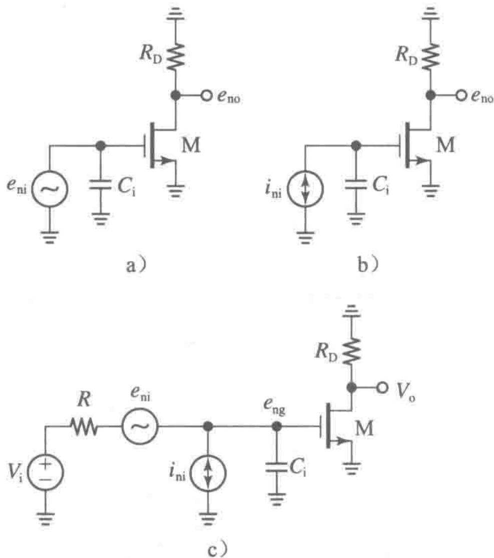
(a) 计算电压跟随器输出端的总噪声。

(b) 若 C_c 增加 100 倍，重复(a)问。

7.82 (a) 推导图 4.56a 所示的双极型电流镜的短路噪声电流 i_{no} 的表达式，假设输入信号源是没有噪声的。

(b) 重复上述过程，但是对于图 4.58a 所示的 CMOS 电流镜而言，求出 i_{no}^2 的噪声和角频率的表达式，若输入电流加倍，他们怎么变化？

7.83 (a) 假设 $r_o\gg R_D$，求出题 7.83a 图所示共源级放大器的短路噪声 e_{ni} 的表达式。



题 7.83 图

(b) 求出题 7.83b 图所示的开路噪声 i_{ni}。

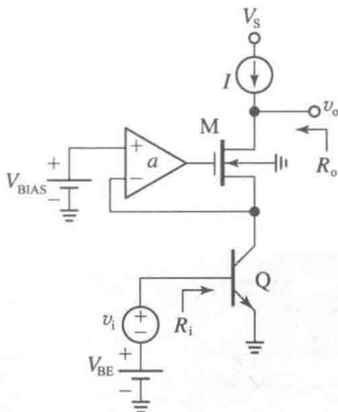
(c) 也许大家会认为有两个输入信号源，噪声会被计算两次。为了证明不是这种情况，如题 7.83c 图所示，为了简化，其中 R 被认为是没有噪声的。证明总栅极噪声功率密度 e_{ng}^2 与 R 无关，表明只有当 e_{ni} 或者 i_{ni} 满足条件时，才有 $R\to0$ 或者 $R\to\infty$。若是对于其余的 R 值，则两个噪声源都需要考虑，才能得到正确的 e_{no}(实际电路中会保持 R 的值尽可能

地小以使得热噪声可以忽略)。

7.84 图 7.105 所示的 CMOS 差分对的无源负载由一对相同电阻 R_D 组成，重新计算输入噪声电压 e_n。将结果与有源负载的情况相比较并评论。

7.85 图 7.106 所示的双极型差分对的有源负载由一个 pnp 电流镜组成，重新计算输入噪声电压 e_n。将结果与无源负载的情况相比较并评论。

7.86 基于题 7.86 图所示电路，我们得到一个开放性的问题，涵盖本书中三个重要的分支：BJT、MOSFET、IC。请提出你所能想到的所有问题，从基础理论到噪声，然后使用典型器件值进行手工计算和 PSpice 仿真。



题 7.86 图

推荐阅读







基于运算放大器的模拟集成电路设计（英文版·第4版）

作者：Sergio Franco ISBN：978-7-111-48933-7 出版时间：2015年1月 定价：99.00元

本书着重理论和实际应用相结合，重点阐述模拟电路设计的原理和技术直观分析方法；主要包括运算放大器的基本原理和应用、涉及运算放大器的静态和动态限制、噪声及稳定性问题等诸多实际问题，以及面向各种应用的电路设计方法三大核心内容，强调物理思想，帮助读者建立电路设计关键的洞察力，可作为电子信息、通信、控制、仪器仪表等相关专业本科高年级及研究生有关课程的教材或主要参考书，对电子工程师也是一本实用的参考书。

模拟电路设计：分立与集成（英文版）

作者：Sergio Franco ISBN：978-7-111-48932-0 出版时间：2015年1月 定价：119.00元

本书是针对电子工程专业且致力于将模拟电子学作为自身事业的学生和集成电路设计工程师而准备的，前三章介绍二极管、双极型晶体管和MOS场效应管，注重较为传统的分立电路设计方法，有助于学校通过物理洞察力来掌握电路基础技术；后续章节介绍模拟集成电路子模块、典型模拟集成电路、频率和时间响应、反馈、稳定性和噪声等集成电路内部工作原理（以优化其应用）。本书涵盖的分立与集成电路设计内容，有助于培养读者的芯片设计能力和电路板设计能力。

模拟CMOS集成电路设计（英文版）

作者：Behzad Razavi ISBN：978-7-111-43027-8 出版时间：2013年8月 定价：79.00元

本书介绍模拟CMOS集成电路的分析与设计。从直观和严密的角度阐述了各种模拟电路的基本原理和概念，同时还阐述了在SOC中模拟电路设计遇到的新问题及电路技术的新发展。本书由浅入深，理论与实际结合，提供了大量现代工业中的设计实例。全书共18章。前10章介绍各种基本模块和运放及其频率响应和噪声。第11章至第13章介绍带隙基准、开关电容电路以及电路的非线性和失配的影响，第14、15章介绍振荡器和锁相环。第16章至18章介绍MOS器件的高阶效应及其模型、CMOS制造工艺和混合信号电路的版图与封装。本书可供与集成电路领域有关的各电类专业的高年级本科生和研究生使用，也可供从事这一领域的工程技术人员自学和参考。